

# HPCI 整備計画調査研究 量子等ハイブリッド (連携) 調査研究 令和7年度成果報告書

量子等ハイブリッド (連携) 調査研究チーム

東北大学 小松一彦、佐藤雅之、深見俊輔  
日本電気株式会社 百瀬真太郎  
大阪大学 伊達進  
産業技術総合研究所 高野了成  
名古屋大学 片桐孝洋  
九州大学 谷本輝夫  
慶應義塾大学 永山翔太  
理化学研究所 鈴木泰成

本報告書は、文部科学省の科学技術試験研究委託事業  
による委託業務として、国立大学法人東北大学が実施した  
令和7年度「HPCI 整備計画調査研究 量子等ハイブリッド  
(連携) 運用環境調査研究」の成果を取りまとめたものです。

# 目次

第1章	はじめに	1
1.1	本事業の目的	1
1.2	本事業の構成	2
1.2.1	統括グループ	3
1.2.2	イジングマシン調査研究グループ	3
1.2.3	運用システムソフトウェア調査研究グループ	4
1.2.4	新計算原理ソフトウェア（ライブラリ・ツール）調査研究グループ	4
1.2.5	アプリケーション調査研究グループ	4
1.2.6	次世代イジングマシン調査研究グループ	4
1.2.7	汎用量子計算機動向調査研究グループ	5
1.2.8	令和7年度会議および学会等実績	5
第2章	イジングマシン調査	7
2.1	今年度の取り組みの概要	7
2.2	技術仕様動向	7
2.2.1	各社のサービス仕様	8
2.3	疑似量子アニーラ性能評価	9
2.3.1	性能評価の背景と目的	9
2.3.2	評価対象プラットフォーム	9
2.3.3	評価指標とベンチマーク問題	9
2.3.3.1	評価指標	10
2.3.3.2	ベンチマーク問題	10
2.3.4	性能評価結果	11
2.3.4.1	最大カット問題	11
2.3.4.2	巡回セールスマン問題	12
2.3.4.3	二次割当問題	13
2.3.4.4	二次ナップサック問題	14
2.3.4.5	最大独立集合問題	15
2.3.5	性能評価まとめ	17
2.4	まとめと今後の計画	17
第3章	運用システムソフトウェア調査	22
3.1	今年度の取り組みの概要	22
3.2	高性能計算機のためのコンテナ仮想化技術の調査	22

3.3	高性能計算機におけるイジングマシン運用の現状と課題	24
3.3.1	概要	24
3.3.2	イジングマシンの整理と課題	24
3.3.3	HPCI 拠点におけるイジングマシン導入の現状と課題	26
3.3.3.1	提供形態	27
3.3.3.2	運用モデル	27
3.3.3.3	ジョブ管理	29
3.3.3.4	課金モデル	30
3.3.3.5	既存基盤との運用統合	30
3.4	高性能計算機と量子コンピュータ統合に向けた動向	31
3.4.1	世界の HPC センターにおける量子コンピュータ導入状況	31
3.4.2	国内量子コンピュータの運用状況と課題	33
3.4.2.1	OQC Toshiko	33
3.4.2.2	黎明	33
3.5	まとめ	33
第4章	新計算原理ソフトウェア調査	35
4.1	今年度の取り組みの概要	35
4.2	イジングマシンの性能パラメタ調査および自動チューニング適用	35
4.2.1	背景	35
4.2.2	サポートベクターマシン	35
4.2.3	実験方法	36
4.2.3.1	実験環境	36
4.2.3.2	評価用データ	36
4.2.3.3	性能パラメタと探索範囲	38
4.2.4	実験結果	38
4.3	イジングマシン関連プログラムのローカル LLM 利用による自動生成能力の調査	40
4.3.1	概要	40
4.3.2	背景	40
4.3.3	商用 LLM を利用したコード変換例	41
4.3.4	ローカル LLM を利用したコード変換例	41
4.4	まとめ	42
第5章	アプリケーション調査	44
5.1	今年度の取り組みの概要	44
5.2	通信ネットワーク最適化	44
5.2.1	背景	44
5.2.2	最適化問題の内容	45
5.2.3	評価の実施状況	45

5.3	先端計測データ解析	46
5.3.1	背景	47
5.3.2	マニフォールド学習法のアニーリング化	47
第6章	次世代イジングマシン調査	49
6.1	今年度の取り組みの概要	49
6.2	次世代イジングマシンに関する技術動向	50
6.2.1	光イジングマシン	50
6.2.2	ナノデバイス・メモリ素子型	50
6.2.3	量子技術に基づく方式	51
6.3	スピントロニクス技術に基づくイジングマシンの研究開発動向	51
6.3.1	磁化の確率的反転を利用する方式	51
6.3.1.1	熱によるランダムなゆらぎ（超常磁性）を利用するタイプ	51
6.3.1.2	電流・電圧による反転確率制御型	52
6.3.1.3	スピン波（マグノン）を用いる方式	52
6.4	総括および今後の研究課題	52
第7章	汎用量子計算機動向調査	54
7.1	今年度の取り組みの概要	54
7.2	NISQ コンピュータ開発状況および量子誤り推定機構の調査	54
7.2.1	NISQ コンピュータ開発状況	54
7.2.2	誤り耐性量子コンピュータにおける量子誤り推定アルゴリズム実装状況	55
7.3	分散量子計算に関する調査	57
7.3.1	分散処理能力の到達点	57
7.3.2	ハードウェア研究の進捗：量子ネットワーク・インターコネクト	57
7.3.3	ソフトウェア研究の進捗：分散制御・ネットワーク OS・スケジューリング	58
7.3.4	スケーラビリティ・誤り訂正	58
7.3.5	今後の見通し	58
7.4	FTQC アプリケーションに関する調査	59
7.4.1	主要なアプリケーション領域	59
7.4.2	アプリケーション実現に向けた課題	60
7.4.3	今後の見通し	60
7.5	量子誤り訂正符号及び要求性能に関する調査	61
7.5.1	背景	61
7.5.2	リソース評価のターゲット	61
7.5.2.1	プログラムの記述	61
7.5.2.2	ターゲットとなる言語	62
7.5.2.3	コンパイル	63
7.5.3	プロファイル	64

7.5.3.1	プロファイルの方法	64
7.5.3.2	リソース推定を行うソフトウェア	65
7.5.3.3	より発展的な量子誤り訂正符号	66
7.6	まとめ	67

# 第1章 はじめに

## 1.1 本事業の目的

令和7年11月に開始した、HPCI整備計画調査研究 量子等ハイブリッド（連携）運用環境調査研究（以下、本事業）は、異なる専門分野の産官学メンバーが連携し、新たなフラッグシップシステム、HPCIシステム、およびイジングマシンを組み合わせたハイブリッド計算基盤環境の構築に不可欠な要素技術の調査・研究を実施するものである。

量子コンピュータを初めとした新計算原理と、スーパーコンピュータとのハイブリッド計算基盤の構築は世界的に注目されており、日本国内でも各所で検討・実証が進められている。文部科学省次世代計算基盤に係る調査研究「新計算原理調査研究チーム」の調査研究 [1]、ならびに HPCI 計画推進委員会 [2] においても、イジングマシンを含む量子コンピュータの利用環境整備の必要性が言及されており、HPCI を介した量子コンピュータ等の新計算原理の計算リソースの運用方法と利用環境の整備は重要な課題となっている。

とりわけ日本は、世界に先駆けて西森ら [3] が量子アニーリングを提唱したこともあり、組み合わせ最適化専用計算機とも言われるイジングマシンの研究開発において国際的に先行する実績を持ち、米国や欧州に比べ、イジングマシンの提供、関連技術、理論構築、研究、応用事例を含め、システムからアプリケーションの全てのレイヤで、高い技術基盤を有しているといえる [4]。

これらの国内に散在する技術を結集・発展させ、次世代の計算基盤と連携させたサービスとしての提供や、技術研鑽とアプリケーション展開により新たなビジネス創出に繋げることにより、日本が先導する一大産業となる可能性を秘めている。この構想を実現するために、本事業では、将来のフラッグシップおよび HPCI システムにおける、アニーリングマシンなどの量子・イジング型計算資源の連携環境について調査研究を行う。

また昨今、量子ゲート方式についても、超電導 [5] や中性原子 [6]、半導体 [7] など、様々な量子デバイスを用いた QPU 開発が国内外で進められている。このように QPU およびシステム実装が成熟しつつある中、計算パラダイムは NISQ 計算から早期 FTQC、そして FTQC へと急速に転換が進んでいる [8]。現在の状況は、計算基盤としての FTQC を議論すべき時期であり、それゆえ、本事業では汎用量子計算機の動向に関する調査も併せて行うものとしている。

これらの目的に沿って、本事業において目指すところとしては、

1. 将来的に多数の加速器が搭載されることが想定されるフラッグシップおよび HPCI システムを念頭に、加速器との連携、あるいは加速器としてのイジングマシンの活用可能性を視野に入れ、その設計思想や役割について、国内外の取り組みや技術動向を踏まえて調査を行うこと、

2. イジングマシンを組み込んだ新計算原理に基づくハイブリッド連携計算基盤について、その運用方式および利用環境のあり方を調査研究しながら、当該計算基盤の実現可能性を評価するとともに、具体的な環境構築に向けた計画策定のための検討を行うこと、および
3. 量子ゲート方式による量子加速の実現を念頭に、広範囲のレイヤの専門家の知見を集約して調査を行うことで、システムレベルのロードマップを整理すること

としている。これらの目標を達成するために、本事業では、産学官の多様な分野の専門家を集結した6つの調査研究グループを編成し、相互に緊密に連携しながら、量子等ハイブリッド（連携）運用環境の実現に必要な要素技術の調査研究を遂行する。

## 1.2 本事業の構成

東北大学は本事業の代表機関として統括グループを運営し、全体の統括・調整を担当する。また、産官学の調査研究グループ間の情報共有と成果統合を図る。

本事業では、参加する各機関が以下に示す6つの調査研究グループを編成し（図 1.1）、互いに密な情報共有と議論を行いながら推進する。さらに、HPCI システム管理機関や企業とも連絡調整を行い、調査研究の進捗管理および成果のフィードバックを円滑に進める。また、東北大学、大阪大学、名古屋大学、九州大学、慶応義塾大学、産業技術総合研究所、理化学研究所、日本電気、NTTドコモの各機関は、専門的知見を持つ研究者を横断的に各グループに配置している（図 1.2）。37名の研究者・技術者のうち約半数にあたる12名が若手であり、かつ中核メンバーの多くは40代のメンバーであり、次世代および次々世代の計算基盤を担う産官学連携体制を構築している。この体制により、計算基盤としての実現可能性を高め、将来的な社会実装と産業展開の加速を目指す。

各調査研究グループにおける今年度の調査・検討の成果は、それぞれ対応する章において詳細に報告する。

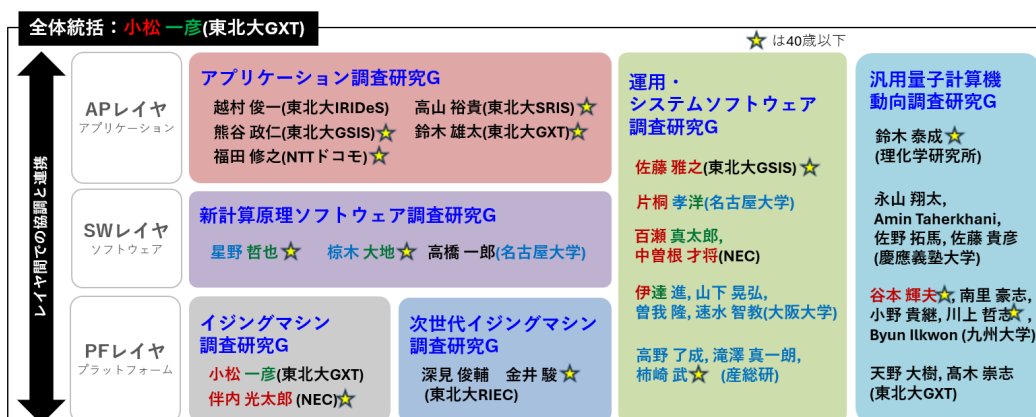


図 1.1: 研究体制

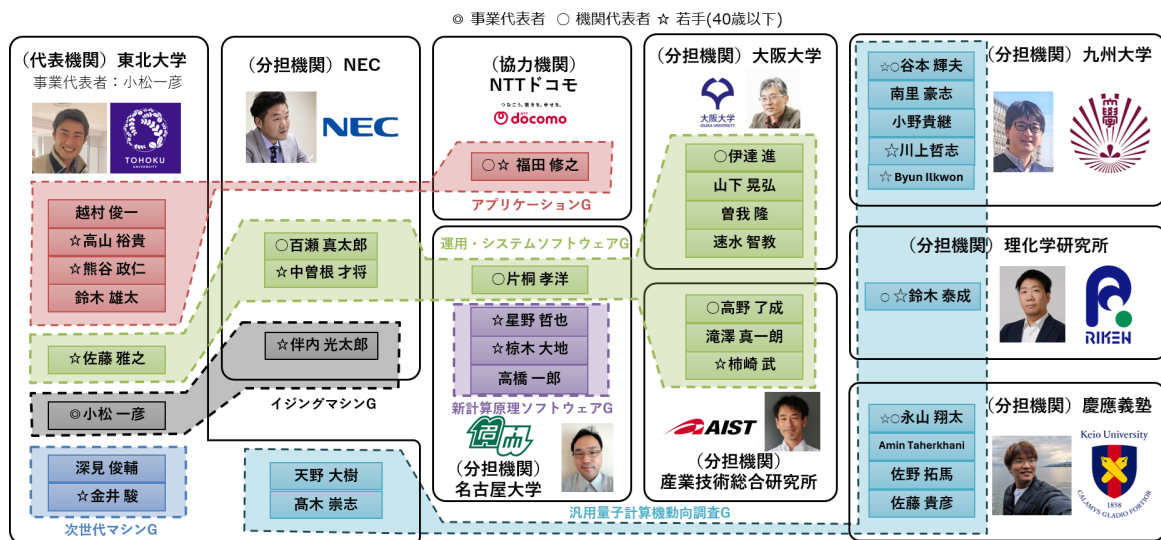


図 1.2: 各機関のメンバーと役割

### 1.2.1 統括グループ

最初に、本事業の管理を行う統括グループについて述べる。本グループでは、情報交換のための打ち合わせ体制を構築した。全体会議は四半期に一度の開催とし、令和7年度は少し多いが1月と3月に開催した。また、グループ横断のリーダー会議を2か月に1度開催する予定であるが、現在は全体会議がこれを兼ねている。このような事業全体会議に加えて、対外発表や報告を実施し、本事業の中と外のコミュニケーションを推進した。また、IQM (7回)、住友商事 (8回)、AWS (2回) など、企業や学内他組織との打ち合わせも密に実施している。

また、情報共有手段の整備も行った。本事業におけるファイル共有のために Box を導入するとともに、情報共有の手段として Slack およびメーリングリストを整備した。さらに、東北大学小松研究室のウェブサイト (<https://ds.gxt.ggi.tohoku.ac.jp/>) において本事業の紹介を行っているほか、他機関においても同様に本事業に関する紹介および告知が行われている。

### 1.2.2 イジングマシン調査研究グループ

量子アニーリングマシン、疑似量子アニーリングマシン、疑似分岐マシンなどのイジングマシン技術の調査を担当するグループである。

本グループには東北大学と日本電気株式会社 (以下、NEC) の研究者・技術者が参加し、国内外の技術を幅広く調査し、HPCI およびフラッグシップシステムとの連携方法や課題を網羅的に評価する。

また、国内企業での開発実績が多いイジングマシンに関して、オールジャパン体制での HPCI サービス組み込みと連携運用の実現可能性を追求する。

本グループの今年度の調査結果については、第2章「イジングマシン調査」にまとめて示している。

### 1.2.3 運用システムソフトウェア調査研究グループ

新計算原理と高性能計算との連携を支えるソフトウェア基盤および運用技術について担当するグループである。

本グループは、大阪大学、名古屋大学、産業技術総合研究所、東北大学、および NEC における研究者から成り、クラウド型およびオンプレミス型におけるイジングマシンの HPCI への配備、利用環境の提供、利用時のイジングマシンへのアクセス方法など、運用方法についての調査研究を行う。

本グループによる今年度の調査結果の全体像は、第 3 章「運用システムソフトウェア調査」において詳述する。

### 1.2.4 新計算原理ソフトウェア（ライブラリ・ツール）調査研究グループ

新計算原理と高性能計算との連携によるハイブリッド連携運用環境を効率的に利用するためのソフトウェアに関する調査を担当するグループである。

本グループは東北大学と名古屋大学の研究者から構成され、イジングマシンをベースとした量子機械学習ライブラリ、生成 AI を活用したイジングマシン向けプログラム開発支援、および自動チューニング技術についての調査研究を行う。

本グループの今年度の調査結果については、第 4 章「新計算原理ソフトウェア調査」にて報告する。

### 1.2.5 アプリケーション調査研究グループ

日本の産業および科学技術の発展を世界的に主導するためのユースケースを調査し、イジングマシンと HPCI とのハイブリッド連携運用環境における要求性能を検討するグループである。

本グループは東北大学、株式会社 NTT ドコモ（以下、NTT ドコモ）、および NEC から構成され、防災・減災、最先端計測設備を活用した解析や、日本の産業のベースとなる強靱なモバイルインフラのためのアプリケーション開発に取り組む研究者・技術者が参加している。

本グループの今年度の調査結果については、第 5 章「アプリケーション調査」にて詳述している。

### 1.2.6 次世代イジングマシン調査研究グループ

将来実現しうる新たなイジングマシンの可能性を調査・検討するグループである。

本グループは、東北大学で開発しているスピントロニクス P ビット [9] や、コヒーレント・イジング・マシン (CIM) [10] などの新たな原理に基づくイジングマシンの研究開発動向を網羅的に調査し、技術的な優位性や社会実装に向けた課題を明らかにし、次世代の新計算原理の可能性を探る。特に、P ビット計算機についてはイジングマシンの設計および構築も行う。

本グループの今年度の試みとその結果については、第 5 章「次世代イジングマシン調査」にて報告を行う。

### 1.2.7 汎用量子計算機動向調査研究グループ

よりプログラマビリティの高い量子ゲート方式コンピュータについての動向を調査するグループである。

本グループは、現在具体的な実装が進められている Noisy Intermediate-Scale Quantum (NISQ) コンピュータから、将来的な実現が期待されている誤り耐性量子計算機 (Fault Tolerant Quantum Computer; FTQC) までを対象とし、各種量子デバイス方式におけるハードウェア実装状況や誤り緩和および訂正技術調査、アプリケーション探索状況などについて整理する。また、大規模量子計算の実現に向けて分散量子計算に関する研究動向についても調査する。

本グループの今年度の調査結果および検討内容は、第 6 章「汎用量子計算機動向調査」において整理して示している。

### 1.2.8 令和 7 年度会議および学会等実績

なお、事業全体として、前述の全体会議 2 回のほか、グループ別会議および機関別会議を必要に応じて実施した。令和 7 年度においては、グループ別会議を 18 回 (オンライン 14 回、対面 4 回)、機関別会議を 27 回 (オンライン 23 回、対面 4 回) 開催し、オンラインと対面を適切に使い分けながら、効果的な情報共有および議論を行った。

また、次世代 HPCI 環境検討ワーキンググループにおいて、2 回 (第 2 回および第 5 回) の報告を実施した。加えて、学会等での発表実績については様式第 21 に詳述するが、合計 15 件 (口頭 13 件、ポスター 2 件) の発表を行った。

## 参考文献

- [1] 文部科学省. “次世代計算基盤に係る調査研究事業 委託業務成果報告書 (令和 6 年度),” Accessed: Feb. 5, 2026. [Online]. Available: [https://www.mext.go.jp/b\\_menu/shingi/chousa/shinkou/067/mext\\_00015.html](https://www.mext.go.jp/b_menu/shingi/chousa/shinkou/067/mext_00015.html).
- [2] 文部科学省. “HPCI 計画推進委員会,” Accessed: Feb. 5, 2026. [Online]. Available: [https://www.mext.go.jp/b\\_menu/shingi/chousa/shinkou/020/index.htm](https://www.mext.go.jp/b_menu/shingi/chousa/shinkou/020/index.htm).
- [3] T. Kadowaki and H. Nishimori, Quantum Annealing in the Transverse Ising Model, Phys. Rev. E, vol. 58, pp. 5355–5366, 1998. DOI: 10.48550/arXiv.cond-mat/9804280. arXiv: cond-mat/9804280 [cond-mat.stat-mech].
- [4] 経済産業省 経済産業政策局 産業技術環境局. “第 4 回 産業構造審議会 経済産業政策新機軸部会,” Accessed: Feb. 6, 2026. [Online]. Available: [https://www.meti.go.jp/shingikai/sankoshin/shin\\_kijiku/004.html](https://www.meti.go.jp/shingikai/sankoshin/shin_kijiku/004.html).
- [5] Fujitsu. “Fujitsu and RIKEN develop world-leading 256-qubit superconducting quantum computer,” Accessed: Feb. 10, 2026. [Online]. Available: <https://www.fujitsu.com/global/about/resources/news/press-releases/2025/0422-01.html>.

- [6]M. Kunimi and T. Tomita, Proposal for realizing Heisenberg-type quantum-spin models in Rydberg-atom quantum simulators, *Phys. Rev. A*, vol. 112, p. L051301, 5 Nov. 2025. DOI: 10.1103/c97b-my2w. [Online]. Available: <https://link.aps.org/doi/10.1103/c97b-my2w>.
- [7]R. Nagai, T. Takemoto, Y. Wachi, and H. Mizuno, Digitally controlled conveyor-belt spin shuttling in silicon for large-scale quantum computation, *Physical Review Applied*, vol. 24, no. 6, Dec. 2025, ISSN: 2331-7019. DOI: 10.1103/ng22-2cgg. [Online]. Available: <http://dx.doi.org/10.1103/ng22-2cgg>.
- [8]東 哲也. “量子コンピューター、道半ばも FTQC 実現に向け開発盛り上がり,” Accessed: Feb. 6, 2026. [Online]. Available: <https://www.sangyo-times.jp/article.aspx?ID=13885>.
- [9]K. Selcuk, N. A. Aadit, C. Delacour, J. Q. Silva, N. S. Singh, H. Kaneko, S. Kanai, Y.-J. Wu, Y.-H. Chen, Y.-S. Chen, Y. C. Ong, K.-C. Huang, H. Chuang, H. Ohno, S. Fukami, and K. Y. Camsari, DAC-Free p-bits: Asynchronous Self-Coloring and On-Chip Annealing, in *71st Annual IEEE International Electron Devices Meeting*, 2025.
- [10]M. Kumagai, Y. Inui, E. Ng, S. Kako, K. Komatsu, H. Kobayashi, and Y. Yamamoto, Single photon coherent Ising machines for constrained optimization problems, *Quantum Sci. Technol.*, vol. 10, p. 035042, 2025. DOI: 10.1088/2058-9565/addde5.

## 第2章 イジングマシン調査

### 2.1 今年度の取り組みの概要

2025年度は国内外の量子アニーリングマシン、疑似量子アニーリングマシン、及び疑似分岐マシンの技術仕様や性能評価軸を整理し、文献調査や実機評価を通じて最新動向の把握を行う。

### 2.2 技術仕様動向

2025年度時点において各ベンダが提供しているサービスの諸元を調査した結果を表2.1に示す。24年度から大きな差分はなく量子アニーラでは全結合で1000ビット程度、疑似量子アニーラ・疑似分岐マシンでは全結合で数万から10万ビットの規模である。このため、求解可能な問題規模に関しては依然として疑似量子アニーラ・疑似分岐マシンに優位性がある状況である。

表 2.1: 各ベンダの提供するイジングマシンの諸元

Ising machines	Hardware	Max bits	Full bits	Connectivity	Bit precision
D-Wave 2000Q	QPU	2,048	64	Chimera	5 - 6 bit (Analog)
D-Wave Advantage2	QPU	5760	124	Pegasus	5 - 6 bit (Analog)
D-Wave Hybrid and CQM	QPU & digital	N/A	N/A	N/A	N/A
D-Wave Neal	CPU	N/A	N/A	Full	64 bit
NEC VA	CPU	100,000+	100,000	Full	32/64 bit
Amplify AE	GPU(H100)	262,144+	131,072	Full	32/64 bit
Toshiba SQBM+	GPUs	10,000,000	31,622	Full	32/64 bit
Hitachi CMOS Annealer	GPU	61,952	176	King	32 bit
Fujitsu DA	GPU	100,000	100,000	Full	64 bit

量子古典ハイブリッド・疑似量子アニーラ・疑似分岐マシンでは制約を直接指定可能なものが多い。各社の提供するサービス仕様から、実問題を意識した特定の制約に特化した機能を備えていることが分かる。一方量子アニーラでは、古典コンピュータによるシミュレーションに対する優位性が示された磁気スピン系のシミュレーション [1] 分野以外でも、創薬においてボルツマンマシンとしてエネルギーベース生成モデルに組み込むことで学習データより良好な結果が得られた事例 [2] も報告されており、最適化以外で量子アニーラの有用性を示す活用例が増えつつある状況である。

## 2.2.1 各社のサービス仕様

疑似量子アニーラや疑似分岐マシンでは、組合せ最適化問題の制約条件をペナルティ関数としてイジングモデルに組み込むことなく処理が可能となっている。例えば近傍生成やビットフリップの際に直接処理するといったソフトウェア上の実装によるものが挙げられる。このような実装ではペナルティ関数を用いた場合に比べ、解精度および計算効率の面で有利になる場合が多い。制約条件の代表例として一次不等式制約がある。例えば配送計画ではトラックの積載量が容量を超えないこと、作業員スケジューリングでは勤務時間がシフト時間を超えないことなどに相当する。富士通の Digital Annealer(Fujitsu DA)、東芝の Simulated Bifurcation Machine(Toshiba SQBM+)、NEC の Vector Annealer(NEC VA) など、多くの疑似量子最適化サービスが不等式制約をサポートしている。[3][4][5] 不等式制約は汎用性が高い一方、1 ステップあたりのコストが高い傾向がある。

不等式制約で頻出するものとして、制約係数がすべて 1 かつ評価値が 1 に等しいケースがある。すなわち時刻や地点といった決定変数のラベル集合の中から 1 要素を選択することに相当し、一般にワンホット制約と呼ばれる。さらに高度化して、2 つのラベル集合において 1 対 1 対応関係を表現するといったケースもよく見られる例である。典型例としてベンチマークにも使われる巡回セールスマン問題や二次割当問題がある。巡回セールスマン問題では「時刻と地点」、二次割当問題では「施設と地点」が 1 対 1 に対応する必要があり、片方のラベル集合の要素ごとにもう片方のラベル集合でワンホット条件を必要とするため一般にツーウェイワンホット制約と呼ばれる。例えば設備配置問題では「各設備は 1 つの地点にのみ配置される」「各地点には 1 つの設備のみ配置される」という 2 種類のワンホット制約となる。

これらの制約はより軽量な求解アルゴリズムが知られており、不等式制約として扱うよりも精密かつ高速な求解の実装が可能である。このため、近年の疑似量子アニーラ・疑似分岐マシンではこれらの制約を別途サポートする例が見られる。例えば NEC VA、Fujitsu DA ではワンホット制約をサポートしており、Toshiba SQBM+や Fujitsu DA ではツーウェイワンホット制約をサポートしている。[3][4][5] ただし、同じ種類の制約機能をサポートしていても、各社の API 仕様には違いがあるため注意が必要である。例えば Toshiba SQBM+では各制約が専用ソルバとして実装されており、異なる種類の制約を同時に併用することができない。一方で NEC VA では制約はソルバのオプションとして指定する形になっており、複数の制約を併用して扱うことが可能である。

これらサービスによる実例として、Fujitsu DA を用いた物流最適化の実証では、トラック容量や配送時間の制約を含む配送計画問題を解くことで物流効率の改善が報告されている [6]。また、積載容量や作業スペースの制約を含む荷物積み付け最適化事例もある [7]。Amplify AE では、業務不可や勤務時間などの制約を含む人員シフト配置最適化 [8]、NEC VA では製品仕様や形状による物理的な配置制約を含む出荷計画最適化 [9] や保守部品の配送計画最適化 [10] が報告されている。

制約機能以外では、高次項のサポートも重要な拡張機能として挙げられる。多くのアニーラや疑似分岐マシンは入力として二次形式 (QUBO または Ising モデル) を前提としている。一方、一般の最適化問題では三次以上の高次項を含む目的関数を用いられる場合がある。この場合、補助変数の導入や定式化の工夫により次数下げを行うことによりアニーリングを行う。しかし、高次項を直

扱えるソルバであれば、このような変換に伴う計算コストや補助変数増加によるノイズの影響を回避できる。Fujitsu DA、Toshiba SQBM+、Amplify AE では 4 次以下の次数をサポートし、NEC VA では 4 次以上もサポートしている。[11][3][4][5]

## 2.3 疑似量子アニーラ性能評価

本節では、前節で取り上げたイジングマシンの中から、主要な疑似量子アニーラを対象としたベンチマーク性能評価について詳述する。はじめに、本性能評価を実施する背景と目的、評価に用いた各プラットフォームの諸元、および評価指標について説明し、続いて、問題構造の異なる 5 つのベンチマーク問題を用いた評価結果を示す。

### 2.3.1 性能評価の背景と目的

前節で述べた通り、各社から独自の探索アルゴリズムやハードウェアを採用した多様な疑似量子アニーラが提供されている。一方で、実社会の多様な組合せ最適化問題に対して、個々のプラットフォームの性能特性やスケーラビリティを横断的に比較した研究は少ない [12]。本評価の目的は、問題規模、制約、結合密度などの問題特性に応じた各ソルバの性能優劣やスケーラビリティを横断的に比較・検証し、プラットフォーム毎の強みや適性を明らかにすることにある。

### 2.3.2 評価対象プラットフォーム

本評価では、前節で挙げたマシン群の中から、表 2.2 に示す 3 種類の疑似量子アニーラを対象として性能ベンチマークを行った。NEC VA [13] はオンプレミス環境での利用が可能であり、本性能ベンチマークにおいては、32 コアの Intel Sapphire Rapids (SPR) プロセッサを 2 基搭載した x86 CPU サーバ上にて性能評価を行った。最大ビット数は全結合で 10 万以上をサポートしており、32 ビットまたは 64 ビットの階調に対応している。本機種は、前述した独自の制約処理技術を搭載しており、QUBO とは独立した形式で制約条件を入力することで、アニーリングの探索過程においてこれらを直接的に考慮した効率的な求解が可能である。Fujitsu DA [14] はクラウド形式で提供される GPU ベースのアニーラであり、全結合 10 万ビットまでの計算が可能である。ビット階調は 64 ビットであり、NEC VA と同様に独自の制約処理技術を提供している。Amplify AE [11] は Nvidia H100 GPU を基盤としたクラウドサービスであり、最大で全結合 131,072 ビットの計算に対応している。32 ビットおよび 64 ビットのビット階調をサポートする一方で、他 2 機種が提供するような独自の制約処理技術は備えていない。

### 2.3.3 評価指標とベンチマーク問題

本小節では、前小節で取り上げた各ソルバの性能を定量的に評価するための指標、および評価に使用したベンチマーク問題の概要について述べる。

表 2.2: 性能評価に用いた疑似量子アニーラの諸元

	NEC VA	Fujitsu DA	Amplify AE
利用形態	オンプレミス	クラウド	クラウド
動作プラットフォーム	X86 CPU (Intel SPR 32C x2)	GPU	Nvidia H100
最大ビット/スピンの数	全結合 100,000 以上 (HW のメモリ依存)	全結合 100,000	全結合 131,072
ビット階調	32 bits/64 bits	64 bits	32 bits/64 bits
制約独自処理技術	あり	あり	なし

### 2.3.3.1 評価指標

疑似量子アニーラの性能を評価する指標として、本分野の性能評価において一般的に用いられる尺度である Time to Solution (TTS) [15] を採用する。TTS は、目標精度の解に確率  $p_R$  で到達するために必要な計算時間であり、以下の式によって算出される。

$$\text{TTS}(\tau, p_R) = \tau \frac{\ln(1 - p_R)}{\ln(1 - p_s(\tau))} \quad (2.1)$$

ここで、 $\tau$  は 1 回あたりのアニーリング時間、 $p_s(\tau)$  はその時間内で目標精度以上の解が得られる成功確率を表す。TTS は値が小さいほど、より短時間で目標とする精度の解を得られる高性能なシステムであることを示す。なお、本評価においては一般的慣例に従い  $p_R = 0.99$  とした。

本評価では、各ベンチマーク問題に対して個別の目標精度を指定している。例として「1%精度」と記述する場合は、既知の最適解に対する誤差率が 1%以内に収まる解を正解と見做す。目標値の設定に際しては、事前評価を通じて問題の難易度や計算リソースの制約を考慮し、実用的な時間内で各ソルバの性能差を適正に比較可能な水準を指定した。

評価時の実行条件に関しては、制約重み係数や反復回数などの各種パラメータについて、事前評価に基づき TTS が最良となるようチューニングした値を採用している。また、独自の制約処理技術を提供するソルバについては、対象問題の特性に応じて同機能を適用することで、各プラットフォームの最大性能を反映した評価を実施した。

### 2.3.3.2 ベンチマーク問題

本評価では、目的関数、制約条件、および QUBO 結合密度の観点で特性が異なる 5 つの組合せ最適化問題をベンチマーク問題として用いた。表 2.3 に、本評価で使用した各ベンチマーク問題の分類を示す。最大カット問題は、制約条件を含まず、二次式の目的関数のみで構成される。本評価では、結合密度の低い (~1%) データセットを選定している。次に、共通のツーウェイワンホット制約が課される問題として、結合密度の低い (~10%) 巡回セールスマン問題および結合密度の高い (60%~) 二次割当問題を選定し、制約の種類に加えて結合密度の違いが性能に与える影響を評価対象とした。さらに、二次目的関数と不等式制約を含む二次ナップサック問題や、一次目的関数と禁止ペア制約により構成される最大独立集合問題についても評価を行い、異なる問題構造に対する各ソルバの性能特性を網羅的に検証した。

表 2.3: 性能評価に用いたベンチマーク問題の分類

問題名	目的関数	制約条件	結合密度
最大カット問題	二次式	なし	小
巡回セールスマン問題		ツーウェイワンホット制約 ( $\sum_i^n x_{ij} = \sum_j^n x_{ij} = 1$ )	小
二次割当問題			大
二次ナップサック問題		不等式制約 ( $\sum_i^n a_i x_i \leq b$ )	中～大
最大独立集合問題	一次式	禁止ペア制約 ( $x_i x_j < 1$ )	小～中

## 2.3.4 性能評価結果

本節では、前節で述べた 5 つのベンチマーク問題と 3 種類の疑似量子アニーラによる性能評価結果を述べる。各項では、はじめに各問題の概要、実社会での応用例、ベンチマークデータセット、および TTS を算出するための目標精度を記述し、続けて各ソルバによる TTS の測定結果を示す。

### 2.3.4.1 最大カット問題

最大カット問題 (Max-Cut) は、重み付きグラフのノードを 2 つのグループに分割し、グループ分けをした際にカットされるエッジ (異なるグループ間を結ぶ辺) の重み総和を最大化する問題である [16]。本問題は、他のベンチマーク問題とは異なり制約条件を含まず、二次式の目的関数のみで構成されるという特徴を持つ。実社会における応用例としては、画像処理における領域分割 [17] や、データクラスタリング [18] などが挙げられる。本評価で使用するベンチマークセットとして、標準的なデータセットである Gset [19] のうち 5 つのインスタンスを使用した。目標精度として、G11 では既知の最適解、G32 では 0.5% 精度、G65 から G81 では 1% 精度を設定した。

図 2.1 に Max-Cut における TTS 評価結果を示す。グラフの横軸は Max-Cut のインスタンス、縦軸は TTS を表している。各インスタンス名の数値が大きくなるほど変数規模が大きい。図に示される通り、最小規模の G11 においては Amplify AE が TTS0.15 秒で実行時間が一番短く、NEC VA による 0.31 秒や Fujitsu DA による 3.1 秒を上回る優れた初期応答性を示した。一方で、問題が中規模の G32 から大規模の G81 へと拡大するにつれ、NEC VA の優位性が顕著となる傾向が確認された。具体的には、最大規模の G81 において、NEC VA が 12.8 秒で目標精度に到達したのに対し、Amplify AE は約 5.9 倍の 75.5 秒、Fujitsu DA は約 26 倍の 336.5 秒の計算時間を要している。この結果から、Max-Cut においては、大規模領域における NEC VA のスケーラビリティが他機種と比較して高いことが確認された。

Max-Cut は前述の通り制約を含まない問題であり、NEC VA や Fujitsu DA が提供している独自の制約処理機能が計算過程に介在しないため、上記の結果は各ソルバの純粋な探索アルゴリズムやプラットフォームの基礎性能差が直接的に反映されていると考えられる。

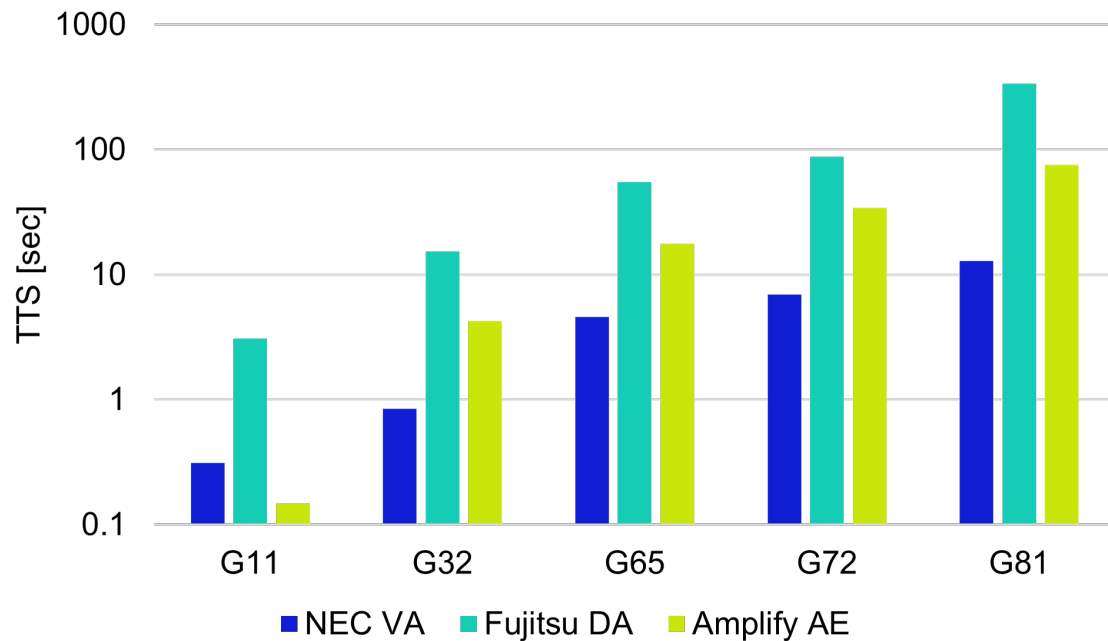


図 2.1: 疑似量子アニーラ TTS 比較 (Max-Cut)

#### 2.3.4.2 巡回セールスマン問題

巡回セールスマン問題 (Traveling Salesperson Problem, TSP) は、複数の都市を一度ずつ巡って出発点へ戻るとき、距離や時間といった総移動コストが最短となる経路を求める組合せ最適化問題である [20]。制約条件として、各訪問順序において一つの都市のみを選択し、かつ各都市を必ず一度ずつ訪問することを保証するツーウェイワンホット制約が適用されている。実社会における応用例としては、物流・配送ルート最適化 [10] や製造ラインにおける生産順序最適化 [21] などが挙げられる。本評価におけるベンチマークセットとして、TSPLIB [22] のうち 5 つのインスタンスを使用した。TTS 算出のための目標精度は、eil51 では最適解、kroA100 では 1%、ch150 では 5%、kroA200 では 6%、pr226 では 20%とした。

図 2.2 に TSP における TTS 評価結果を示す。グラフの横軸は TSP のインスタンスを表している。各インスタンス名の数値は TSP の巡回地点数を表しており、数値が大きくなるほど変数規模が大きいことを意味している。図に示される通り、Amplify AE は、小・中規模のインスタンスである eil51 および kroA100 において、それぞれ 3.9 秒、22.3 秒という最短の TTS となった。しかし、同機種は大規模インスタンスである kroA200 および pr226 においては、TTS が大きく増加する傾向にある。一方、NEC VA および Fujitsu DA は、ch150 以降の大規模領域において高いスケーラビリティを維持している。特に最大規模の pr226 においては、NEC VA が 163.8 秒で目標解に到達しており、Fujitsu DA の 943.1 秒や、Amplify AE の 4532.6 秒に対して、顕著な優位性を示した。

上記のような性能の差異が生じる要因として、各ソルバのハードウェア構成の差異に加え、独自の制約処理機能の有無が大きな要因となっていると考えられる。本評価においては、NEC VA および Fujitsu DA の双方でこれら独自のツーウェイワンホット制約処理機能を有効化して検証を

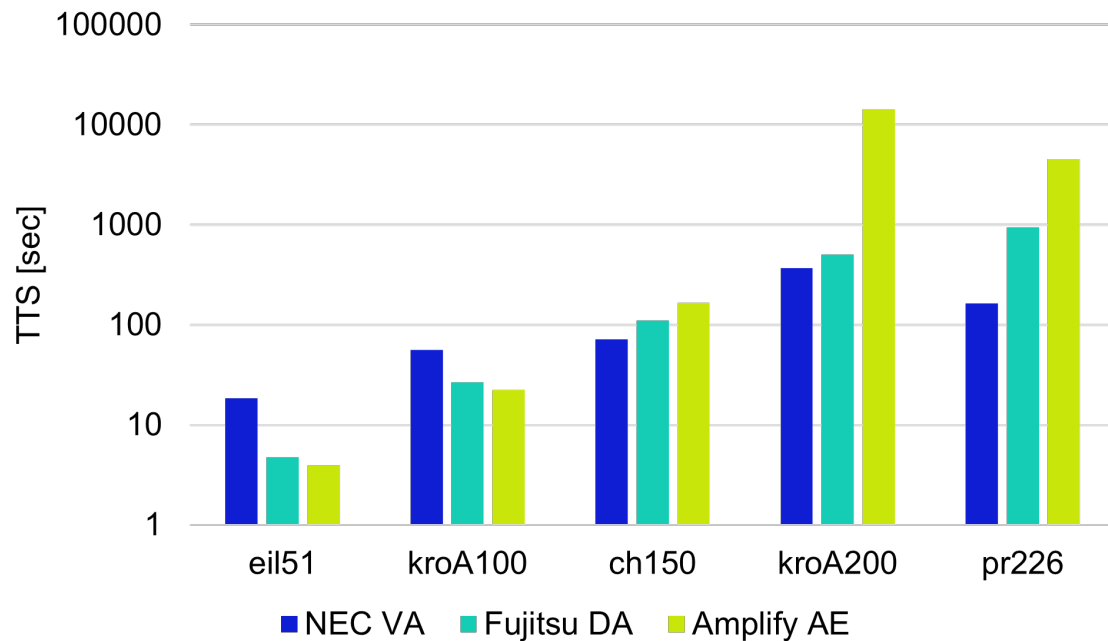


図 2.2: 疑似量子アニーラ TTS 比較 (TSP)

行っている。同機能を活用することで、アニーリングにおける解の探索空間を、ツーウェイワンホット制約を満たす実行可能解とその近傍のみに限定することができる。制約処理機能を持たない Amplify AE では、問題規模の拡大に伴い探索空間が指数関数的に増大し、解の収束が困難になるのに対し、NEC VA および Fujitsu DA では探索範囲を効率的に絞り込むことが可能である。この結果、NEC VA および Fujitsu DA では大規模なインスタンスにおいても無駄のない探索を継続でき、Amplify AE に対して優れた TTS を維持できたと推察される。

### 2.3.4.3 二次割当問題

二次割当問題 (Quadratic Assignment Problem, QAP) は、施設間の物資の輸送量と地点間の距離が与えられたとき、それらの積の総和である総コストが最小となる施設の配置を決定する問題である [23]。本問題の定式化には、各地点に一つの施設を、また各施設を一箇所の地点のみに割り当てることを保証する形が用いられ、TSP と同様の形式のツーウェイワンホット制約となる。具体的な応用例としては、医療施設におけるレイアウト最適化 [24] や、電子部品の配置最適化 [25] などが挙げられる。本評価におけるベンチマークセットとして、QAPLIB [26] のうち 6 つのインスタンスを使用し、目標精度として、対象とする全てのインスタンスに対して一律で誤差率 1%以内を設定した。

図 2.3 に QAP における TTS 評価結果を示す。グラフの横軸は QAP のインスタンスを表している。各インスタンス名の数値は QAP の施設数を表し、数値が大きくなるほど変数規模が大きい。図に示される通り、最小規模の tai12b においては、NEC VA が 0.02 秒、Amplify AE が 0.1 秒となり、高い初期応答性を示している。しかし、問題規模が拡大するにつれてソルバ間の性能差は顕著

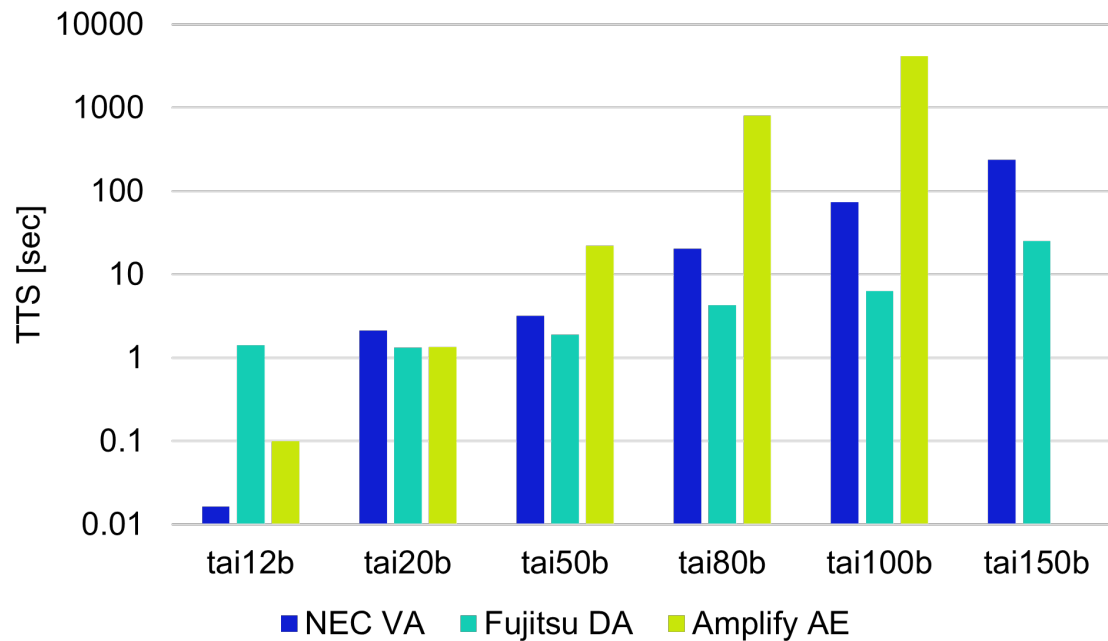


図 2.3: 疑似量子アニーラ TTS 比較 (QAP)

となり、特に Amplify AE は他の 2 機種と比較して、問題規模の拡大に伴う TTS の増加率が極めて高い傾向にある。具体的には、tai100b において同ソルバは TTS4186.4 秒を要しており、最大規模の tai150b では目標解に到達できない結果となった。対照的に、NEC VA および Fujitsu DA は、大規模領域においても高いスケーラビリティを維持している。その中でも Fujitsu DA の性能は顕著な優位性を示しており、中規模の tai20b 以降は一貫して最短の TTS を記録した。最大規模の tai150b においては、Fujitsu DA は 25.2 秒という安定した数値を維持しており、NEC VA による 238.2 秒と比較しても約 9.4 倍高速である。

QAP の評価結果においても、TSP と同様に、独自の制約処理機能を備える NEC VA および Fujitsu DA が、ペナルティ関数を用いる Amplify AE に対して顕著な優位性を示している。一方で、大規模領域における挙動は TSP と異なり、Fujitsu DA が最も優れたスケーラビリティを維持する結果となった。このようなソルバ間の性能差は、TSP と QAP における問題構造の違いと、各ソルバにおけるツーウェイワンホット制約処理の実装方式の差異に起因すると考えられる。QAP は、TSP と比較して QUBO 結合密度が高く、アニーリング探索時の状態更新に伴うエネルギー変化が大きいという特徴を持つ。各ソルバの具体的なアルゴリズムの詳細は公開されていないため、内部的な要因まで踏み込んだ解析は困難であるが、本評価の結果は、Fujitsu DA の制約処理の実装がこうした高密度な問題構造に対してより優れた適合性を示したことを示唆している。

#### 2.3.4.4 二次ナップサック問題

二次ナップサック問題 (Quadratic Knapsack Problem, QKP) は、良く知られたナップサック問題の拡張版であり、選択した各アイテム単体が持つ価値に加えて、アイテム同士の組み合わせによっ

て生じる相互利益を考慮し、総価値を最大化する組み合わせ最適化問題である [27]。本問題は、相互利益を考慮するために目的関数が二次式で表される点、および選択されたアイテムの合計重量がナップサックの許容容量を超えないことを保証する不等式制約を伴う点が大きな特徴である。実社会における応用例には、拠点間の相乗的な収益を考慮しつつ貨物ターミナルの最適な配置を選択する問題 [28] や、予算制約下で資産間の相乗効果やリスクを考慮しつつ総収益を最大化する金融ポートフォリオ最適化 [29] などが挙げられる。本評価で使用するベンチマークセットとして、先行研究 [30] で作成された QKP インスタンスのうち 10 のインスタンスを用いた。各インスタンス名のアンダースコアに続く最初の数値はアイテム数（変数量）、その次の数値は利益行列の密度を表す。例として、jeu\_100\_25\_1 は 100 変数、密度 25% のインスタンスであることを示す。本評価においては、対象とする全てのインスタンスに対して最適解を得ることを目標精度に設定して性能ベンチマークを実施した。

図 2.4 に QKP における TTS 評価結果を示す。図に示される通り、Fujitsu DA では問題規模に関わらず 2~3 秒台という極めて安定した TTS が得られた。一方で、NEC VA は一部のインスタンスで高速な応答を見せたものの、条件によっては実行時間が増大、あるいは目標解に未到達となるケースが確認された。また、Amplify AE は、多くの大規模インスタンスにおいて目標精度の解に到達できない結果となった。

上記のような結果となった主な要因として、各ソルバにおける不等式制約の処理手法の差異が挙げられる。Amplify AE が大規模インスタンスで求解困難となったのは、不等式制約をペナルティ関数として追加する手法に起因すると考えられる。この手法では、エネルギー地形が複雑化するだけでなく、不等式制約を表現するために導入される補助変数によって探索空間が増大し、解の収束が著しく妨げられたと推測される。対照的に、Fujitsu DA および NEC VA が高い精度を維持できたのは、不等式制約をネイティブに扱う制約処理機能を備えているためである。これらのソルバでは、ペナルティ関数や補助変数を導入することなく不等式制約を処理できるため、エネルギー地形の複雑化や探索空間の拡大を回避し、効率的な解探索が可能となっている。なお、Fujitsu DA が極めて安定した TTS を示した一方で、NEC VA の性能に変動が見られた点については、QAP の考察において指摘した両者の制約処理における実装上の差異が影響していると考えられる。評価結果から、Fujitsu DA における制約処理の実装が不等式制約を持つ QKP インスタンスに対してもより高い適合性を有することを示唆している。

#### 2.3.4.5 最大独立集合問題

最大独立集合問題（Maximum Independent Set, MIS）は、与えられたグラフ内において、互いに隣接しない頂点の集合（独立集合）のうち、含まれる頂点の数が最大となる集合を求める問題である。本問題の定式化においては、頂点数を最大化するための一次目的関数に加えて、隣接する頂点同士を同時に選ぶことを制限する禁止ペア制約が課される。実社会における主な応用例としては、資産間の干渉やリスクを考慮する金融ポートフォリオ最適化 [31] や、観測地点間の干渉を回避する人工衛星の経路選択 [32] などが挙げられる。本評価で使用するベンチマークセットとして、BHOSLIB [33] のうち 8 つのインスタンスを用いた。各インスタンス名の frb に続く数値が大きく

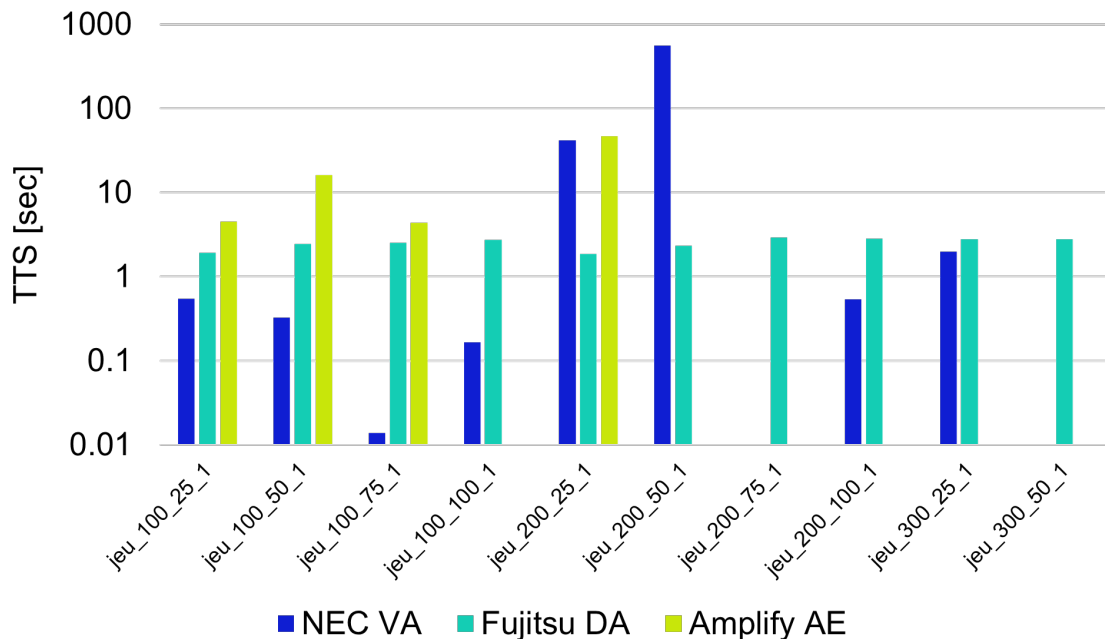


図 2.4: 疑似量子アニーラ TTS 比較 (QKP)

なるほど変数規模が大きい。本評価においては、対象とする全てのインスタンスに対して最適解を得ることを目標精度に設定して性能ベンチマークを実施した。

図 2.5 に MIS における TTS 評価結果を示す。図に示される通り、frb30-15-1 から frb59-26-1 までの小・中規模のインスタンスにおいては、NEC VA により 0.1 秒～0.9 秒未満という極めて高速な TTS が得られた。Amplify AE もこれに次ぐ性能を示しているが、問題規模の拡大に伴い TTS が漸増する傾向にある。一方で、最大規模のインスタンスである frb100-40 においては、NEC VA が 7.2 秒、Amplify AE が 31.1 秒と計算時間を大きく増加させているのに対し、Fujitsu DA は 1.7 秒という安定した TTS を維持し、大規模領域においては Fujitsu DA が他機種と比較して優位性を示す結果となった。

MIS の評価結果においては、TTS にソルバ間の差異は認められるものの、独自の制約処理機能を備える NEC VA および Fujitsu DA、ならびにペナルティ関数を導入する Amplify AE のいずれもが、評価した全てのインスタンスにおいて最適解の導出に成功している。この要因は、MIS 特有の単純な問題構造に起因していると考えられる。具体的には、MIS の目的関数は対称かつ単調な一次式で表現されるため、ここに禁止ペア制約を導入した場合においてもエネルギー地形が複雑化せず、探索過程において局所解に陥るリスクがない。このため、制約をペナルティ関数として目的関数に組み込んだ場合においても、ソルバが本来持つ探索能力によって効率的に最適解を特定できたと推測される。

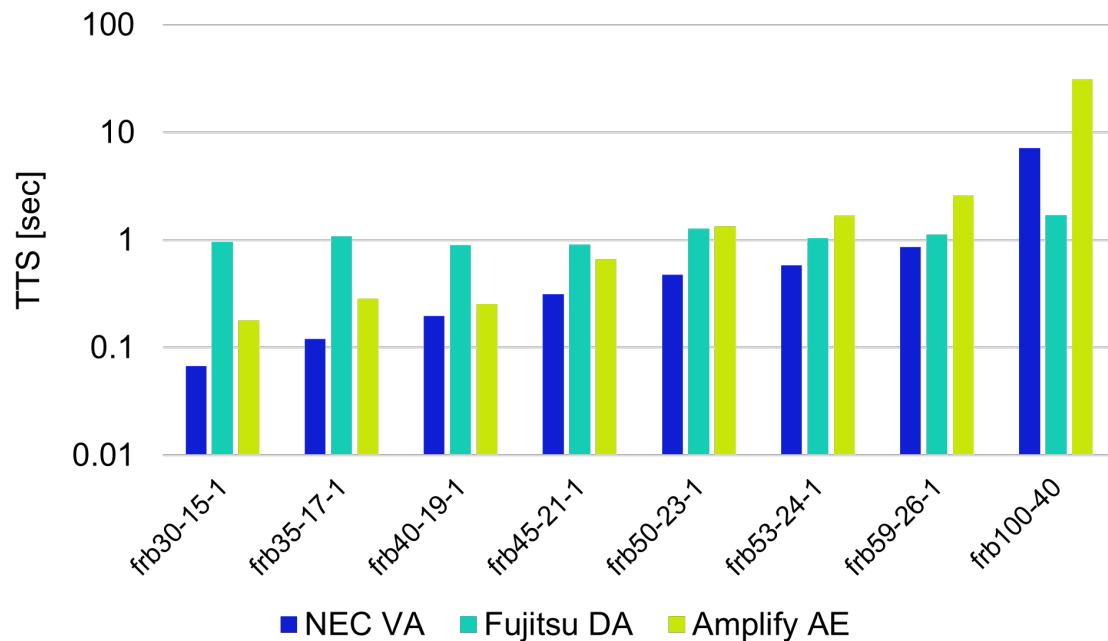


図 2.5: 疑似量子アニーラ TTS 比較 (MIS)

### 2.3.5 性能評価まとめ

本評価を通じて、問題の規模や結合密度、さらには制約条件の有無といった問題特性に応じて、各ソルバの性能特性や優劣が変動することが確認された。具体的には、Amplify AE は小規模なインスタンスにおいて最短の TTS を記録し、極めて優れた初期応答性を示した。一方で、NEC VA は Max-Cut や TSP などの中・大規模インスタンスにおいて計算時間の増加が抑制されており、高いスケラビリティを発揮する結果となった。また、Fujitsu DA は QAP や QKP といった高い結合密度や複雑な制約を持つ問題において、問題規模の拡大に伴う計算時間の増加が緩やかであり、大規模領域における安定性が確認された。これらの性能差が生じる要因としては、各ソルバが採用している独自の探索アルゴリズムの差異や、計算基盤となるハードウェアの基礎性能の違い、さらにはクラウド環境を利用する場合の通信時間といった諸要素が複合的に影響を及ぼしていると考えられる。今後は各ソルバが備える制約処理機能の有効性をより詳細に評価するとともに、実問題の特性に応じた最適な制約機能の選定指針を確立することが重要な検討課題となる。

## 2.4 まとめと今後の計画

国内外のイジングマシンを調査としてイジングマシンの最新スペックについて調査を実施した。また、イジングマシンのベンチマーク調査として TSP・QAP・Maxcut などの典型ベンチマークを用いて NEC VA、富士通 DA、及び Fixstars Amplify AE の性能比較を行い制約機能の有効性を明らかにした。また、現在、実行時間・解精度の観点から必要な制約機能を継続的に議論している。

令和7年度に実施したイジングマシンの調査および基本ベンチマークの結果に基づき、令和8年度はベンチマークと実アプリケーション（通信ネットワーク最適化、津波避難計画）を用いて、問題ごとに必要となる制約機能と解性能の関係を整理し、アプリケーション特性に基づくイジングマシンに求められる機能要件を明確化する。また、先端計測データ解析については、イジングモデルによるアプリケーションの実装を検討する。さらに、HPCI 上での運用を見据えて必要な機能・性能要件を検討し、運用システムソフトウェア調査研究グループと連携して HPCI システムでの検証を進める予定である。

## 参考文献

- [1]A. D. King, A. Nocera, M. M. Rams, J. Dziarmaga, R. Wiersema, W. Bernoudy, J. Raymond, N. Kaushal, N. Heinsdorf, R. Harris, K. Boothby, F. Altomare, M. Asad, A. J. Berkley, M. Boschnak, K. Chern, H. Christiani, S. Cibere, J. Connor, M. H. Dehn, R. Deshpande, S. Ejtemaee, P. Farre, K. Hamer, E. Hoskinson, S. Huang, M. W. Johnson, S. Kortas, E. Ladizinsky, T. Lanting, T. Lai, R. Li, A. J. R. MacDonald, G. Marsden, C. C. McGeoch, R. Molavi, T. Oh, R. Neufeld, M. Norouzpour, J. Pasvolsky, P. Poitras, G. Poulin-Lamarre, T. Prescott, M. Reis, C. Rich, M. Samani, B. Sheldan, A. Smirnov, E. Sterpka, B. T. Clavera, N. Tsai, M. Volkmann, A. M. Whitticar, J. D. Whittaker, W. Wilkinson, J. Yao, T. J. Yi, A. W. Sandvik, G. Alvarez, R. G. Melko, J. Carrasquilla, M. Franz, and M. H. Amin, Beyond-classical computation in quantum simulation, *Science*, vol. 388, no. 6743, pp. 199–204, 2025. DOI: 10.1126/science.ado6285. eprint: <https://www.science.org/doi/pdf/10.1126/science.ado6285>. [Online]. Available: <https://www.science.org/doi/abs/10.1126/science.ado6285>.
- [2]H. Kunugi, M. Rahmani, Y. Iyama, Y. Hirono, A. Suma, M. Woolway, V. Vargas-Calderón, W. Kim, K. Chern, M. Amin, and M. Tatenno, Molecular Design beyond Training Data with Novel Extended Objective Functionals of Generative AI Models Driven by Quantum Annealing Computer, 2026. arXiv: 2602.15451. [Online]. Available: <https://doi.org/10.48550/arXiv.2602.15451>.
- [3]Fujitsu Limited, Digital Annealer API リファレンス (QUBO API V4), <https://portal.aispf.global.fujitsu.com/apidoc/da/jp/api-ref/da-qubo-v4-ja.html>.
- [4]TOSHIBA Corporation, User's Manual for SQBM+™ V2, [https://www.global.toshiba/content/dam/toshiba/jp/products-solutions/ai-iot/sbm/pdf/User\\_s\\_Manual\\_for\\_SQBM\\_V2.pdf](https://www.global.toshiba/content/dam/toshiba/jp/products-solutions/ai-iot/sbm/pdf/User_s_Manual_for_SQBM_V2.pdf).
- [5]NEC Corporation, NEC Vector Annealing Python API (x86 版) リファレンスガイド 第2版, [https://www.hpc.cmc.osaka-u.ac.jp/wp-content/uploads/2025/10/Vector\\_Annealing\\_PythonAPI\\_x86%E7%89%88\\_%E3%83%AA%E3%83%95%E3%82%A1%E3%83%AC%E3%83%B3%E3%82%B9%E3%82%AB%E3%82%99%E3%82%A4%E3%83%88%E3%82%99\\_rev2.pdf](https://www.hpc.cmc.osaka-u.ac.jp/wp-content/uploads/2025/10/Vector_Annealing_PythonAPI_x86%E7%89%88_%E3%83%AA%E3%83%95%E3%82%A1%E3%83%AC%E3%83%B3%E3%82%B9%E3%82%AB%E3%82%99%E3%82%A4%E3%83%88%E3%82%99_rev2.pdf).

- [6]Fujitsu, トヨタシステムズと富士通、「デジタルアニーラ」を活用し大規模物流の効率化を共同で実証, <https://pr.fujitsu.com/jp/news/2020/09/10-1.html>, Sep. 2020.
- [7]Fujitsu, 「デジタルアニーラ」で自動車専用船の積み付け計画作成業務を効率化, <https://pr.fujitsu.com/jp/news/2021/09/2.html>, Sep. 2021.
- [8]Fixstars, 通販向け物流倉庫の人員最適配置自動作成サービス, <https://www.fixstars.com/ja/cases/amplify-bellemaison>.
- [9]NEC, NEC の量子コンピューティング技術で DX を加速複雑で難解な出荷計画業務を飛躍的に効率化, [https://jpn.nec.com/quantum\\_annealing/case/toyota-shokki/index.html](https://jpn.nec.com/quantum_annealing/case/toyota-shokki/index.html), Mar. 2024.
- [10]NEC, NEC と NEC フィールドインテグレーション、量子コンピューティング技術を活用した保守部品の配送計画立案システムを本格導入, [https://jpn.nec.com/press/202209/20220909\\_03.html](https://jpn.nec.com/press/202209/20220909_03.html), Sep. 2022.
- [11]Fixstars Corporation, Annealing Machines The Quantum Computing Cloud - Fixstars Amplify, [https://amplify.fixstars.com/ja/docs/amplify/v1/amplify\\_ae.html](https://amplify.fixstars.com/ja/docs/amplify/v1/amplify_ae.html).
- [12]K. Komatsu, M. Onoda, M. Kumagai, and H. Kobayashi, Investigating the Characteristics of Ising Machines, in 2023 IEEE International Conference on Quantum Computing and Engineering (QCE), 2023.
- [13]F. Takano, M. Suzuki, Y. Kobayashi, and T. Araki, “QUBO solver for combinatorial optimization problems with constraints,” NEC Corporation, Tech. Rep. 4, Nov. 2019.
- [14]M. Aramon, G. Rosenberg, E. Valiante, T. Miyazawa, H. Tamura, and H. G. Katzgraber, Physics-inspired optimization for quadratic unconstrained problems using a digital annealer, *Frontiers in Physics*, vol. 7, p. 48, 2019.
- [15]M. R. Zielewski and H. Takizawa, A method for reducing time-to-solution in quantum annealing through pausing, in *Proceedings of the International Conference on High Performance Computing in Asia-Pacific Region (HPC Asia 2022)*, New York, NY, USA: Association for Computing Machinery, 2022, pp. 137–145. DOI: 10.1145/3492805.3492815. [Online]. Available: <https://doi.org/10.1145/3492805.3492815>.
- [16]M. X. Goemans and D. P. Williamson, Improved approximation algorithms for maximum cut and satisfiability problems using semidefinite programming, *Journal of the ACM (JACM)*, vol. 42, no. 6, pp. 1115–1145, 1995.
- [17]S. de Sousa, Y. Haxhimusa, and W. G. Kropatsch, Estimation of distribution algorithm for the max-cut problem, in *Graph-Based Representations in Pattern Recognition*, Springer Berlin Heidelberg, 2013, pp. 244–253.
- [18]J. Poland and T. Zeugmann, Clustering pairwise distances with missing data: Maximum cuts versus normalized cuts, in *Discovery Science*, L. Todorovski, N. Lavrač, and K. P. Jantke, Eds., Berlin, Heidelberg: Springer Berlin Heidelberg, 2006, pp. 197–208, ISBN: 978-3-540-46493-8.

- [Online]. Available: <https://www-alg.ist.hokudai.ac.jp/~thomas/publications/ds06pz.pdf>.
- [19]Gset, <https://web.stanford.edu/~yyye/yyye/Gset/>.
- [20]M. Onoda, K. Komatsu, K. Bannai, S. Momose, M. Sato, and H. Kobayashi, Performance Evaluation of Vector Annealing on Multiple Nodes using the Traveling Salesperson Problem, in International Supercomputing Conference (ISC), 2025.
- [21]J.-H. Park, K.-H. Park, and J.-K. Park, Application of traveling salesman problem (TSP) for decision of optimal production sequence, Korean Journal of Chemical Engineering, vol. 19, no. 4, pp. 547–552, 2002. DOI: 10.1007/BF02699292. [Online]. Available: <https://doi.org/10.1007/BF02699292>.
- [22]G. Reinelt, TSPLIB A traveling salesman problem library, ORSA journal on computing, vol. 3, no. 4, pp. 376–384, 1991.
- [23]P. Codognet, D. Diaz, and S. Abreu, Quantum and Digital Annealing for the Quadratic Assignment Problem, in 2022 IEEE International Conference on Quantum Software (QSW), 2022, pp. 1–8.
- [24]A. N. Elshafei, Hospital Layout as a Quadratic Assignment Problem, Operational Research Quarterly, vol. 28, no. 1, pp. 167–179, 1977. DOI: 10.2307/3008789. [Online]. Available: <https://www.jstor.org/stable/3008789>.
- [25]G. Miranda, H. P. L. Luna, G. R. Mateus, and R. P. M. Ferreira, A performance guarantee heuristic for electronic components placement problems including thermal effects, Computers & Operations Research, vol. 32, no. 11, pp. 2937–2957, 2005. DOI: 10.1016/j.cor.2004.04.014. [Online]. Available: <https://doi.org/10.1016/j.cor.2004.04.014>.
- [26]R. E. Burkard, S. Karisch, and F. Rendl, QAPLIB – A Quadratic Assignment Problem Library, Journal of Global Optimization, vol. 10, pp. 391–403, 1997.
- [27]D. Pisinger, The quadratic knapsack problem—a survey, Discrete Applied Mathematics, vol. 155, no. 5, pp. 623–648, 2007.
- [28]J. M. W. Rhys, A selection problem of shared fixed costs and network flows, Management Science, vol. 17, no. 3, pp. 200–207, 1970.
- [29]D. J. Laughhunn, Quadratic Binary Programming with Application to Capital-Budgeting Problems, Operations Research, vol. 18, no. 3, pp. 454–461, 1970. DOI: 10.1287/opre.18.3.454. [Online]. Available: <https://doi.org/10.1287/opre.18.3.454>.
- [30]A. Billionnet and É. Soutif, An exact method based on Lagrangian decomposition for the 0–1 quadratic knapsack problems, European Journal of Operational Research, vol. 157, no. 3, pp. 565–575, 2004.
- [31]R. Hidaka, Y. Hamakawa, J. Nakayama, and K. Tatsumura, Correlation-Diversified Portfolio Construction by Finding Maximum Independent Set in Large-Scale Market Graph, IEEE Access, vol. 11, pp. 142 979–142 991, 2023. DOI: 10.1109/ACCESS.2023.3341422.

- [32]K. Dave, B. R. Nikilesh, A. Patel, and J. Lalwani, “Efficient Earth Observation Satellites Mission Planning with Quantum Algorithm,” Artificial Brain, Tech. Rep., 2023.
- [33]K. Xu, BHOSLIB (Benchmarks with Hidden Optimum Solutions for Graph Problems), <https://networkrepository.com/bhoslib.php>, 2004.

## 第3章 運用システムソフトウェア調査

### 3.1 今年度の取り組みの概要

2025年度は HPCI 基盤へのイジングマシンや汎用量子計算機の導入に向けた運用技術の基礎調査を実施する。Docker や Singularity などのコンテナ仮想化技術の検証や、ジョブスケジューラの連携技術、課金システムなどの運用上の課題を整理する。さらに、国内外の関連機関へのヒアリングや文献調査を通じて、このような異種計算資源を総合運用する上での課題を整理する。

### 3.2 高性能計算機のためのコンテナ仮想化技術の調査

2013年に Docker が登場して以降、アプリケーション単位で環境をパッケージ化し、異なる計算環境間でそのまま再利用できるコンテナ仮想化技術は急速に普及した。これにより、ユーザは依存ライブラリや実行環境を含めたアプリケーションの可搬性を容易に確保できるようになり、クラウドサービスにおいてはデファクトスタンダードの技術として広く定着している。

従来、仮想マシンはハイパーバイザ上に独立した OS を構築するため、環境の完全分離や柔軟な管理性に優れる一方で、HPC 分野においてはオーバーヘッドによる性能低下やデバイスアクセスの制約が大きな課題となっていた。特に、MPI 通信、RDMA を利用する高速ネットワーク (InfiniBand など)、および GPU アクセラレータを扱う際には仮想化層による遅延が無視できず、性能面での制約が実運用の障壁となっていた。これに対して、コンテナ仮想化技術はホスト OS のカーネルを共有する仕組みにより、プロセス分離の安全性を維持しつつ、仮想マシンよりもはるかに低いオーバーヘッドで環境を隔離できる。HPC 分野では、これを安全に実現する Singularity (現 Apptainer) や Shifter といったコンテナランタイムが登場し、管理者権限を必要とせずにコンテナを起動できる仕組みが整備された。これらの特徴により、HPC 環境における実用化が急速に進んだ。さらに、HPC 特有の要素である MPI、GPU、InfiniBand などの高性能デバイスへのアクセスをコンテナ内部からほぼネイティブに行えることが大きな利点である。これは、ホスト側で提供されるドライバや通信ライブラリをコンテナ環境へパススルーする設計によって実現されており、コンテナ仮想化による性能劣化を最小化している。結果として、HPC アプリケーションはコンテナ化してもほぼネイティブ性能で実行でき、実験環境の再現性、移植性、依存関係の管理が格段に向上している。

国内においても、阪大、名大、産総研等 HPCI の主要拠点では Singularity/Apptainer の導入が進み、運用実績が蓄積されている。これにより、HPC 分野におけるコンテナ技術は、単なる実験的取り組みではなく、実運用を支える成熟したソリューションの一つとして認識されつつある。特

に、ソフトウェア実装のイジングマシンのようなユーザ空間で完結するアプリケーションに対しては、コンテナ技術は高い適合性を示す。研究者がローカル環境で構築したソフトウェアスタックをそのままスパコンへ持ち込み、再現性を確保した状態で大規模計算を実行できることは、研究効率の向上に大きく寄与する。

以上の成熟度を踏まえ、本調査研究ではコンテナ仮想化技術そのものの詳細な技術解説には踏み込まない方針とする。

### 3.3 高性能計算機におけるイジングマシン運用の現状と課題

組合せ最適化問題は、物流計画、製造スケジューリング、電力系統設計、創薬・材料探索、金融ポートフォリオ設計などで、社会・産業の多くの分野において、中核的な役割を担いつつある。これらの問題は、変数数の増加に伴い探索空間が指数関数的に拡大する「組合せ爆発」を伴うため、従来の汎用計算機（CPU/GPU）上の数値最適化手法やヒューリスティクスでは、計算時間・消費電力・解品質の観点で限界が顕在化している。

特に近年では、問題規模の増大に加え、「制約条件の複雑化」や「動的・リアルタイム性の要求」、「多目的最適化」といった要請が強まり、従来型 HPC 基盤のみでの対応が困難になりつつある。

このような背景のもと、組合せ最適化問題を イジングモデル（QUBO 形式）に写像し、物理的・計算的手法により基底状態探索を行うイジングマシンが注目を集めており、近い将来において HPCI への導入、本格的なサービス提供の必要性が高まりつつある。本節では、HPCI 構成機関におけるイジングマシン運用の現状と課題についてまとめる。

#### 3.3.1 概要

HPCI 構成機関のうち、産業総合研究所 ABCI-Q では Amplify AE、Digital Annealer、SQBM+、大阪大学 OCTOPUS では Vector Annealing が運用されているが、現在では小規模な導入にとどまっている。HPC 基盤としての本格導入にあたっては、サービスモデル（課金、ライセンス管理）等の整理が必要である。また、本格的なサービス提供に向けて、ジョブスケジューラとの連携、ワークフロー自動化、性能検証なども必要であるが、確立した手法は存在せず、今後の課題となっている。

以上を踏まえ、HPCI 構成機関への導入と継続利用を前提とした運用上の課題に焦点を当てて整理する。具体的には、

- 計算資源としての位置づけ
- ジョブ管理・スケジューリング
- 障害・再実行・再現性
- 利用者支援・教育
- 既存基盤との運用統合

といった観点から、イジングマシン導入に伴う課題を整理し、今後の導入・制度設計に資する知見をまとめる。

#### 3.3.2 イジングマシンの整理と課題

はじめに、主要なイジングマシンとその提供形態を表 3.1 にまとめる。

表 3.1: 主要なイジングマシン

ベンダ/名称	方式・原理	実装	規模(目安)	結合	特徴	提供形態
D-Wave	量子アニーリング	超伝導量子ビット(極低温)	約 5,000 量子ビット級	疎結合	実量子効果(量子トンネル)。疎結合のため埋め込みが必要	クラウド(Leap/クレジット制)
富士通 Digital Annealer	量子インスパイアード(Digital Annealing/MCMC)	ASIC + マルチ GPU	10 万~ 100 万ビット級	全結合	大規模・高精度、制約処理(1-hot/不等式)が強力	クラウド/オンプレ(個別見積)
日立 CMOS アニーリング	量子インスパイアード	CMOS LSI/GPU	10 万ビット級	全結合	室温動作・省電力、LSI 化による高効率	クラウド/実証(個別見積)
東芝 SBM	量子インスパイアード(SB 法)	GPU	100 万変数級	全結合	連続力学系で高速収束、Max-Cut 等に強い	クラウド(個別見積)
NEC Vector Annealing	量子インスパイアード(ソフト)	ベクトルプロセッサ	10 万ビット級	全結合	ベクトル演算最適化、安定性重視	クラウド(個別見積)
Fixstars Amplify Engine	量子インスパイアード	CPU/GPU	ハード依存	全結合(論理)	高速ソフト実装、API が使いやすい	クラウド/SDK(サブスクリプション/従量制)
CIM(光イジングマシン)	光パラメトリック発振	光学系	数百~数千スピン			

現在、イジングマシンは表 3.1 のように多様な実装方法が存在し、大まかに以下 4 つに分類できる。

- 超伝導量子アニーラ
- 専用デバイスを用いた量子インスパイアード(デジタル)イジングマシン
- GPU(/FPGA)を用いた擬似量子アニーリング
- 光・スピントロニクス等を用いた物理アナログ型

これらは「量子か否か」に関わらず、特定クラスの最適化問題において高速に良解を得られる可能性を示しており、研究用途に留まらず、産業・社会実装に向けた検討が進められている。

イジングマシンのアーキテクチャからみると、超伝導量子アニーラ (D-Wave) は希釈冷凍機等の極低温冷却設備が必須のため、従来の HPC 基盤システムとの運用における親和性は低い。一方、量子インスパイアード方式に分類される擬似量子アニーラでは、専用ハード実装系 (富士通 Digital Annealer、日立 CMOS アニーリング)、GPU やベクトルプロセッサ上でのソフト実装系 (東芝 SQBM+, NEC Vector annealing, Fixstars Amplify Engine) など、(HPC のアクセラレータのような) 従来の HPC 基盤の延長とみなせる実装がなされているものは、運用上の親和性が高いと言える。

また、これまでイジングマシンについての議論は、アルゴリズム性能・ハードウェア性能を中心に行われてきたが、導入・実運用を見据えた場合、性能評価だけではわからない「運用課題」が顕在化すると考えられる。これらは運用に先立って導入段階で整理しなければ、PoC 止まりで終わる可能性が高い。具体的には、以下のような視点での整理が必要となる。

- ・ 計算資源としての位置づけ: 既存 HPC/クラウド基盤との役割分担
- ・ ジョブ管理・スケジューリング: ジョブ管理・資源割当・課金モデル
- ・ 障害・再実行・再現性: 障害・プリエンプション・再実行への対応
- ・ 既存基盤との運用統合
- ・ 利用者支援・教育: 利用者支援・ブラックボックス化のリスク (問題定式化・パラメータ調整などの属人的なものを含む)

以下では、「利用者支援・教育」の項目を除く上記 4 つの視点に基づき、HPCI 拠点におけるイジングマシン導入に関する課題についてまとめる。

### 3.3.3 HPCI 拠点におけるイジングマシン導入の現状と課題

主要な HPCI 拠点におけるイジングマシン導入事例とそれらが抱える課題を表 3.2 にまとめる。

表 3.2: HPCI 拠点におけるイジングマシン導入の現状と課題

拠点	大阪大学	名古屋大学	産総研
システム	OCTOPUS	不老	ABCI-Q
イジングマシン	NEC Vector Annealing (x86 版)	NEC Vector Annealing	Fixstars Amplify Engine 富士通 Digital Annealer 東芝 SQBM+
提供方法	・ 専用のジョブキューを用意 ・ 実行環境を module として提供	動作検証・基礎評価目的 ・ 8 プロセス版	・ 各 1 ライセンス ・ 通常のノード課金にイジングマシン使用料を上乗せ

	<ul style="list-style-type: none"> <li>・同時実行は 1 ジョブのみ (1 ライセンスのみ)</li> <li>・通常のノード課金のみで追加料金なし</li> </ul>	<ul style="list-style-type: none"> <li>・通常課金で利用可能</li> </ul>	
利用者	NEDO プロジェクト参加者など	動作検証のため利用者は無し	主に SIP、NEDO 等国プロ参画者
課題	<ul style="list-style-type: none"> <li>・問題の定式化やチューニングに関するサポート体制</li> <li>・テスト、デバッグ用環境の整備</li> <li>・性能</li> </ul>	<ul style="list-style-type: none"> <li>・OS のバージョンが RedHat7 で古く、そのままでは動作しない</li> <li>・分散版などでも大規模実行での評価が必要</li> </ul>	<ul style="list-style-type: none"> <li>・イジングマシンのプログラミング I/F が統一されていない</li> <li>・ノード占有するためマシン利用効率が低い</li> </ul>
対応策	<ul style="list-style-type: none"> <li>・利用者向け講習会やチューニング支援、対面利用相談でのサポート</li> </ul>	<ul style="list-style-type: none"> <li>・Singularity のコンテナ版で動作確認</li> <li>・実行時間が大きい大規模実行問題での評価中</li> </ul>	<ul style="list-style-type: none"> <li>・Fixstars Amplify から全イジングマシンを利用可能 (対応中)</li> <li>・ノード分割 (対応中)</li> <li>・API 課金</li> </ul>

すでに導入・運用している HPCI 構成機関においても運用形態は様々な状況であり、それぞれに運用上の課題も存在する。これらを踏まえつつ、特定の機関に限定されない運用上の課題をいくつかの項目にわたって以下で検討する。

### 3.3.3.1 提供形態

各機関とも現状は量子技術検証に向けた提供となっている。これらは、従来の HPC 基盤との親和性が高い方式である擬似量子アニーリングマシンの導入であるため、イジングマシンのオンプレミス/クラウドサービスとも各機関の HPC 基盤サービスに整合させた「ジョブ管理・資源割当・課金モデル」によって提供されている。

### 3.3.3.2 運用モデル

イジングマシンは、既存の HPC 基盤である CPU/GPU クラスタと比較して、以下のような運用上の非対称性を持つ。

- ・汎用計算ではなく問題特化型
- ・計算時間・収束挙動の予測が困難
- ・「最適解」ではなく「良解」を返す
- ・再現性・決定性が保証されない場合がある (古典計算では同じ計算は同じ答えを返す)

このため、従来の HPC 基盤で確立されてきた、

- バッチスケジューリング（資源共有利用）
- 実行時間見積ベースの利用
- 再現計算（実験）
- 課金モデル（性能課金）

といった運用モデルをイジングマシンの導入においてもそのまま適用することは、例え従来の HPC 基盤と親和性の高い方式であっても、運用上の課題を生じさせるおそれがある。特に、イジングマシンを「研究設備」としてだけではなく「計算資源」として組織的に導入する場合には、以下の問いに答える必要がある。

- どの問題を対象に、どこまでをイジングマシンに任せるのか
- 失敗・未収束・低品質解をどう扱うのか
- 利用者はアーキテクチャをどこまで理解すべきか、システムソフトによりどこまでを抽象化するのか
- HPC/クラウドとの棲み分けはどう設計するのか
- 継続運用時のコスト・人材・保守体制をどう確保するのか

これらは技術選定以前に、運用設計として整理すべき論点である。

以上を踏まえて、イジングマシンの導入・継続利用を前提とした課題を、いくつかの観点から運用形態ごとに比較した結果を表 3.3 に整理する。

表 3.3: イジングマシン運用形態（単体／クラウド／HPC 連携）の比較

観点	単体運用	クラウド提供	HPC 連携
主目的	専用最適化処理	利便性・外部提供	大規模計算との統合
利用者	研究者	不特定	研究者・HPC 利用者
スケール	限定的	弾力的	非常に大規模
運用難易度	低～中	中	高
HPC 親和性	低	中	高

ここで、単体運用はイジングマシンを専用装置としてオンプレミス設置する単一組織・単一用途向けの閉じた運用形態である。また、クラウド提供は API 経由でイジングマシンをサービス (FaaS) として提供し、利用者はハードウェアを意識しないで良い運用である。前者は、課金やジョブスケジューリングといった運用もなく利用可能である。後者は、クラウドサービス提供者による課金モデル（契約クラスなど）とクラウド提供者によるジョブ管理サービスを利用する。

HPC 連携型（ハイブリッド運用）は、大規模問題を分割したり反復的に解くために、HPC 資源 (CPU/GPU) を最大限活用した問題への取り組みが可能であり、量子／擬似量子を計算パイプラインに統合した次世代の計算基盤となりうる。一方で、HPC 基盤におけるジョブの一部としてイ

ジングマシンを組み込む必要があり、運用設計が複雑化する（ジョブスケジューラ統合や利用量の計量、課金、アカウントティングなど）。また、CPU/GPU を利用する古典計算との密結合が予想されるため、既存 HPC ジョブとの連携や量子計算を含めたワークフロー管理（既存 HPC に実装されたワークフローの一部としての扱い）が求められる [1][2][3][4]。

### 3.3.3.3 ジョブ管理

量子アニーリングマシン／擬似量子アニーリングマシンを従来の HPC 基盤とどう統合できるかという視点で、ジョブ管理上の親和性（Compatibility / Affinity）に関する課題をまとめる。

従来の HPC 基盤とイジングマシンは設計思想が異なり、従来の HPC 基盤が前提としてきた運用モデルと非対称な性質を持つことは先に述べた。以下、親和性に関する 2 つの観点からイジングマシンの特徴を列挙する。

**観点①：計算モデルと実行制御の違い**

- HPC ジョブスケジューラ等の walltime 前提モデルと整合しにくい
- 実行時間超過／未収束をどう扱うかの設計が必要である
- ジョブ終了条件を 時間ではなく解品質で定義する必要がある

**観点②：資源管理・スケジューリング**

多くの擬似量子アニーリングマシンは、以下の特徴から HPC スケジューラとの親和性が比較的高い。

- GPU/CPU といった既存 HPC 基盤の資源上で動作
- 既存 HPC 資源を流用可能
- プリエンプション・チェックポイント設計が可能

一方、量子アニーリングマシンは、以下の特徴から従来の HPC 向けスケジューラとの統合が難しい。

- 専用ハードウェア（多くはクラウド越しの QPU）
- 同時利用制限・キューイングあり
- 実行時間は短い待ち時間が不確定

以上の特徴をもとに整理すると、HPC 基盤におけるジョブ管理の課題は、

- 既存 HPC ジョブの中から外部 QPU を呼ぶ構造になる（QPU 側を直接制御できない）
- 管理する計算資源が HPC システム外に存在する（QPU 資源の割当て等の制御が難しくなる）
- 課金・利用制御が HPC と分離される（QPU 側の課金と統合した課金制御ができない）

といったものが挙げられる。

また、ジョブ管理における従来の HPC 基盤との親和性という観点から、擬似量子アニーリングと量子アニーリングの比較を表 3.4 にまとめる。

表 3.4: 擬似量子アニーリングと量子アニーリングの HPC 基盤親和性比較

観点	擬似量子アニーリング	量子アニーリング
HPC 資源統合	高い	低い
スケジューラ統合	容易	困難
運用制御	HPC 側で可能	ベンダー依存
再現性管理	相対的に容易	困難
導入障壁	低～中	高

擬似量子アニーリングマシンは、「HPC 基盤の延長線上における専用アクセラレータ」として位置づけやすく、課題を吸収しやすいと考えられる。一方、量子アニーリングマシンは「HPC とは異なる計算サービスを外部から呼び出す特殊資源」として扱う（可能性を含めて）運用課題をさらに整理する必要がある。

### 3.3.3.4 課金モデル

擬似量子アニーリングマシン（量子インスパイアード方式）は、比較的安定な動作（良解が得られやすく）とより大規模な問題への対応が見込まれることから、既存 HPC 基盤で基本となっている性能課金（計算資源 × 時間 × 諸係数）といった従来の課金モデルに沿ったサービス構築になっているケースが認められる。また、クラウドサービスを導入しているものについても（サービス）提供ベンダーの契約（クレジット制や契約ランクなど）で定められている「使用時間ベース」の現実的な課金モデルとなっている。

しかし、量子アニーリングでは同じ問題でも確率的に解が揺れる性質があり、従来のノード使用時間による課金モデルではユーザ負担の公平性を欠く可能性がある。これらの量子計算で得られるものは確率分布に基づく解の集合であり、良解を得られる shot 数は理論では決まらないため、計算を「何回まで回せるか」「どこで止めるか」は運用側の判断により設定されている。このような量子計算の特殊性を考慮した課金モデルの導入も今後の検討課題である。

### 3.3.3.5 既存基盤との運用統合

既存基盤との運用統合の観点でも、ここまで述べてきたことと共通して、擬似量子アニーリング型のイジングマシンは従来の HPC 基盤運用に比較的統合しやすいと言える。ただし、イジングマシンのクラウドサービスでの利用は、HPC 基盤運用者とクラウドサービス提供者との契約、HPC ユーザとクラウドサービス提供者との契約、運用者と HPC ユーザとの契約など、複数当事者間の契約が発生する可能性がある。これは量子計算サービスに限らず、従来の HPC 基盤とクラウドサービスを連携させる上で共通の課題であるが、HPC 基盤から外部サービスを利用するにあたっての契約上またはセキュリティ上の課題を整理する必要がある。

## 3.4 高性能計算機と量子コンピュータ統合に向けた動向

### 3.4.1 世界の HPC センターにおける量子コンピュータ導入状況

世界の HPC センターにおける量子コンピュータ導入の状況を表 3.5 にまとめる。近年の傾向として、IBM Quantum や Amazon Braket、Microsoft Azure Quantum など、クラウドベースの量子コンピューティングサービス提供が早期から進み、量子コンピュータの主要なアクセス形態として定着してきた。量子コンピュータの整備や維持管理に高度な専門性が必要であることもあり、利用者側が物理的に装置を保有せず、クラウド経由で量子コンピュータを共有する方式は合理的である。

しかし 2020 年頃から徐々にオンプレミスでの量子コンピュータの導入事例が増加している。これは、量子コンピュータの技術成熟が進み、実験装置から研究・産業利用を見据えた計算基盤へと位置付けが変わりつつあるためである。また、特にコロナ禍以降は、サプライチェーンや基盤技術の主権確保が重視され、経済安全保障上、自国内で制御可能な量子技術基盤を確保する必要性が高まったことも、オンプレ化の大きな推進要因となっている。

量子コンピュータの導入先として HPC センターが選好される理由は明確である。HPC システムと量子計算を組み合わせるハイブリッドワークフローは、量子アルゴリズムの実用化に有望であり、量子コンピュータを GPU などのアクセラレータと同様に「計算資源の一種」として扱うという考え方は自然な流れである。また、HPC センターは既に大規模計算資源の運用経験を持ち、ユーザ管理、スケジューラ統合、データ管理などの基盤技術を整えているため、量子コンピュータを拡張的に組み込む上でも適合性が高い。

一方で、量子コンピュータ特有の運用要件は依然として課題が多い。超伝導方式等では極低温環境を維持するための希釈冷凍機が必須であり、定期的な冷媒（ヘリウムガスや液体窒素）の補充、環境振動・電磁ノイズ制御、24 時間体制の監視が求められる。また、量子ビットの性能劣化に対応するための定期的なキャリブレーション作業、デバイス固有のトラブル対応など、一般的な HPC インフラとは異なる専門運用が必要である。量子コンピュータの運用モデルは未確立であり、ベストプラクティスも発展途上であるため、HPC センターにとっては新たな負担とリスクを伴う。

こうした状況を踏まえ、本調査研究では、表 3.5 に示した国内外の HPC センターへのヒアリングを通じて、量子コンピュータ運用の実態、導入時の組織的・技術的課題、運用体制の確立に向けた取り組みを整理する予定である。さらに、量子コンピュータを HPCI 基盤へ安全かつ効果的に組み込むための共通課題を抽出し、その解決のためのロードマップを提示することで、国内量子インフラ整備に向けた一助とすることを目的とする。

表 3.5: 世界の HPC センターにおける量子コンピュータ導入状況

拠点名	国・地域	HPC システム	量子 (オンプレ)	量子 (クラウド/外部)
産総研 (G-QuAT)	日本	ABCI-Q システム H	システム F (富士通, 超伝導, 64) システム Q (QuEra, 中性原子・デジタル, 260) システム O (OptQC, 光, 100)	-
理研 (R-CCS)	日本	富岳	IBM_Kobe (IBM, Quantum System Two, Heron, 超伝導, 156) 黎明 (Quantinuum, H シリーズ, トラップドイオン, 20)	ソフトバンク AI スパコン
FZJ (JSC)	ドイツ	JUPITER	D-Wave Advantage (D-Wave, アニールリング, >5000) Pasqal (Pasqal, 中性原子・アナログ, 100 級) IQM Spark (IQM Spark, 超伝導, 5)	—
DLR	ドイツ	(FZJ 等との連携)	XAPHIRO (QUDORA, トラップドイオン, 50 級) QSea (eleQtron, トラップドイオン, 10 級)	—
CEA (TGCC)	フランス	Joliot-Curie	Ruby (Pasqal, 中性原子・アナログ, 100+級) Lucy (Quandela, フォトニック, 12)	—
BSC	スペイン	MareNostrum 5	MareNostrum Ona (Qilimanjaro, 量子アニーラ, $\geq 10$ 物理量子ビット)	—
CSC	フィンランド	LUMI	Q5 (VTT, 超伝導, 5), Q50 (IQM, 超伝導, 53)	VTT QX クラウド
IT4I	チェコ	Karolina	VLQ (IQM, 超伝導, 24)	—
PSNC	ポーランド	ALTAIR (将来 PIAST-AI)	PIAST-Q (AQT, トラップドイオン, 20)	—
Pawsey	豪州	Setonix	QB Accelerator (Quantum Brilliance, ダイヤモンド NV, 数量量子ビット級)	QuEra Aquila(中性原子・アナログ)
ORNL	米国	Frontier	Ouoll (Quantum Brilliance, ダイヤモンド NV, 6)	IBM, IQM, Quantinuum, IonQ
NERSC	米国	Perlmutter	—	IBM Quantum (超伝導) QuEra Aquila (中性原子・アナログ) QuEra Gemini (中性原子・ゲート)
China Telecom Quantum Group	中国	天翼云+国家超算 (SCNet)	Tianyan-287 (超伝導, 105 データ + 182 カプラ) Tianyan-504 (超伝導, 504) Tianyan-176 系 (超伝導, 176× 複数)	同一クラウド上で提供 (Cqlib)

### 3.4.2 国内量子コンピュータの運用状況と課題

2025 年度は OQC Toshiko、黎明へのサイトビジットを行い、運用状況とその課題についてヒアリングを行った。

#### 3.4.2.1 OQC Toshiko

商用コロケーションデータセンターにおける量子計算機運用と、将来的な HPC センターとのハイブリッド連携に向けた現地視察を行った。商用 DC での安定運用、監視基盤の整備、日次キャリブレーションの自動化、SRE 体制の確立など、量子リソースを既存 HPC インフラに組み込む際に有用な知見を得た。一方で、ハイブリッドソフトウェアスタックやセキュリティ対策、冗長性確保など、今後検討すべき課題も明確となった。

#### 3.4.2.2 黎明

Quantinuum 社のイオントラップ量子コンピュータ H1（黎明）を対象として、将来的な HPC センターへのコロケーションやハイブリッド連携を見据えた設備要件・運用方法・インフラ整合性について現地視察を行った。現行 H1 世代は研究機関向けの高度専門設備として設計されており、一般的な HPC センター環境とはインフラ前提が大きく異なる。一方で、次世代 Helios ではデータセンター統合を前提とした設計思想への転換が見られ、量子計算資源の HPC センター内組み込みが現実的選択肢となりつつある。

## 3.5 まとめ

2025 年度は HPCI 基盤へのイジングマシンや汎用量子計算機の導入に向けた運用技術の基礎調査を実施し、コンテナ仮想化技術の検証や、ジョブスケジューラの連携技術、課金システムなどの運用上の課題を整理した。

来年度はオンプレミス型疑似量子アニーリングマシンを用いた実験を行い、ハイブリッド運用技術を精査する。さらにスケジューリング技術や課金機能の調査を深め、実環境を想定した検証を進める。最新のイジングマシンの適用を考慮した、アプリケーション利用時のジョブフローを調査し、スケジューラなどのシステムソフトウェアで対応できるか、および性能面で十分かの機能を調査する。また、富岳 NEXT アプリケーションとしてイジングマシン対象アプリケーションに関する調査を進める。対象アプリケーションにイジングマシンが適用可能な場合には、そのジョブフローを調査したうえで、既存 API で実現できるか調査する。

## 参考文献

- [1] A. Esposito and U.-U. Haus, SLURM Heterogeneous Jobs for Hybrid Classical-Quantum Workflow, arXiv:2506.03846v1, 2025.

- [2] A. Li, NWQWorkflow: The Northwest Quantum Workflow, Whitepaper, arXiv:2601.15521v1[quant-ph], 2026.
- [3] S. S. Cranganore, V. D. Maio, I. Brandic, and E. Deelman, Paving the Way to Hybrid Quantum-Classical Scientific Workflows, arXiv:2404.10389v1, 2024.
- [4] S. Pornmaneerattanatri, M. Tsuji, K. Maheshwari, and M. Sato, Python-based Workflow System for Quantum-HPC Hybrid Application on HPC System and Quantum Computer with Shared Network, in Proceedings of the Supercomputing Asia and International Conference on High Performance Computing in Asia Pacific Region Workshops, ser. SCA/HPCAsiaWS '26, Association for Computing Machinery, 2026, pp. 428–432, ISBN: 9798400723285. DOI: 10.1145/3784828.3786263. [Online]. Available: <https://doi.org/10.1145/3784828.3786263>.

## 第4章 新計算原理ソフトウェア調査

### 4.1 今年度の取り組みの概要

2025年度は量子機械学習ライブラリや生成AIを用いたイジングマシンプログラム自動生成支援技術の現状調査と必要性の検討を進める。イジングマシンプログラムのコード生成AIの現状調査のため、ローカル大規模言語モデル(LLM)を利用したプログラム生成環境を構築して機能調査するとともに、ローカルLLMとグローバルLLMによるコード生成性能の調査を行う。また、イジングマシンの性能パラメータを調査し、自動チューニング(AT)適用の研究とAT性能の調査を行う。

### 4.2 イジングマシンの性能パラメータ調査および自動チューニング適用

#### 4.2.1 背景

近年、産業界および学术界の双方において、組合せ最適化問題の重要性は飛躍的に高まっている。物流経路の最適化、エネルギー需給制御、金融リスク管理、創薬分子設計など、現代社会を支える多くのシステムは、膨大な探索空間を持つ最適化問題を中核に据えている。これらの問題は一般に計算量が指数関数的に増大し、従来型アルゴリズムでは現実的時間内に厳密解を求めることが困難である。

半導体技術の進展によって計算資源は拡大してきたが、物理的微細化限界に近づきつつある現在、単純なハードウェア性能向上のみで課題を克服することは難しい。そのため、新たな計算原理に基づくアプローチが求められている。

量子アニーリングはその有力候補の一つであるが、極低温環境やノイズ耐性の問題など、社会実装には依然として高い技術的障壁が存在する。そこで登場したのが、量子アニーリングの数理構造を古典ハードウェア上で再現する疑似量子アニーラである。

本調査研究では、この疑似量子アニーラの性能を典型的なベンチマークを用いて調査することを目的にする。

#### 4.2.2 サポートベクターマシン

サポートベクターマシン(SVM)は、マージン最大化原理に基づく教師あり学習アルゴリズムである。分類境界とデータ点との距離を最大化することで、汎化性能の高いモデルを構築する。その双対問題は二次計画問題として表現され、最適化の観点から解析可能である。

疑似量子アニーラへ適用するためには、この連続値最適化問題を二値変数問題へ変換する必要がある。

ある。本研究では、ラグランジュ乗数を基数展開し、ビット列として符号化することで QUBO 形式へ写像する従来方式を用いている [1]。この変換により、SVM 学習はエネルギー最小化問題として解釈される。

線形分離不可能なデータに対しては、RBF カーネルを導入することで非線形写像を実現した。カーネル係数および正則化パラメータは分類性能を大きく左右するため、これらの最適化は本研究の重要な検討対象である。

疑似量子アニーラにも、多くの性能パラメータが存在する。そのパラメータチューニングの結果が品質に影響するため、AT の適用が必須になる。そこで、このハイパパラメータ探索には、AT ツールの Optuna[2] を活用した。また Optuna が提供する、ベイズ最適化 (TPE、GP) およびグリッドサーチを従来手法として比較した。AT による性能パラメータ調整の違いが最終性能へ与える影響を明確化することも本研究の目的の一つである。

### 4.2.3 実験方法

#### 4.2.3.1 実験環境

図 4.1 に、本調査で対象とする疑似量子アニーラをまとめる。

	量子アニーリングマシン			疑似量子アニーラ		実験対象
装置名	D-Wave 2000Q	D-Wave Advantage	CMOS (GPU版, float)	Amplify AE	SQBM+	Fujitsu DA
装置形式	量子回路	量子回路	GPU	GPU	GPU	デジタル回路
最大ビット数	2,048	4,400+	262,144	262,144	10,000,000	100,000
全結合換算ビット数	64	100	512	131,072	10,000,000	100,000
結合グラフ	キメラグラフ	ペガサスグラフ	キンググラフ	全結合グラフ	全結合グラフ	全結合グラフ

出典

<https://amplify.fixstars.com/ja/techresources/annealing-method/programming/>, (参照2025-01-15)

[https://www.mext.go.jp/content/20241017-mxt-iyohoka01-000038418\\_05.pdf](https://www.mext.go.jp/content/20241017-mxt-iyohoka01-000038418_05.pdf), p45 表6.1, (参照2025-01-15)

図 4.1: 調査対象の疑似量子アニーラ

実験環境は、表 4.1-4.2 のとおりである。

各疑似量子アニーラのクライアントパラメータにはタイムアウトを設定できる。ここでは、デフォルトになっている 1000ms で統一した。

#### 4.2.3.2 評価用データ

本調査で使用した評価用データは、人工的に生成した二次元データセットである。一つは直線で完全に分離可能なデータ、もう一つは円形境界を持つ非線形データである。さらに、誤ラベルを

表 4.1: 実験に使用した計算機環境

ホスト OS	Windows 11
ゲスト OS	Ubuntu 22.04.3 LTS (WSL2)
CPU	Intel Core i9-13900KF
メモリ	DDR4 32GB
言語	Python 3.10.12

表 4.2: 実験に使用した主な Python ライブラリとバージョン

Fixstars Amplify SDK (Amplify)	1.3.1
scikit-learn	1.3.2
Optuna	4.4.0
NumPy	1.26.2
Pandas	2.1.3

0%から 20%まで段階的に混入し、ノイズに対するモデルの安定性を検証した。図 4.2 および図 4.3 に、データの概要（誤ラベル混入なし）を載せる。

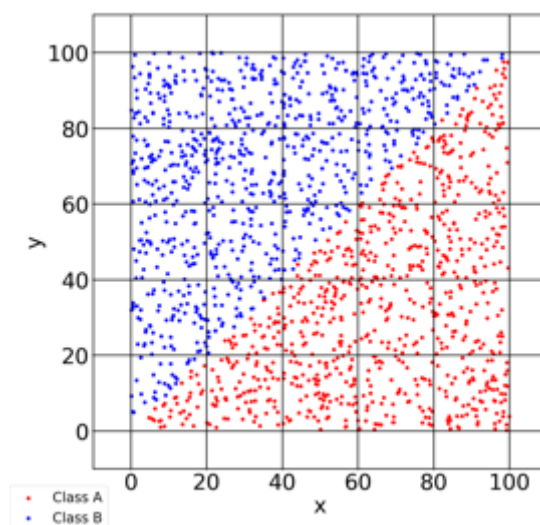


図 4.2: 線形分離可能な問題（誤ラベル混入なし）

誤差混入となる誤ラベルを与えるデータは乱数で選定する。各実験については、独立した乱数系列を用いて 5 回の実験を実施した。また、統計的ばらつきを抑制するため平均値で評価する。

疑似量子アニーラとしては、Fixstars 社の Amplify[3] を利用した。その中でも、Amplify AE、Toshiba SQBM+、および、Fujitsu Digital Annealer を使用し、古典環境 (PC) では scikit-learn 実装の SVM を用いた。

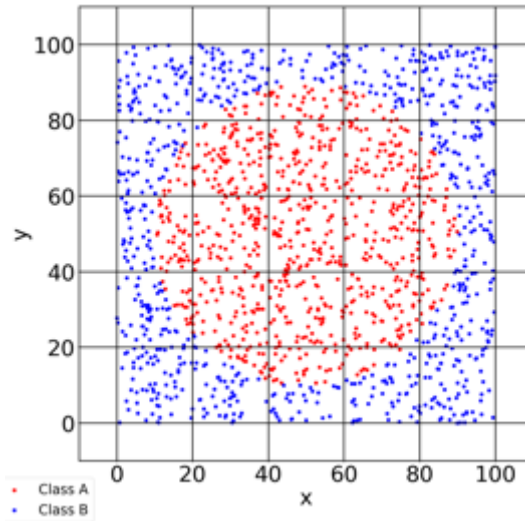


図 4.3: 線形分離不可能な問題 (誤ラベル混入なし)

#### 4.2.3.3 性能パラメタと探索範囲

性能パラメタを、表 4.3-表 4.4 に示す。ここでは、AT により表で示したパラメタ範囲を探索、もしくは、グリッドサーチ (GS) による全探索で適切なパラメタを設定を行った。

表 4.3: 古典環境 (PC) での SVM のパラメタと探索範囲

パラメタ	$C$	$\gamma$
GS 以外	0.0001 - 1000	0.0001 - 1000
GS	0.0001, 0.001, 0.01, 0.1, 0.5, 1, 5, 10, 100, 1000	0.0001, 0.001, 0.01, 0.1, 0.5, 1, 5, 10, 100, 1000

表 4.4: 疑似量子アニーラでの SVM のパラメタと探索範囲

パラメタ	基数 $b$	桁数 $K$	$\gamma$	$\xi$
GS 以外	2, 10	2, 3	0.0001 - 1000	0.01 - 100
GS	2, 10	2, 3	0.0001, 0.001, 0.01, 0.1, 1, 10, 100, 1000	0, 10, 100

#### 4.2.4 実験結果

表 4.5-表 4.6 に、AT の結果を示す。各表から、AT により柔軟なパラメタ設定ができていることが確認できる。また、AT を適用すると最終的な精度も改善できることがわかる。

次に、AT を行った結果に対する、各アニーラでの性能を図 4.4 に示す。この図から、疑似量子アニーラでの実行においても、正しく判別できているといえる。

また、分類精度の確認を行った。結果として、PC 実行に対して遜色ない精度での実行ができることを確認した。ただし具体的には、線形分離可能な問題では、PC 実行よりも高い精度で疑似量

表 4.5: グリッドサーチ：最適パラメタ，精度の変化 (Amplify AE) (線形分離不可能な問題)

誤差混入率 (%)	基数 $b$	桁数 $K$	$\gamma$	$\xi$	検証精度	テスト精度
0	2	2	1	10	0.96	0.96
5	10	3	1	10	0.885	0.886
10	2	2	1	100	0.849	0.858
15	2	2	10	0	0.828	0.804
20	10	2	1	10	0.721	0.764

表 4.6: AT (Optuna)：最適パラメタ，精度の変化 (Amplify AE) (線形分離不可能な問題)

誤差混入率 (%)	基数 $b$	桁数 $K$	$\gamma$	$\xi$	検証精度	テスト精度
0	10	3	0.953	0.331	0.984	0.988
5	2	3	2.11	1.37	0.875	0.894
10	2	3	0.912	5.81	0.868	0.864
15	2	3	5.84	0.0429	0.837	0.802
20	10	3	2.42	0.055	0.724	0.756

子アニーラは実行できることが確認できた。一方で、線形分離不可能な問題では、疑似量子アニーラによる実行では、PC 実行よりも分類精度が悪くなる場合があることを確認した。

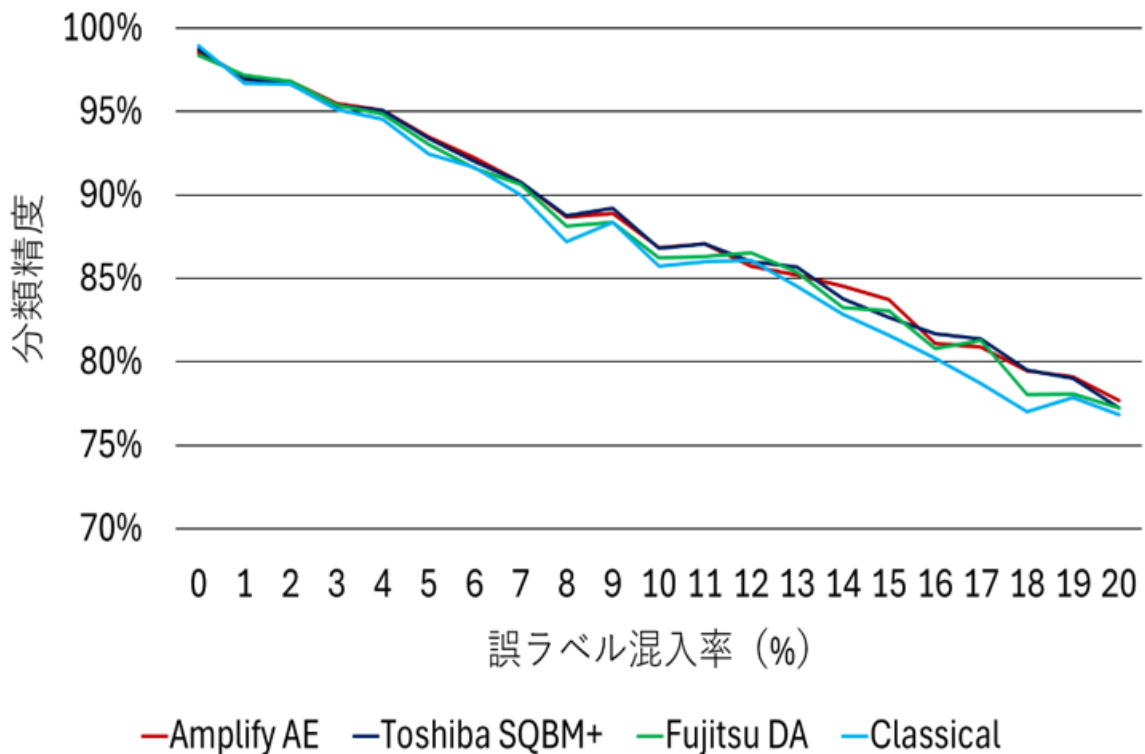


図 4.4: 線形分離可能な問題での疑似量子アニーラでの精度

### 4.3 イジングマシン関連プログラムのローカル LLM 利用による自動生成能力の調査

#### 4.3.1 概要

ここでは、イジングマシンプログラムのコード生成 AI の現状調査を行う。そのために、イジングマシンに関連するプログラムにおいて、ローカル大規模言語モデル (LLM) を利用したプログラム生成環境を構築して機能調査をする。加えて、ローカル LLM とグローバル LLM によるコード生成性能の調査を行う。

#### 4.3.2 背景

最近、Claude Code、Codex CLI、Gemini CLI など、LLM によるコード生成 AI の進歩がすさまじい。この一方で、イジングマシンのプログラミングは、Python などの計算機言語が使われる。そのため Python プログラミングに対する、LLM によるコード生成 AI 適用の可能性を検討することは、将来における量子プログラミングのコスト低減につながると予想される。そこで本調査研究において、最新のコード生成 AI 技術によるイジングマシン関連のプログラミング生成能力、および性能について調査を進める。

また商用となる LLM は品質が高いが、課金の高さが問題となる。そこで、課金不要で利用でき

るローカル LLM を用いたコード生成技術の調査を行うことで、さらなる適用拡大を検討する。

### 4.3.3 商用 LLM を利用したコード変換例

ここでは、イジングマシン関連のコートとして、NTT Research Physics & Informatics (PHI) Laboratories により開発された、CACm (Chaotic Amplitude Control with momentum) ベンチマーク [4] のコードを取り上げる。この CACm コードは、Python で記載されている。

一方、一般に Python コードは、C 言語コードと比較して、実行性能が低いことが予想される。そこで、コード生成 AI により、Python から C コードへの自動変換できるか、および、変換された C 言語コードにおいて性能チューニングの性能検証を行った。

ここで商用 LLM には、Codex CLI (GPT-5.2) を使用した。CACm コードを与えて、プロンプトとして「添付のコードを、C 言語へ変換せよ」という指示を与えた。また検証には、元のコードの終了時のエネルギー値が妥当な範囲で合致するか、を検証方法として LLM に与えている。

結果として、一発で C への変換は成功した。さらに、結果検証もパスした。

N=100 に対する、元の Python コードの実行は 6.69 秒であった。一方、自動生成直後の C コードの時間は 8.91 秒と、Python 版に対して速度が遅かった。しかし高速化として、BLAS ライブラリの適用、および、OpenMP の適用によるスレッド並列化を LLM は推奨した。その適用を行い、自動で性能チューニングを行った結果、2.21 秒となった。そのため、自動生成したコードは、Python 版より約 3 倍の高速化を実現した。

以上のように、商用 LLM コードの C 言語への変換性能、および、高速化性能は、ベンチマークであるが、その実用レベルで充分であると判断される。

### 4.3.4 ローカル LLM を利用したコード変換例

ここでは、ローカル LLM による性能検証の実験結果を示す。

ここでの実験は、元の Python コードを、システムの制約から、1 つのファイルに変換したものを利用する。また、元のコードは PyTorch で書かれていたが、システムの都合から NumPy に書き換えた。

ここでの実験は、C への変換をせず、Python コードから CUDA コード (GPU 向けコード) への変換を行う。

実行計算機は、CPU は Intel Xeon Platinum 8368 (2.40GHz)、GPU は NVIDIA A100-SXM4-40GB である。ローカル LLM は、gpt-oss-120b である。また、最適化には独自開発の AI エージェントシステムを利用した。このシステムでは、反復的なプロンプトを与えての最適化ができるが、LLM としては gpt-oss-120b が用いられている。

実験結果を、表 4.7 に示す。

表 4.7 から、まずは、入力となる Python コードから、CUDA コードの変換は成功している。実行時間は、4551[ms] から、CUDA 化により 1113[ms] へ高速化されており、約 4 倍の高速化を達成している。その後、v0 から v7 まで自動でチューニングを実行し、v0 の 1095[ms] に対して、v7 で 585 [ms] と、約 1.87 倍の高速化を達成している。元の Python コードからすると、7.77 倍の高速

表 4.7: ローカル LLM による Python コードから CUDA コードへの変換 ( $N = 60$ )

Phase	LOC	Performance (ms)	$H_0$	$P_0$	Status
Conversion v0 (input)	122	4551.56	-5096760	0.1386	PASS
Conversion v1	312	1113.48	-5096760	0.1365	PASS
Reopt v0 (input)	312	1095.79	-5096760	0.1365	PASS
Reopt v1	407	589.71	-5096760	0.1365	PASS
Reopt v2	450	589.21	-5096760	0.1365	PASS
Reopt v3	454	588.72	-5096760	0.1365	PASS
Reopt v4	472	588.51	-5096760	0.1365	PASS
Reopt v5	469	588.41	-5096760	0.1365	PASS
Reopt v6	475	587.39	-5096760	0.1366	PASS
Reopt v7	455	585.33	-5096760	0.1366	PASS

化であり、大幅な高速化を達成できた。

以上から、120B のローカル LLM は、ベンチマークレベルのコードの高速化の能力は高いことが確認できた。

## 4.4 まとめ

本章では、以下に示す 2 つの事項の調査研究を行った。(1) SVM をアプリケーション事例として、疑似量子アニーラの性能パラメタを調査した。また、性能パラメタチューニングをベイズ推定から行う自動チューニング (AT) 機能を実装し、AT の効果を検証した。(2) イジングマシンに関連するプログラムの自動生成について、近年流行しているコード生成 AI での性能調査を行った。

(1) では、疑似量子アニーラは SVM での学習性能の観点では、十分に実用的であることが示された。特に単純な問題設定では、PC での実行と遜色ない精度を達成していることを確認した。また、疑似量子アニーラ上の性能パラメタに対する AT の効果を確認した。今後は多様なベンチマークでの評価を行っていく予定である。

(2) では、イジングマシン関連のコード生成において、ローカル LLM によるコード生成 AI の機能調査を行った。ケーススタディとして、Python コードから CUDA コードの変換の事例を対象にした。結果として、7.77 倍の高速化ができる事例を示した。したがってコード変換においては、120B クラスのローカル LLM はベンチマークレベルのコード変換で有効な結果が期待できるといえる。今後は、QUBO コードを与えると自動的にクラウドで動作するイジングマシンプログラムを自動生成する機能の調査を進める予定である。

## 参考文献

- [1]D. Willsch, M. Willsch, H. De Raedt, and K. Michielsen, Support vector machines on the D-Wave quantum annealer, *Computer Physics Communications*, vol. 248, p. 107006, 2020, ISSN: 0010-4655. DOI: <https://doi.org/10.1016/j.cpc.2019.107006>.
- [2]Preferred Networks. “Optuna - A hyperparameter optimization framework,” Accessed: Jan. 15, 2026. [Online]. Available: <https://optuna.org/>.
- [3]FIXTARS Amplify. “FIXTARS Amplify,” Accessed: Feb. 24, 2026. [Online]. Available: <https://amplify.fixstars.com/ja/>.
- [4]NTT Research. “GitHub - NTTRI-PHI-Algorithms/CACm: Chaotic Amplitude Control with momentum,” Accessed: Feb. 24, 2026. [Online]. Available: <https://github.com/NTTRI-PHI-Algorithms/CACm>.

# 第5章 アプリケーション調査

## 5.1 今年度の取り組みの概要

通信ネットワーク最適化と先端計測データ解析の2分野におけるイジングマシン活用の基礎調査を行う。問題定義や QUBO モデル化の準備を進め、対象問題の特性を明らかにする。

## 5.2 通信ネットワーク最適化

本調査では、通信ネットワークの効率的運用を目的とした最適化アプリケーションの実機評価を実施する。

対象とするアプリケーションは、モバイル端末の通信網における基地局の負荷軽減および着信の混雑緩和を目的とするものであり、以下の二つをそれぞれ独立した最適化問題として扱う。

- **トラッキングエリア（TA：複数基地局をまとめたエリア）割当最適化** [1], [2]  
どの TA に各基地局を所属させるかを決定する問題
- **TA-LIST（複数 TA をまとめたエリア）割当最適化** [3]  
どの TA-LIST に各基地局グループを割り当てるかを決定する問題

両問題については既に定式化が提案されているため、それを基に QUBO を構築し、国内外の量子アニーリングマシンおよび疑似アニーリングマシンを用いた実機評価を行う。

これにより、本アプリケーションの問題特性や実機適用時に求められる性能要件を明らかにすることを目的とする。

### 5.2.1 背景

携帯事業者が設置する基地局は、カバーするエリア内のモバイル端末の在圏情報を管理し、着信を可能にする役割を担っている。複数の基地局を束ねた管理単位をトラッキングエリア（TA）と呼び、さらに複数の TA をまとめた単位を TA-LIST（位置登録エリア）と呼ぶ。

端末が TA-LIST をまたいで移動した場合には位置登録が行われ、ネットワークは当該情報を基に端末の所在を管理する。

一方、端末に着信が発生した場合、ネットワークはページング信号を用いて端末を探索する。ページングは段階的に実施され、まず端末が最後に通信した基地局に送信される。当該基地局で検出されない場合には、当該基地局を含む TA 内の全基地局へ送信され、さらに検出されない場合には当該 TA を含む TA-LIST 全体へ送信範囲が拡張される。

近年、端末数の増加に伴い、ページング信号および位置登録信号の増大が課題となっている。

## 5.2.2 最適化問題の内容

ページング信号および位置登録信号による通信負荷の削減を目的として、本研究では以下の最適化問題を扱う。

**(1) TA 割当最適化** 多くの端末が頻繁に移動する基地局同士を同一の TA に含めることで、ページング探索範囲の不必要な拡張を抑制できる。すなわち、基地局間の移動傾向に基づき、各基地局の TA 割当を最適化する問題である。

**(2) TA-LIST 割当最適化** 端末が TA-LIST の境界をまたいで移動すると位置登録が発生するため、人流動線に沿った設計により位置登録信号数の削減が可能となる。本問題は、基地局グループ集合の構成と、集合に対する TA-LIST 番号の割当から成るが、後者が QUBO 化されているため [3]、本研究では後者の最適化を対象とする。

## 5.2.3 評価の実施状況

現在、TA-LIST 割当最適化問題に対する QUBO 実装を完了し、量子アニーリングマシンおよび疑似アニーリングマシンを用いた評価実験を実施している。

Fixstars Amplify Annealing Engine (Fixstars Amplify AE)、Fujitsu Digital Annealer V4 (Fujitsu DA) そして Toshiba SQBM+ v2.0.3 (Toshiba SQBM+) の 3 種類の疑似量子アニーラ (図 4.1) で TA-LIST 割当最適化を解いた。図 5.1 が結果である。TA-LIST 数は 50 とし、各アニーラでサンプリング回数を 500 回とした。グラフの横軸は各サンプリングで得られたエネルギー値、縦軸は確率である。また、表 5.1 は統計量 (平均・標準偏差など) である。最低エネルギーは Fixstars Amplify AE と Toshiba SQBM+ が記録し、結果のばらつきは Toshiba SQBM+ が最も小さかったことから、今回の問題設定では Toshiba SQBM+ が最も安定して低エネルギー解を得たといえる。

今後は、NEC の Vector Annealing や D-Wave の量子アニーラなどを用いた評価も実施していきたい。また、TA 最適化についても同様に解くことを検討する。その上で、得られた解の分析を行い、問題特性および実機への適用可能性を整理する。

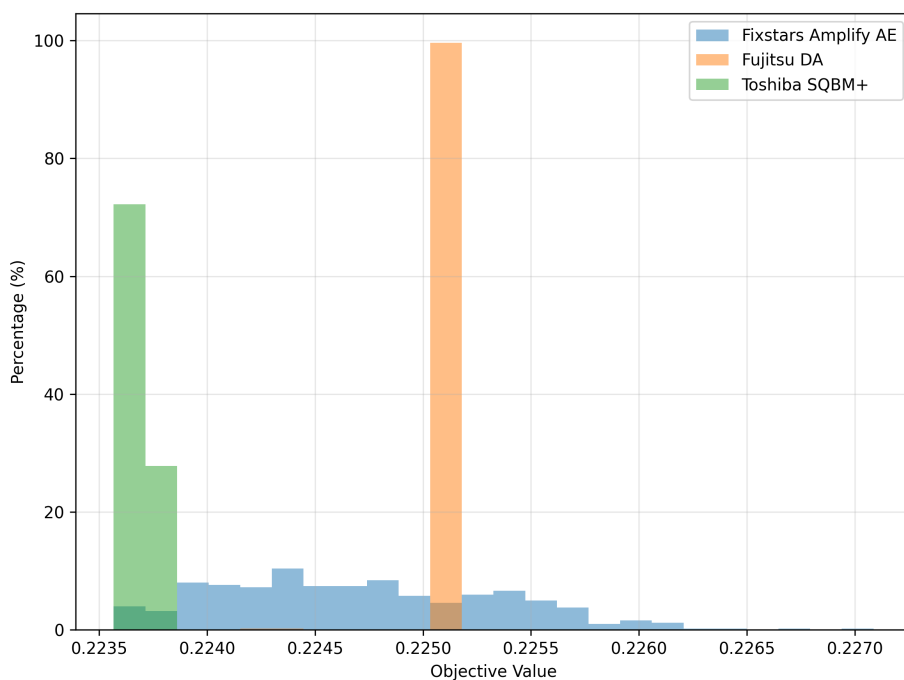


図 5.1: TA-LIST 割当最適化の最適化結果のヒストグラム

表 5.1: TA-LIST 割当最適化の最適化結果の統計量

	Fixstars Amplify AE	Fujitsu DA	Toshiba SQBM+
平均	0.224703	0.225115	0.223655
標準偏差	0.000638	0.000053	0.000080
最小値	0.223567	0.224222	0.223567
最大値	0.227086	0.225118	0.223769
平均アニーリング時間 (sec)	1.1395	1.4524	1.0187

### 5.3 先端計測データ解析

本調査では、先端計測データ解析アプリのアニーリング化と実機評価を実施する。実用材料・デバイスの開発や複雑な生命現象の解析で直面する課題を想定し、不均一な化学反応・相変化の時系列をある時刻のスペクトル画像スナップショットから推定する方法（空間-時間変換）や物性-構造-プロセスの相関構築のための機械学習アプリケーションである。実機評価には、特に、放射光施設の先端計測データを扱う。

### 5.3.1 背景

近年新設された高輝度放射光施設 NanoTerasu(ナノテラス) では、高精度計測やハイスループット計測が可能となり、マテリアルからバイオの広い分野に亘って、マクロな特性とマイクロ・ナノスケールの構造を繋ぐための大量の実験データが計測されている。一方で、現象のメカニズム解明や材料特性の精密制御に向けては、データ解析において以下の課題がある。

- **現象と計測のタイムスケールの不整合**

多くの材料系や生物系において、機能発現や劣化は空間的に不均一に進行するため、状態の空間分布の時間発展の理解が重要である。しかし、数年を要する現象や秒以下の短時間で進む現象など、計測と現象のスピードの違いにより、実環境における時間発展の観測にはしばしば困難を伴う。

- **物性－構造－プロセスの相関抽出**

機能特性や寿命予測には、マクロな機能特性とその起源となる構造や、さらにその構造を形作るプロセス条件の相関関係の構築が重要である。しかし、複雑な構造データから適切な特徴量を選定し、定量するには試行錯誤を伴い、体系的な方法論が求められている。

これらの課題に有効な方法として、非線形次元削減法である「マニフォールド学習」を用いたデータ駆動型アプローチの開発が進められ、単一のスペクトル画像スナップショットから腐食や食品プロセスの時空間相関の推定 [4] [5] や、多孔質材料の構造－ガス拡散特性相関の構築と特性予測 [6] で実績が挙げられてきた。膨大な計測データから有意なパターンや相関を発見するには、特徴選択やクラスタリングなどの組合せ最適化問題に帰着するデータ分析が必要となる。これらの課題にイジングマシンを活用することで、解析データの大規模化や高精度化が期待される。そこで、今年度はマニフォールド学習のアルゴリズムを調査し、そのアニーリング化の検討を行った。

### 5.3.2 マニフォールド学習法のアニーリング化

放射光施設ナノテラスの計測データ解析で用いられているマニフォールド学習手法の一つである局所線形埋め込み (Locally Linear Embedding; LLE) に着目し、LLE で求める近傍点の線形結合係数 (精度ベクトル)  $W$  を用いることで、当該問題をイジングモデルとして定式化できる見通しを得た。具体的には、各計測データを近傍点の線形和として表す際の係数  $W$  を最適化変数として扱い、 $W$  (および埋め込み先表現) を決定する最適化をイジング形式へ落とし込むことが可能であることを整理した。

来年度は、この定式化の精緻化と実装 (イジングモデルへの落とし込みおよびソルバ適用) を主要課題とし、イジングモデルを用いることのメリットを定量的に明らかにする。特に、データ次元が大きい場合でも計算量が過度に増大しにくい形で最適化を実行できる可能性があり、その結果として高精度あるいは大規模な解の探索・推定が可能となることが期待される。

## 参考文献

- [1] NTT DOCOMO. “サービスの最適化をめざし量子コンピューティング基盤を開発～7月から通信サービスの最適化に向け基地局への適用を開始～,” Accessed: Mar. 3, 2026. [Online]. Available: [https://www.docomo.ne.jp/binary/pdf/info/news\\_release/topics\\_240627\\_01.pdf](https://www.docomo.ne.jp/binary/pdf/info/news_release/topics_240627_01.pdf).
- [2] 福田 修之, 秋元 達哉, 服部 拓海, 村上 友希, 兼田 千雅, 中山 雄二, 川上 博, 因果推論を用いたトラッキングエリア割当最適化によるページング信号削減効果の評価, 第 114 回モバイルコンピューティングと新社会システム (MBL) 第 85 回ユビキタスコンピューティングシステム (UBI) IEICE センサネットワークとモバイルインテリジェンス研究会 (SeMI) 合同研究発表会, Feb. 2025.
- [3] 福田 修之, 秋元 達哉, 高橋 実宏, 服部 拓海, 村上 友希, 川上 博, ネットワーク切替時の影響最小化とページング信号発生の最小化を目的としたトラッキングエリアリスト番号割当の多目的最適化, 第 33 回マルチメディア通信と分散処理ワークショップ (DPSWS 2025), Nov. 2025.
- [4] 高山 裕貴, 放射光 X 線吸収分光イメージングと機械学習による鋼材腐食の反応系列及び生成物空間分布の可視化, 東北大学 知の創出センター オンラインセミナーシリーズ 実践データ駆動科学オンラインセミナー 第 9 回 次世代放射光による先端可視化技術と AI の協奏 –マテリアル・デザインの社会実装を目指して–, Aug. 2021.
- [5] 原 信岳, 藤井 義貴, 高山 裕貴, 吉村 美紀, 中谷 茉友, 手延べ製法の条件と手延べ素麺の美味しさ評価, 令和 2 年度「仙台市放射光施設活用事例創出事業 (トライアルユース事業)」, Aug. 2024.
- [6] S. Arai, Y. Takayama, and T. Yoshidome, Structure-based Prediction of Gas Diffusion Property of Catalytic Layer of Proton Exchange Membrane Fuel Cells via Manifold Learning and X-ray Ptychographic Nano-computed Tomography, *Journal of Power Sources*, accepted, Mar. 2026.

## 第6章 次世代イジングマシン調査

### 6.1 今年度の取り組みの概要

スピントロニクスPビット計算機やコヒーレント・イジング・マシン（CIM）など、新たな原理に基づくイジングマシンの研究開発動向を網羅的に調査し、国内外の研究機関や企業へのヒアリングを実施し、その結果を取りまとめる。

本項は、組合せ最適化問題や確率的推論を高効率に解くための新しい計算基盤として注目されている「次世代イジングマシン」（図6.1）について、世界的な研究開発動向を俯瞰的に整理し、今後の研究推進に向けた技術的論点を明らかにすることを目的とする。近年、人工知能、通信ネットワーク、物流・金融最適化などの分野では、変数の量が極めて大きく、かつ相互作用が複雑な組合せ最適化問題が増大している。これらの問題に対して、従来型のノイマン型コンピュータは、演算性能および消費電力の両面で限界が顕在化しつつある。そのため、物理系が本来有するエネルギー最小化特性や確率的ダイナミクスを計算に直接活用するイジングマシンが、新たな計算パラダイムとして注目されている。本項では、決定論的なCMOS集積回路のみを用いる方式とは異なり、光、ナノデバイス、量子技術などの物理原理を活用した次世代イジングマシンを対象とし、(i) 技術分類ごとの研究開発動向、(ii) 各技術の現状と課題、(iii) 将来展望について整理する。特に、我が国が国際的に強みを有するスピントロニクス技術に基づくイジングマシンについては、研究動向を重点的に深掘りする。

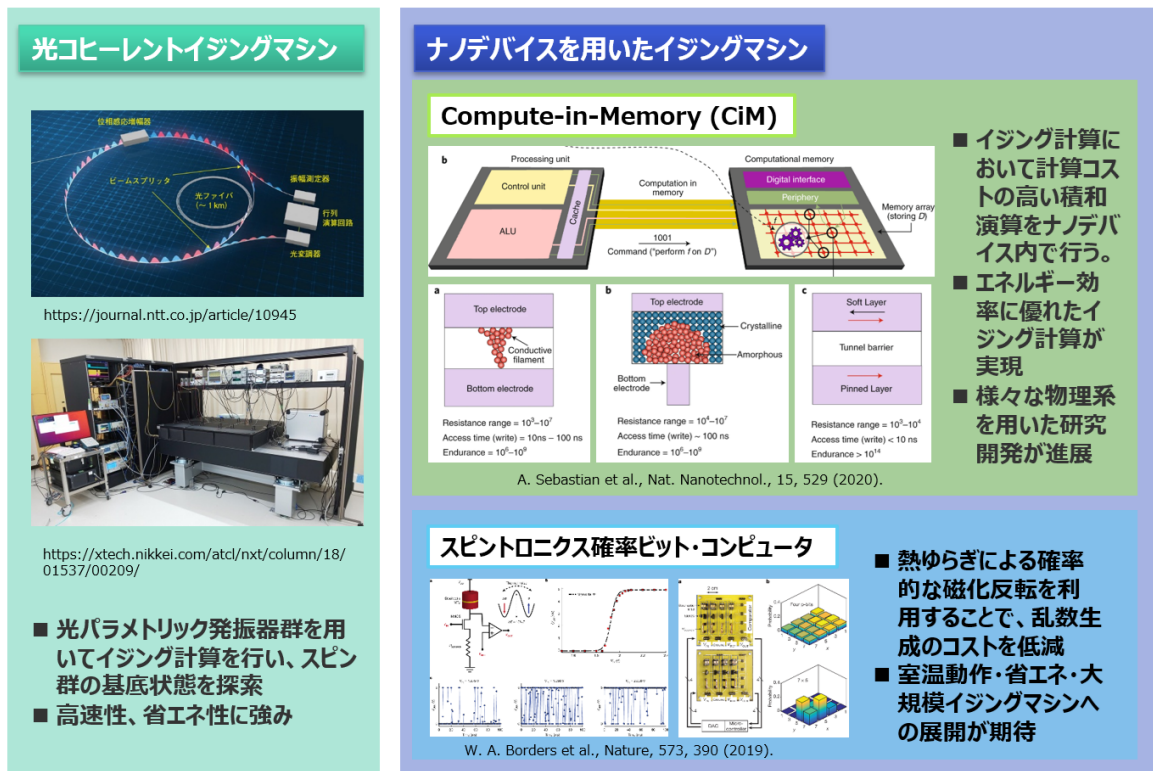


図 6.1: 次世代イジングマシン

## 6.2 次世代イジングマシンに関する技術動向

### 6.2.1 光イジングマシン

光を用いた代表的な方式として、コヒーレントイジングマシン (CIM) が挙げられる。光パラメトリック発振器 (OPO) の位相状態 ( $0/\pi$ ) をイジングモデルのスピンに対応させ、光の干渉と結合を通じてイジングモデルのエネルギー最小化を実現する方式である [1], [2], [3]。NTT や大阪大学を中心とする研究グループは、空間光変調器や光ファイバリングを用いた大規模 CIM を実証し、全結合型問題への適用可能性を示してきた [4]。一方で、光学系の安定性、装置規模、結合精度の制御が課題として想定される。

### 6.2.2 ナノデバイス・メモリ素子型

相変化メモリ (PCM)、強誘電体メモリ (FeRAM)、酸化物抵抗変化デバイス、不揮発性磁気トンネル接合 (MTJ)、およびメモリスタなどのナノデバイスを用いる方式では、計算と記憶を同一デバイスで行う Compute-in-Memory (CiM) 型アーキテクチャを基本路線として研究開発が進展している [5]。これらのデバイスは、抵抗値、電気分極、結晶相状態

といった連続的または準連続的内部自由度を有しており、イジングモデルにおけるスピン間結合係数や外場項をアナログ的に表現できる点が特徴である。代表的な実装例として、クロスバーアレイ状に配置したメモリスタや PCM 素子を用い、各交点のコンダクタンスを結合係数として利用する方式が報告されている [6], [7]。この場合、キルヒホッフの法則に従う電流分布そのものがエネルギー評価に対応し、高い並列性とエネルギー効率を自然に実現できる。強誘電体デバイスや相変化材料、酸化物抵抗変化デバイスは、履歴依存性や多値状態を活用できる点で、イジングモデルの拡張表現に適していると考えられている。特に強誘電体トランジスタは CMOS プロセスとの親和性が高く、既存 LSI との融合による実装可能性が注目されている。一方で、書き換え耐性や周辺回路のオーバーヘッドが課題である。

### 6.2.3 量子技術に基づく方式

量子アニーリングは、量子重ね合わせ、量子もつれ、量子トンネル効果を利用してイジングハミルトニアン基底状態を探索する方式であり、既に超伝導量子ビットを用いた量子アニーリングマシン (D-Wave) が実用化されている [8]。極低温動作、誤り耐性、スケーラビリティといった工学的課題はあるものの、ビット数という観点では量子コンピュータの研究開発をけん引する役割を果たしている。近年は、量子アニーリングの考え方を古典デバイスで模倣する量子インスパイアード手法も盛んに研究されている。

## 6.3 スピントロニクス技術に基づくイジングマシンの研究開発動向

スピントロニクスは電子の持つ電荷の自由度に加えてスピンの自由度を利用する技術であり、不揮発性、低消費電力、CMOS 親和性といった特長を有する。磁化状態を  $\pm 1/2$  のスピンに対応させることで、イジングモデルとの親和性が高く、次世代イジングマシンの有力候補と位置づけられている [9]。スピントロニクス技術に立脚したイジングマシンの研究開発としては、磁化の確率的反転を利用する方式や、スピン波 (マグノン) の伝播を利用する方式などが提案されている。以下、それぞれについての研究開発動向などをまとめる。

### 6.3.1 磁化の確率的反転を利用する方式

#### 6.3.1.1 熱によるランダムなゆらぎ (超常磁性) を利用するタイプ

ナノスケール磁性体にて、磁化反転のエネルギー障壁が熱エネルギーに近い値になると、磁化が熱ゆらぎによって自発的に反転する超常磁性現象が生じる。この確率的磁化反転を確率ビット (probabilistic bit: p-bit) として利用する研究が進んでいる [10], [11]。この手法によって従来型の CMOS ベースの回路と比べて、乱数生成に要する回路面積を  $1/3000$ 、エネルギーを  $1/150$  に低減できることが示されている [12]。Purdue 大学の Datta、カリフォルニア大学サンタバーバラ校の Çamsarı らは、低エネルギー障壁の名の磁性体を用いた p-bit に関する理論的枠組みを構築し、確率的論的コンピュータやイジングマシンの基礎理論を確立した [10]。次いで、東北大学のチームと

合同で、超常磁性磁気トンネル接合 (stochastic MTJ または Superparamagnetic tunnel junction: s-MTJ) と CMOS 回路を統合し、イジングモデルを用いた確率論的コンピュータの原理実証を行っており [12], [13]、並行して東北大学のチームは大規模化・高性能化に向けたデバイスレベルの研究を展開している。特に s-MTJ の磁化緩和時間をナノ秒スケールまで短縮した成果は、CMOS のみで構成する従来型のコンピュータに対する優位性を達成するための重要なステップである [14]。

#### 6.3.1.2 電流・電圧による反転確率制御型

熱ゆらぎを基盤としつつ、スピントルクや電圧制御磁気異方性 (VCMA) を用いて磁化反転確率を制御する方式も提案されている [15], [16]。この方式は、すでに不揮発性メモリとして実用化が進んでいる磁気抵抗ランダムアクセスメモリ (MRAM) の記憶素子で用いられている磁気トンネル接合 (MTJ) をほぼそのまま用いられるという点で実用化に向けた開発コストが少なく済む一方で、乱数生成の際にエネルギーを投入する必要がある、省エネ動作という観点で課題がある。

#### 6.3.1.3 スピン波 (マグノン) を用いる方式

この他、磁性体中を伝播するスピン波 (マグノン) の位相や振幅を用いて相互作用を表現する方式も研究されている [17]。このタイプのイジングマシンは、光を用いる CIM の概念をスピントロニクス技術に置き換えたものと位置づけられ、光 CIM と比べて計算機全体のサイズを大幅に縮小できる可能性がある。

## 6.4 総括および今後の研究課題

次世代イジングマシンは、物理現象そのものを計算資源として用いる新しい計算基盤であり、光、ナノデバイス、量子技術といった多様なアプローチが並行して進展している。中でも、スピントロニクスに基づく確率論的イジングマシンは、室温動作、低消費電力、CMOS 統合性の観点から、将来の省エネ・高性能コンピューティング技術の一つとして有望視される。今後は、大規模結合制御、ばらつきなどのデバイスの不完全性を前提としたアルゴリズム設計、評価指標の確立、などが重要な研究課題となる。これらを体系的に推進することで、日本の強みを活かした次世代計算基盤の確立が期待される。

## 参考文献

- [1] Z. Wang, A. Marandi, K. Wen, R. L. Byer, and Y. Yamamoto, Coherent Ising machine based on degenerate optical parametric oscillators, *Physical Review A*, vol. 88, p. 063853, 2013.
- [2] Y. Yamamoto, T. Leleu, S. Ganguli, and H. Mabuchi, Coherent Ising machines—quantum optics and neural network perspectives, *Science*, vol. 354, p. 6312, 2016.
- [3] Y. Yamamoto, The Coherent Ising Machine Approach, *NTT Technical Review*, vol. 20(1), pp. 16–19, 2022.

- [4]武居 弘樹, コヒーレントイジングマシンの進展, 応用物理, vol. 94, pp. 495–499, 2025.
- [5]A. Sebastian et al., Memory devices and applications for in-memory computing, *Nature Nanotechnology*, vol. 15, pp. 529–544, 2020.
- [6]J. J. Yang, D. B. Strukov, and D. R. Stewart, Memristive devices for computing, *Nature Nanotechnology*, vol. 8, pp. 13–24, 2013.
- [7]A. Sebastian et al., Temporal correlation detection using computational phase-change memory, *Nature Communications*, vol. 8, p. 1115, 2017.
- [8]M. W. Johnson et al., Quantum annealing with manufactured spins, *Nature*, vol. 473, pp. 194–198, 2011.
- [9]J. Grollier et al., Neuromorphic spintronics, *Nature Electronics*, vol. 3, pp. 360–370, 2020.
- [10]K. Y. Çamsarı, R. Faria, and S. Datta, Stochastic p-bits for invertible logic, *Physical Review X*, vol. 7, p. 031014, 2017.
- [11] 深見俊輔, スピントロニクス確率論的コンピュータ: Feynman, Hinton の提案のスピントロニクス素子による実現, 応用物理, vol. 94, pp. 175–181, 2025.
- [12]N. S. Singh et al., CMOS plus stochastic nanomagnets enabling heterogeneous computers for probabilistic inference and learning, *Nature Communications*, vol. 15, p. 2685, 2024.
- [13]W. A. Borders et al., Integer factorization using stochastic magnetic tunnel junctions, *Nature*, vol. 573, pp. 390–393, 2019.
- [14]K. Hayakawa et al., Nanosecond random telegraph noise in magnetic tunnel junctions, *Physical Review Letters*, vol. 126, p. 117202, 2021.
- [15]C. Duffee et al., An integrated-circuit-based probabilistic computer that uses voltage-controlled magnetic tunnel junctions as its entropy source, *Nature Electronics*, vol. 8, pp. 784–793, 2025.
- [16]S. Yang, A. Grimaldi, Y. Bao, E. Raimondo, J. Si, G. Finocchio, and H. Yang, 250 Magnetic Tunnel Junctions-Based Probabilistic Ising Machine, 2025. arXiv: 2506.14590 [cond-mat.mtrl-sci]. [Online]. Available: <https://arxiv.org/abs/2506.14590>.
- [17]A. Litvinenko et al., A spinwave Ising machine, *Communication Physics*, vol. 6, p. 227, 2023.

# 第7章 汎用量子計算機動向調査

## 7.1 今年度の取り組みの概要

汎用量子計算機に関して今年度は、ハードウェア開発動向及び量子誤り推定機構、分散量子計算および FTQC アプリケーションについて、そして量子誤り訂正符号及び要求性能に関して調査を行った。それらについて以下に述べる。

## 7.2 NISQ コンピュータ開発状況および量子誤り推定機構の調査

### 7.2.1 NISQ コンピュータ開発状況

Noisy Intermediate-Scale Quantum (NISQ) コンピュータとについて調査を行い、量子ゲート方式コンピュータ向けに開発されている Quantum Processing Unit (QPU) の各種技術の潮流や動向について述べる。QPU には超伝導、半導体、トラップトイオン、中性原子など複数の方式があり、それぞれに利点と欠点が存在する。QPU の仕様としては、物理量子ビット数、T1 および T2 緩和時間、ゲート忠実度、ゲート時間、測定忠実度、測定時間など複数の指標がある。そのため、異なる QPU を比較することは容易ではない。IBM により提唱された Quantum Volume (QV) [1] と呼ばれる指標も存在するが、量子計算機ベンダが評価し公開する例は多くない。従って本節では公開情報を元にこれまで実装された QPU について述べる。

IBM は超伝導方式 QPU の開発をリードする企業の一つであり、クラウド経由での量子コンピュータ利用サービスを提供している。IBM Eagle (2021 年) [2] は 127 量子ビットを有する QPU であり、IBM Osprey (2022 年) [3] は 433 量子ビット、IBM Condor (2023 年) [4] は 1,121 量子ビット、IBM Heron (2023 年) [4] は 133 量子ビットを搭載する。IBM は Condor において Osprey と同等の性能を維持しつつ 1.5 倍の高集積実装を実現する一方で、Heron では周波数固定、チューナブルカプラを採用することで Eagle に比べて 3 倍から 5 倍のデバイス性能を達成したとしている。最新のロードマップ [4] はもはや NISQ コンピュータではなく誤り耐性量子コンピュータ (FTQC) を見据えている。2029 年に Gross Code を用いた 200 論理量子ビットで 1 億ゲートを、2033 年に 2,000 論理量子ビットを用いて 10 億ゲートを実行可能なシステムの実装を目指すとしている。

Google も超伝導量子コンピュータの実装に注力している。Sycamore は 53 量子ビット (2019 年) [5]、は 72 量子ビット (2023 年) [6] を搭載する。Willow は 105 量子ビット (2024 年) を搭載する QPU である [7]。Google の量子コンピュータ開発は IBM よりもより FTQC を強く志向していると言える。2023 年には 72 量子ビットのプロセッサを用いて distance-3 と distance-5 の表面符号を動

作させ、わずかではあるが論理エラーレートを改善できることを示した [6]。さらに、2024 年には 105 量子ビットを搭載する Willow プロセッサを用いて最大で distance-7 の表面符号の動作に成功している [7]。ロードマップについては時期を明言していないものの、物理量子ビット数を一桁ずつ増やしながらか FTQC を開発していく計画を公表している [8]。超伝導方式はゲートや測定の遅延が他方式に比べて小さい利点がある一方、物理エラーレートが大きい。そのため、ハードウェアの忠実度における開発目標として相性の良い量子誤り訂正符号である表面符号の閾値が参照されるのは自然であるといえよう。

トラップトイオン方式としては、IonQ と Quantinuum が主要ベンダーとして挙げられる。IonQ は現在までに 36 量子ビットシステムを提供しており、1 量子ビットゲート、2 量子ビットゲートの忠実度としてそれぞれ 99.98%、99.6%を謳っている。ロードマップとしては、2030 年に 200 万物理量子ビットを搭載し、論理エラーレート  $10^{-12}$  の論理ビットを 8 万達成することを挙げている。Quantinuum は 2022 年に 20 量子ビットの H1、2024 年に 56 量子ビットの H2 を発表している。ロードマップとしては、2029 年に数千物理量子ビットを搭載し、論理エラーレートが  $10^{-6}$  から  $10^{-10}$  の論理ビットを数 100 実現することを挙げている [9]。トラップトイオン方式は接続性の良い高忠実度の量子ビットを物理的に実現できる一方で、1 つのユニットにトラップできる量子ビット数には制限があるため、Quantum Charge-coupled Device (QCCD) と呼ばれる方式を用いてスケラブルな実装を目指している。

中性原子方式では、QuEra が 2023 年に 256 量子ビットを搭載した Aquila を [10]、2025 年に 260 量子ビットを搭載した Gemini を発表している。また、Pascal は 140+量子ビットを搭載する Orion Gamma を提供している。Pascal のロードマップとしては、2027 年に 1 万物理ビットを用いて論理エラーレート  $10^{-3}$  の論理ビットを 20、2029 年に論理エラーレート  $10^{-5}$  の論理ビットを 200 提供することを目指している [11]。

半導体を用いた方式では、Intel が 2024 年に 12 量子ビットのスピン量子ビットを発表している [12] ほか、QuTech が 2025 年に 10 スピン量子ビットの実現を発表している。半導体製造プロセスを用いて製造できる点や、量子ビットが物理的に小さく高密度集積に適している点などが期待されている。

## 7.2.2 誤り耐性量子コンピュータにおける量子誤り推定アルゴリズム実装状況

誤り耐性量子コンピュータ (Fault-Tolerant Quantum Computer; FTQC) における量子誤り推定アルゴリズムの実装について調査を行い、各種技術の潮流や動向を明らかにする。量子誤り訂正符号においては、データを保持している量子ビットを誤り訂正のために観測することが許されないため、量子誤り推定 (Quantum Error Decoding) は複数のデータ量子ビットのパリティを検査し、どの量子ビットにどのような誤りが生じているかを推定する必要がある。これは厳密には NP 困難な問題に帰着するが、十分な精度で推定できればよく、近似解法を用いることが許される。例えば、表面符号においては誤り推定はマッチング (MWPM) 問題に帰着できることが知られており、十分なスループットで最小重み完全マッチングを解くことができれば閾値定理の元でフォールトトレラントな計算が可能であることがわかっている。

しかしながら、現在知られている一般的な MWPM の実装は  $O(n^3)$  であるため、十分に高速に解くことは難しいと考えられている。そのため、高速実装に適した近似解法の研究が行われてきた。Union-find と呼ばれる並列化しやすいデコード手法は、2023 年の表面符号を対象として FPGA を用いた実装で distance-21 までがシンドローム測定あたり 11.hns でデコード可能であることが示されている [13]。

デコーダの研究においては、論理量子ビットを保持する（メモリする）だけでなく、演算時の誤り訂正が可能であることも重要である。表面符号においては格子手術という手続きによって複数の量子ビットによる演算を行うことができるが、これには単に論理量子ビットを保持するだけの時と比較してより複雑なエラー推定が要求される。FPGA を用いた実装では、複数の FPGA を接続することで、distance-5 の論理量子ビット 100 までならシンドローム測定時間よりも短い時間でエラー推定可能であることが分かっている [14]。

デコーダを設計したり評価したりする際には、量子誤り訂正符号以外にも、エラーモデルを想定する必要がある。現在では、circuit-level noise と呼ばれる、シンドローム測定回路の実行中に生じるエラーを考慮する研究が多く、エラーモデルとしては depolarizing channel error model が想定されることが多い。しかしながら、実際には leakage error などへの対処が必要であり [7]、より複雑なエラーモデルに対処できる手法が必要であると言える。

また、表面符号は符号化効率（物理量子ビットあたりの論理量子ビット数）が小さいため、より符号化効率の高い符号が注目されている。QLDPC 符号はその 1 つで（表面符号も QLDPC に含まれる）、IBM が提案した bivariate bicycle (BB) 符号 [15] など様々な符号が検討されている。一般に QLDPC 符号はマッチング問題でエラー推定できるとは限らない。そのような符号のエラー推定には信念伝播法を拡張した手法（BP-OSD など）が用いられる。このようなエラー推定手法は MWPM よりさらに計算時間が長い高速化手法の開発が重要である。FPGA を用いて低遅延に処理する手法の提案が始まっている [16]。

## 7.3 分散量子計算に関する調査

本稿は、分散型量子コンピュータ（複数の量子コンピュータの協調によって計算資源を拡張する系）を開発するという目標を、具体的な計画に落とし込むための研究動向整理と技術成熟度評価を目的とする。本稿が扱う分散型量子コンピュータは少なくとも以下のいずれかの要件を満たすものと定義する; (i) 量子情報処理モジュール（QPU/チップレット/ノード）の間で量子状態転送・遠隔量子もつれ・遠隔ゲート（ゲートテレポーテーション等）を用いて量子回路を実行する方式、(ii) 量子誤り訂正をモジュール化し、ノイズの大きい量子通信インターフェースでもフォルトトレラントに接続して拡張させる方式を扱う<sup>1)</sup>。分散型量子コンピュータ開発は、単一量子情報処理モジュール内計算の成熟と、モジュール間リンクの性能・運用性、誤り訂正と資源見積もりの3点で評価するのが妥当である。

### 7.3.1 分散処理能力の到達点

2つの量子情報処理モジュール間を光ネットワークで接続して非局所2量子ビットゲートを決定論的・反復的に実行し、アルゴリズムの分散処理を実行した実証が現れた [19]。具体的には、光学的に接続された2つのイオントラップモジュールにそれぞれ捕獲されている2量子ビットの間で、伝令付き遠隔量子もつれを資源として CZ（制御 Z）ゲートのゲートテレポーテーションを決定論的に行った。ゲート忠実度 86%を達成し、さらに Grover のアルゴリズムを分散実行して成功率 71%を記録したと報告している。この報告は分散量子コンピューティングの一次実証として位置付けられる。

### 7.3.2 ハードウェア研究の進捗：量子ネットワーク・インターコネクト

イオントラップ等の光ネットワーク接続となる系において、遠隔もつれ生成の忠実度とレートが向上し、局所操作に近づきつつある。トラップイオン間の光ファイバで忠実度 94%を実現した方式が平均 182Hz に達している [20]。また、異なるモジュールにトラップされたバリウムイオン間に time-bin 光子を用いて遠隔もつれを生成する方式がもつれ忠実度 97%を実証し、加えて理論限界として 99.9%を超える可能性に言及している [21]。

超伝導においても、同一クライオスタット内で超伝導量子ビットをモジュール化して接続する研究が進展している。具体的には、純アルミ同軸ケーブルなどの低損失インターコネクトにより5モジュールを接続し、モジュール間のもつれ忠実度最大 99%、モジュール間4量子ビット GHZ 状態の忠実度 92%、最大12個の量子ビットの GHZ 状態を 55.8%の忠実度でもつれさせることに成功している [22]。

---

1) 量子リンクが未成熟な場合における過渡期の技術として複数の量子情報処理モジュールから取り出された結果を古典通信で集めて古典的に再構築する方式（circuit knitting）は、古典通信を代用するコストとして基本的に指数関数的に増加するサンプリングオーバーヘッドがかかる [17], [18]。また、量子計算を実行するヒルベルト空間を広げないため、本質的に量子計算力をスケールアウトさせる手法ではない。

### 7.3.3 ソフトウェア研究の進捗：分散制御・ネットワーク OS・スケジューリング

分散量子計算は、量子ネットワーク制御を避けて通れない。ネットワーク制御の研究にはしばしば離散事象シミュレータが用いられており、オランダを中心に開発されている *NetSquid* は物理層の厳密なモデル化に強みを持ち、物理層からアプリ層まで含めた量子ネットワーク/モジュラー量子計算のシミュレーション基盤として整備されている [23]。日本を中心に開発されている QuISP は大規模ネットワークのシミュレーションに強みを持っている [24]。

また、量子ネットワークノード上でアプリケーションを実行するアーキテクチャすなわち量子ネットワークオペレーティングシステムの設計と実装も報告されており、プロトタイプネットワーク上で動くソフトウェア層の発展が見える [25]。

量子データセンターの文脈では、もつれ要求を処理するスケジューリングや、フロースケジューリングを扱う研究が現れた [26]。この研究では、量子ジョブからもつれ要求を抽出して、量子ネットワークのハードウェア特性をもとにリソース割り当てテーブルやスイッチ制御命令を含む実行計画へ落とす方向性を具体化している。

### 7.3.4 スケーラビリティ・誤り訂正

誤り訂正済みモジュールの接続に関して、インタフェース側のノイズが大きくてもフォルトトレラント接続が可能であることが、表面符号の解析で定量化されている。表面符号のパッチ同士をノイズが大きく忠実度の低い通信インタフェースで接続する状況で、バルク誤り率約 1% に対して接続面での誤り率約 10% でも閾値に到達しうる [27]。さらに、接続面ではバルクの 14 倍高いノイズを許容しうることを示している。リンクは局所ゲート品質に高忠実度でなくとも論理レイヤーでのスケールアウトが可能であることは、分散量子コンピュータの実現性を支える中核的根拠と言える。

さらに、同様のパラメータ領域で、もつれ蒸留を使わず過大な時空間オーバーヘッドもなくフォルトトレラント要件を満たすことが明らかになっている [28]。この解析ではさらに、レンズ/単一の光共振器/共振器アレイを用いることで量子もつれ生成レート 1-50MHz、25-2000kHz の誤り訂正サイクル、論理クロック 100kHz クラスについて言及している。

### 7.3.5 今後の見通し

調査の結果、分散型量子コンピュータにおいて「モジュール内で論理量子ビット（パッチ）を作れるならばリンク側は局所ゲート並みの忠実度を必須としない」設計が成立することが分かった。また、フォルトトレランス要件を満たせるもつれ忠実度や生成レートといったハードウェア要件や資源見積もりが与えられており、イオントラップや超伝導の系において既にこのハードウェア要件を部分的に満たす実験結果が実証されていることが分かった。特に、Grover 探索の分散処理が実現したことは、分散量子計算がコンセプトから実験計算へ移行したことを示している。一方で、フォルトトレラントな統合実装への道筋は未だ明らかになっておらず、論理量子ビット・同期・大量のもつれ供給・障害時の再試行設計などにはさらなる工学的ブレイクスルーが必要である。

## 7.4 FTQC アプリケーションに関する調査

2024 年、量子誤り訂正の根幹をなす実験的マイルストーンが達成された。符号距離の増大に伴い論理誤り率が指数的に低減する below-threshold 動作が初めて実証され [7]、スケーラブルな耐故障量子計算 (fault-tolerant quantum computing; FTQC) への道筋が具体化した。超伝導量子ビット・中性原子・トラップイオンなど複数の技術方式で FTQC の開発が進む中 [29]、IBM は 2029 年に 200 論理量子ビット・1 億ゲート規模の耐故障量子計算機を目標に掲げており [30]、より手前の段階として限定的な論理演算が可能な early-FTQC 段階が数年以内に到来しうるとの見通しが、各社のロードマップや関連研究で示されている。本節では、FTQC 時代に量子優位性が期待されるアプリケーション領域を概観し、計算資源の規模感および今後の見通しについて述べる。

### 7.4.1 主要なアプリケーション領域

以下では、各応用領域を実現段階ごとに整理する [29]。資源規模は代表的な事例に基づく目安として示す。

**量子化学・材料科学 (early-FTQC)** 分子の基底状態エネルギー計算や電子構造シミュレーションは、FTQC の最も有望な応用分野の一つである。量子位相推定 (Quantum Phase Estimation; QPE) に基づくアルゴリズムは、古典計算機では困難な多体量子系の高精度シミュレーションを可能にする [31]。Alexeev らは、触媒設計や新材料探索などの具体的応用において、活性空間埋め込み法や量子ダイナミクスシミュレーションを通じて科学的に意味のある成果が得られる可能性を示している [31]。一方、Genin らは、量子化学で想定される初期の論理量子ビット領域では古典計算が依然として競争力を保ち、少なくとも約 200 論理量子ビット規模までは古典的に扱える系が広いことを指摘している [32]。本格的な量子優位が現れる問題規模の見極めは今後の課題である。

**量子シミュレーション (中規模 FTQC)** 強相関電子系のシミュレーション (Hubbard 模型、高温超伝導体モデル等) は、物性物理学における重要な応用先である。Toshio らは、部分的耐故障論理演算を用いることで、 $8 \times 8$  サイトの Hubbard 模型に対する QPE を  $6.8 \times 10^4$  個未満の物理量子ビットで実行可能と推定した [33]。この推定結果は、大規模 FTQC 段階に至る前の early-FTQC 段階でも、特定の物理問題において古典計算機を凌駕しうる可能性を示唆している。格子ゲージ理論を用いた素粒子物理シミュレーションも、量子計算機による本質的な高速化が期待される [29]。

**暗号解読 (大規模 FTQC)** Shor のアルゴリズムは素因数分解および離散対数問題を効率的に解くことから、RSA や楕円曲線暗号といった現行の公開鍵暗号体系に対する脅威として知られる。Gidney は 2025 年に、RSA-2048 の素因数分解に必要な物理量子ビット数を 100 万未満に削減できることを示した [34]。この推定値は、近似モジュラー演算や補助状態生成の効率化などの手法改良により、わずか 6 年前の推定 (約 2,000 万量子ビット) から大幅に圧縮されたものである。こうした急速な改善は、FTQC 時代の暗号安全性を検討するうえで重要な示唆を与えるとともに、耐量子暗号 (Post-Quantum Cryptography; PQC) への移行の緊急性を裏付けている。

**その他の応用領域** 上記に加え、組合せ最適化（物流・スケジューリング・金融等）や量子モンテカルロ加速などの応用候補も研究が進んでいるが、実用的な量子優位性の実証に至った領域はまだない [29]。総じて、early-FTQC 段階では量子化学と一部の量子シミュレーションが先行候補であり、暗号解読にはより大規模な資源が必要となる。

## 7.4.2 アプリケーション実現に向けた課題

FTQC アプリケーションの実現には、いくつかの本質的な課題が存在する。Google Quantum AI が提案した 5 段階フレームワーク [29] によれば、アルゴリズム開発（Stage I）から本番環境への展開（Stage V）に至る過程において、量子優位性を示す具体的な問題の特定（Stage II）と実世界タスクへの接続（Stage III）が、現在最も重要かつリソースが不足している段階であるとされる。

**古典計算との競争** 量子アルゴリズムが漸近的に優れた計算量を持つ場合でも、定数因子やエラー訂正のオーバーヘッドにより古典計算機を実際に上回るかは自明ではなく、古典アルゴリズムも継続的に改善されている。例えば、量子推薦アルゴリズムに対する dequantization（量子インスパイアド古典アルゴリズム）の発見は、特定の問題における量子優位性の前提を覆した事例として知られる [35]。こうした古典側の進展も踏まえ、量子優位性の閾値を厳密に評価する研究が進められている。

**リソース推定と実装最適化** 論理量子ビットあたり数百から数千の物理量子ビットが必要となるため、目標とするアプリケーションに対するリソース推定は、ハードウェア開発のロードマップを左右する。近年、リソース推定の精度が大幅に向上しており、アルゴリズムの改良と誤り訂正符号の設計改善が相まって、必要資源量は継続的に減少している [36]。前述の RSA-2048 に関する推定値の急速な改善はその典型例である。また、論理演算を律速するデコーダ（誤り訂正の復号処理）のスループットが新たなボトルネックとして認識されており [37]、古典計算側の設計要件も増している。

## 7.4.3 今後の見通し

IBM のロードマップ [30] では 2029 年に 200 論理量子ビット・1 億ゲート規模の耐故障量子計算機を見込んでおり、2030 年代には HPC-FTQC 統合が本格化すると見込まれる。こうした将来に備え、現行 HPC に量子計算資源を接続するインフラ整備が先行して進んでいる。理化学研究所では、富岳と IBM Quantum System Two (ibm\_kobe) および Reimei (Quantinuum 社) を接続する量子 HPC ハイブリッド基盤が整備されており、ibm\_kobe は 2025 年 6 月に稼働を開始した [38]。新たな量子 HPC ハイブリッド向けスーパーコンピュータも 2025 年度内の運用開始が案内されている [39]。次世代フラッグシップシステム（富岳 NEXT）でも量子コンピュータとの本格統合が構想されている [40]。各国政府の量子技術への投資は 2013 年以降で推定約 557 億ドルに達し [41]、フランスは国家プログラム PROQCIMA の下で 2032 年に 128 論理量子ビット級、2035 年に 2048 論理量子ビット級の量子計算機プロトタイプを目標に掲げている [42]。ソフトウェア面でも CUDA-Q 等の統合プログラミングモデル [43] により古典 HPC から量子資源を呼び出す形態の整備が進んでおり、FTQC 実用化に向けた基盤整備は各国で加速している。

## 7.5 量子誤り訂正符号及び要求性能に関する調査

### 7.5.1 背景

この章では量子誤り訂正符号および実用化に必要な要求性能の見積もりに関する調査の結果を説明する。量子計算は通常の計算機に対して計算量的な優位性を持つと考えられているため、量子系のシミュレーション、量子系の基底エネルギー計算、素因数分解といった代表的なタスクでは、十分に大規模な FTQC が実現すればその速度は通常の計算機より高速になると考えられている。一方、実際に我々が解きたい特定の問題を量子計算機が通常の計算機より高速に解くことができるかは明らかではない。これにはいくつかの理由がある。第一に、所与の問題が計算量的優位性が十分有効になる領域にあるのかが不透明である。問題のクラスが計算量的に優位性があるものだったとしても、小規模な問題を解く際には量子計算機は通常の計算機より時間を要してしまう。第二に、実際の問題には構造があり、これを活用した通常の計算機の高速化が可能であるという点である。このため、構造のないランダムな問題で優位性が示せたとしても、実際に需要のある問題に同じスケールリングが適用できるかは明らかではない。こうした背景から、どのように FTQC を構築し既存の HPC と組み合わせるべきかを考えるうえで、FTQC が問題を解くのに必要な時間を見積もることの重要性は高い。以下では、リソース見積もりの構成、既存の見積もりの主要な結果、これを扱うためのソフトウェアについて調査した結果を報告する。また、その中で性能を特徴づける量子誤り訂正符号についての調査結果を述べる。

### 7.5.2 リソース評価のターゲット

量子計算のリソース見積もりとは、与えられた量子計算機の所与のタスクと FTQC の構成をもとに、量子計算機がその問題を解くのに必要な時間を見積もる枠組みである。この枠組みが確立すれば、様々な設計を探索することで、所与のタスクと許容される時間以内に解くために必要な FTQC の構成を調べることもできる。以下ではリソース見積もりを行う際の骨子となる、プログラムとターゲット、および、この間を翻訳するコンパイラについて述べる。

#### 7.5.2.1 プログラムの記述

既に実機が実現している NISQ については、プログラムを記述するための様々なフレームワークが存在する。例えば Qiskit [44]、Cirq [45]、Quil [46] などはその代表例である。一方、今後の実機が構築される FTQC については、実機の仕様が固まっていないために様々な記述形式が模索されている。一つの主流の方法は、量子計算機のプログラミング言語を記述する方法である。例えば、Microsoft の Q# [47]、ETH の SILQ [48]、Quipper [49]、Scaffold [50], [51]などは量子計算機での利用を意図したプログラミング言語である。二つ目の方法は通常のプログラミング言語で書いた記述を FTQC 向けの表現へ翻訳するものである。例えば Guppy [52] が Python、Quration [53] が C++ で記述した関数を量子計算機で実行可能な関数に変換する実装を行っている。最後の方式はセルラ

ライブラリのように既存のコンポーネントをつなげることで量子計算のプログラムを設計する方式である。Qualtran [54] や化学に焦点を当てたライブラリである OpenFermion [55] は、論文で最適化されたコンポーネントを生成しつなげるという形で記述されている。

### 7.5.2.2 ターゲットとなる言語

実際にリソース見積もりを行うには、何らかの計算機の命令セットを定義し、プログラムを実行可能形式へ翻訳する必要がある。既に動作する FTQC の命令セットが確立されているわけではないものの、複数の FTQC の振る舞いの定義が提案されている。理屈上は命令セットは FTQC の様々なレイヤにおいて定義することが可能だが、典型的なリソース見積もりにおいては、符号ブロックに対する論理操作が FTQC の基本命令とされることが多い。これは、典型的な量子デバイスの寿命が短く、符号ブロック単位の操作は組み込みでの高速なフィードバックが必要とされ、プログラマブルにすることが困難と考えられているためである。従って、命令セットは典型的には選択する量子誤り訂正符号に依存して決定される。ここでは代表的な量子誤り訂正符号を採用したアーキテクチャに焦点を当てて説明する。より発展的な符号については後続の量子誤り訂正のセクションで説明する。

最も代表的な量子誤り訂正符号である表面符号は符号ブロックで一つの論理量子ビットを符号化する。従って、基本命令セットも論理量子ビットが個別に制御できることを前提としたものが多い。例えば XQSim [56]、Q3DE [57] などでは表面符号を前提とした命令セットが定義されている。また、文献 [58], [59], [60] では具体的なフォーマットではないものの、基本となる操作のリストが与えられている。

一般の二次元に並んだ表面符号を超える命令もいくつか定義されている。例えば文献 [61] は複数レイヤの接続が許された表面符号での命令セットを定義している。また、TISCC [62] ではイオントラップを想定した命令セットが定義されている。文献 [63] は中性原子でのトランスバーサル操作という種類の誤り耐性量子演算をメインとしたアーキテクチャを提案している。表面符号以外の符号では、Gross 符号を想定した基本操作が文献 [64] で説明されている。

複数の符号を扱ったより高度な計算機を扱うための命令セットも検討されている。LSQCA [65] は通常の計算機のようなロードストア命令で符号の詳細を隠ぺいすることで、符号固有のデータ移動の操作を抽象化している。HQ-ISA [66] は符号化効率は良いが操作が困難な低密度パリティ検査符号と、符号化効率は悪いが操作が容易な表面符号を組み合わせることを想定した命令である。

符号上での具体的な命令の定義が定まると、符号のサイズと物理的なデバイスの特性から符号ブロックの操作のエラー率とスループットを決定することができる。エラー率は Stim [67] というライブラリと pymatching [68], [69] や ldpc [70] というエラー推定ライブラリを用いて評価することができる。スループットについては量子デバイスを制御するパイプラインの詳細から決定される。典型的には量子デバイスを制御する際の信号長と、得られたパリティ値をリアルタイムに推定する制御システムのうち、遅い方でスループットが定義される [57], [61]。

### 7.5.2.3 コンパイル

誤り耐性量子計算機のコンパイラは入力された抽象的なプログラムをターゲットとなる言語にコンパイルする必要がある。プログラムはまずパースされ、典型的には分岐やループを許容する中間表現に翻訳される。この中間表現としては、QIR [71] などが代表的な中間表現として知られている。Guppy や Quration も LLVM のような BasicBlock という基本単位の繋がりでプログラムを定義している。プログラムが分岐やループのない基本単位の分解されたら、その基本単位を実行可能な命令列に翻訳する。任意の組合せ論理回路が NAND ゲートに分解されるように、分岐やループのない任意の量子回路を任意の精度で近似できるユニバーサルなゲートセットが知られているため、教科書的な方法でこの翻訳は可能である。一方、効率的にゲートをコンパイルするにはその命令数を減らし、また、並列度を改善する工夫が望ましい。ここではコンパイルの基本的な考え方を記述する。

FTQC におけるプログラムのコンパイルはその対象となる領域と、コンパイルが一般的な形式を意図したものか特定の構造を前提としたものかで分かれる。ここでは対象ごとに記述する。最初に行うのは、多数の量子ビットに作用する大規模な命令を実行可能な小さな命令に分解する操作である。これは複雑な整数関数を足し算や掛け算といった手続きに分解する操作に対応する。一般の入力に対しこの手続きを行う方法は知られているが、現実的には量子計算で計算量的な加速がある領域が限定的であるため、構造に特化して行われることがほとんどである。

小規模な命令に分解された後、実機で実行可能にするために二つの処理が必要となる。一つは定数個の量子ビットに対する任意のユニタリ操作を、T-gate や Toffoli-gate といった離散的なゲートに分解する操作である。この分解は FTQC 特有の操作であり、ほとんどの符号では符号ブロックが離散的な操作しか誤りに耐性のある形で制御できないことに起因する。この分解は ZX-calculus のようなグラフ的表現に変換し簡約化する方法 [72], [73] や、代数的な理論に還元して分解する方法 [74] などが知られている。これらを行うライブラリとしては PyZX [75] や gridsynth [76], [77] などが有名である。もう一つの処理は、基本的な命令を実行する際に補助的に占有される補助領域を定める操作である。これは多くの符号ブロックは、誤りに耐性のある計算を行うために補助的な符号ブロックを必要とするためである [78], [79]。これはある種の配置やルーティングの最適化問題として定式化することができ、NP 困難であることが知られている [80]。これを解くために様々な方法が提案されており [59], [81], [82]、実際にこれに特化して最適化を行うバックエンドとしては LatticeSurgeryCompiler などが知られている [83]。

プログラムがコンパイルされた後に、プログラム中のゲートを減らしたり並列度を改善する一般的な方法も知られている。Pauli-Based Computation [58] として知られる方法は、中間測定のないプログラム中のクリフォードゲートと呼ばれる種類のゲート (CNOT, H, S などのゲート) をすべて削除し、すべての  $\pi/8$ -rotation という種類の命令に変換する。この方法は常に適用可能なわけではないが、プログラム中のクリフォードゲートが支配的な場合に大きな効力を発揮する。プログラムの並列度を改善する方法としては Time-optimal compilation [84] として知られている方法がある。この方法は余剰の空間を利用することで量子ゲート間の依存性を消し去ることができるという一般的な手法である。ただし、測定値に基づく古典的な分岐を消すことはできないため任意の計算

が定数時間でできるわけではない。こうした手法は特定の構造に最適化することで、より少ない空間オーバーヘッドで並列度を改善することもできる [85]。

### 7.5.3 プロファイル

#### 7.5.3.1 プロファイルの方法

プログラムをコンパイルし実行形式が得られた後、そのプログラムを実行するのに必要な時間を計算する必要がある。最も素朴なプログラムのリソース評価の方法は、実際に計算機を用いて評価することだが、現在はまだ FTQC の実機は存在せずこれを行うことができない。仮に実機があったとしても動作中の量子計算機の実機はスナップショットをとることができないため、別の手段が必要となる。もう一つの素朴な方法は通常の計算機で FTQC をシミュレートする方法だが、大規模な量子計算機は効率的なシミュレーションが困難である。また、仮にこのシミュレーションが可能であるなら、そもそも FTQC は不要になってしまうので、実用的なプログラムについてはそのようなシミュレータを仮定することはできない。上記の事情から、FTQC のプロファイルは通常の計算機とは異なる方法で評価を行う必要がある。

一般に、プログラムの実行時間を前提なしに見積もることは不可能である。この困難を回避するため、FTQC のプロファイルではプログラムの分岐を実行せずに決定可能であるという暗黙の前提を置いている。一般にプログラムの分岐は具体的な実行なしに見積もることは困難である。また、量子計算の分岐は一般に確率的であるため、実行ごとにトレースも変化する。しかし、FTQC の既知のアプリケーションにおいてはほとんどのケースで分岐が独立であり、かつ、その分岐の確率は入力に寄らず決定が可能となっている。このため、現実的なプログラムのほとんどは実行することなしに分岐の分布を厳密もしくは近似的に知ることが可能となっている。

上記の前提を認めたとき、最も素朴なプロファイルは平均ケースまたは最悪ケースの実行トレースにおける、ゲートのカウントを行うというものである。特に、T-gate と呼ばれるゲートは実行時間が長いため、このゲートの数を数えた T-count は簡易的な実行時間の指標として用いられる。高速化のために並列に T-gate を作用することができる計算機では、T-gate の個数ではなく、命令の依存グラフを考えた時のクリティカルパス上の T-gate の数が重要となる。この値は T-depth として知られている。T-count と T-depth は具体的な命令セットを仮定せずとも簡単に数えることができることが多く、符号に依存しない見積もりでしばしば用いられる。

より緻密なリソース推定を行う際には、上記の実機上での依存関係や並列実行可能な条件のみを厳密にシミュレーションし実行時間を予測する。最終的なクリティカルパス上の命令についてレイテンシを積算することで、全体での実行時間が得られる。プログラム全体のエラー率については、以下の三つの寄与の和として計算される。一つはアルゴリズム自体のエラーであり、アルゴリズム自体が Trotter 分解などの設計で近似を用いていることに起因する。二つ目は合成エラーであり、実数のパラメータを有限桁に丸めたり大規模な回路を小規模な回路に分解する際に行われる近似に由来するエラーである。三つ目は命令エラーであり、これは符号ブロックにおいてエラー推定や事後選択に失敗し個々の命令の誤り耐性が失われることに由来するものである。典型的には、許

容するプログラムの失敗確率の上限（エラーバジェット）を定め、これを上記三つの要素で適切に配分されるようにプログラムのパラメータを定めることが多い。すると、ここから必要な符号距離、レイテンシ、実行時間が定まる。

計算機的设计が適切でない場合、プログラムの実行時間はしばしば特定の要因が支配的なボトルネックとなり高い性能を発揮させることができない。従って、プログラムの実行時間における寄与をその要因で分解し、原因を調べることは有用である。プログラムのレイテンシは主に以下の三つに分解することができる。一つ目の寄与は量子デバイスに対して制御を行っている時間である。この寄与が支配的な場合は FTQC の仕組み上の理由からクリフォード束縛と呼ばれる。二つ目の寄与は測定値に基づく分岐によるものである。これは、測定値に基づき分岐を行う際には、命令スケジューラがエラー推定システムと同期をとらねばならないことに起因する。この要因が支配的なケースはリアクション束縛と呼ばれる。最後の寄与は魔法状態や量子もつれなどの、リソース状態と呼ばれる状態の生成によるものである。こうした寄与が支配的なケースはリソース状態束縛、魔法状態の生成が支配的な場合は魔法状態束縛、量子もつれの生成が支配的な場合は通信束縛と呼ばれる。文献 [61] はこうした分類を体系的に行う CBPI Stack を提案している。

最後に、上記に基づいて実際にプロファイルを行った文献を紹介する。化学分野では文献 [86] は FeMoco と呼ばれる錯体の解析に関する評価を行っている。近年では文献 [87] でその効率が大幅に改善され、表面符号を用いて数百万量子ビットと数日での解析が可能となっている。文献 [88] は凝縮物理系に見られる強相関係の解析を行っている。特に、文献 [85] は数十万量子ビットと数時間のオーダーで従来の計算機では困難な問題が解けることを明らかにした。文献 [89] は素因数分解の高速化に取り組んだもので、100 万量子ビットと数日で現代の計算機では解読不可能な暗号が解読できることを示した。

### 7.5.3.2 リソース推定を行うソフトウェア

上記のようなリソース推定を行うソフトウェアは複数公開されている。ここではその代表的なものを列挙する。Azure Quantum Resource Estimator [90] は Microsoft が提供する Azure 上でのリソース推定のプラットフォームである。上位レイヤは Q#などの言語やアプリ専用のインターフェイスが用意され、中間表現は QIR を採用し、最終的にリソース推定の結果をレポートとして得ることができる。BenchQ [91] は Zapata computing 社によって開発されたリソース推定ツールである。このツールはプログラムを入力し、リソース推定を行うアーキテクチャのモデルを与えることで必要なリソースを推定することができる。quration [53] は理化学研究所と Fixstars によって開発されたツールで、中間表現の表現は簡潔になっているもののコンパイルパスや命令セットを独自に定義することができるなど研究開発用途に特化した設計になっている。上記は具体的なアーキテクチャを仮定し実行時間や必要な符号距離を与えるソフトウェアだが、ゲートカウント方式で高速にリソースを評価するものとしては Google の qualtran [54]、PsiQuantum の Bartiq [92]、QREChem などがある。こうした方式に基づくリソース推定は計算機的设计を評価する上では荒い評価となるが、特定のアーキテクチャに縛られない効率的なアルゴリズム的设计をする上では有益である。

### 7.5.3.3 より発展的な量子誤り訂正符号

FTQC の性能を大きく左右する設計要素の一つが量子誤り訂正符号である。典型的な符号化前の量子ビットは基本演算ごとに  $10^{-3}$  から  $10^{-4}$  程度の確率でエラーが生じる一方、実用的なアプリケーションを実行するにはエラー率をおよそ  $10^{-12}$  程度まで抑えなくてはならない [85]。この際、例えば表面符号を用いると 1 つの信頼性の高い符号化された量子ビットを構成するために  $10^2$  から  $10^3$  個の符号化前の量子ビットが必要となる。これは、通常の計算機の誤り訂正メモリのオーバーヘッドが高々数割であることを踏まえると大きなオーバーヘッドとなっている。この問題を解決するには符号化率が高い誤り訂正符号を使うのが望ましいが、実際の量子誤り訂正符号では符号化率以外にも多くのものが求められ、これらをバランスよく満たす符号は多くない。前節で記載した通り、量子誤り訂正符号の選択は命令セットの定義や FTQC の振る舞いに大きな影響を及ぼすため、今後のリソース推定の動向を予測するには、量子誤り訂正符号の今後を把握することの重要性は大きい。この節では量子誤り訂正符号に求められる性質を概観し、これを部分的に満たし今後主流になっていくと期待される符号について調査した結果を説明する。

Color 符号 [93] は表面符号に似た符号だが、より広い範囲の論理操作を簡潔に行うことができる。一方で、エラー推定が表面符号に比べ複雑であり、二次元平面上に実装する際のオーバーヘッドが大きいなどの欠点はある。表面符号や Color 符号を高次元に拡張した符号も提案されている [94]。これらの符号は二次元平面への実装は困難だが、中性原子、イオン、量子ドット、光量子などの移動可能な量子ビットでは実装が可能と期待されている。これらの符号は code switching [95] というテクニックを用いて複数の符号を行き来することで、ユニバーサルな操作を簡潔に実装できるという利点がある。

上記は二次元や高次元の空間での近接操作のみで符号化を行うトポロジカル符号だが、離れた相互作用を許すことでトポロジカルでない代わりに効率的な符号を探索する研究も行われている。Gross 符号 [64], [96] は IBM が提案する符号であり、表面符号を構成するグリッド上のデバイスに二つの遠隔相互作用を許すことで効率的な符号化を可能にしている。HGP 符号 [97] は符号化率のよい通常の計算機の誤り訂正符号から量子誤り訂正符号を構成する枠組みである。この符号はその対称性から中性原子などでの実装と相性がよいことで注目されている [98]。

上記のように特定の単一の符号を設計するのではなく、ある符号で符号ブロックを構成し、その符号ブロックの上に再び符号を構成する接続符号の方法で効率的な符号を探索する方法も近年盛んに研究されている。表面符号の上に小さな符号を接続することで得られる符号は Yoked Surface Code と呼ばれ、実装が容易でありながら高い符号化効率達成できることが示されている [99]。Many-Hypercube-Code は小さな符号を接続することにより得られる符号であり、同じく高い符号化効率達成可能であることが示されている [100]。近年ではハミング符号を適切な設計で接続することにより、定数オーバーヘッドの符号化を実現する方法が提案されている [101]。

上記のような符号は適切に計算機システムに組み込むことができれば、飛躍的に必要リソースを軽減できると期待されている。実際のアプリケーションでこうした技術がどの程度性能改善に寄与するかを評価するのが、現在の研究開発の主要な課題となっている。

## 7.6 まとめ

本章では、汎用量子計算機として、量子ゲート方式の量子コンピュータについて述べた。主な内容は QPU の各種方式の実装状況とロードマップ、FTQC 実現に必要な規模を実現するための分散量子計算技術、FTQC アプリケーションの探索状況および FTQC のためのソフトウェアとそれを用いたリソース評価である。汎用量子計算の実現に向けた理論、ハードウェア、ソフトウェア、システム・アーキテクチャなど各方面からのアプローチと実施状況についてそれぞれの研究に実際に取り組んでいる研究者らによるレビューは、この分野の研究開発が日進月歩に進んでいることを詳らかにした。

## 参考文献

- [1]A. W. Cross, L. S. Bishop, S. Sheldon, P. D. Nation, and J. M. Gambetta, Validating quantum computers using randomized model circuits, *Phys. Rev. A*, vol. 100, p. 032328, 3 Sep. 2019. DOI: 10.1103/PhysRevA.100.032328. [Online]. Available: <https://link.aps.org/doi/10.1103/PhysRevA.100.032328>.
- [2]IBM, IBM Unveils Breakthrough 127-Qubit Quantum Processor, <https://newsroom.ibm.com/2021-11-16-IBM-Unveils-Breakthrough-127-Qubit-Quantum-Processor>, 2021.
- [3]IBM, IBM Unveils 400 Qubit-Plus Quantum Processor and Next-Generation IBM Quantum System Two, <https://newsroom.ibm.com/2022-11-09-IBM-Unveils-400-Qubit-Plus-Quantum-Processor-and-Next-Generation-IBM-Quantum-System-Two>, 2022.
- [4]IBM, The hardware and software for the era of quantum utility is here, <https://www.ibm.com/quantum/blog/quantum-roadmap-2033>, 2023.
- [5]F. Arute, K. Arya, R. Babbush, D. Bacon, J. C. Bardin, R. Barends, R. Biswas, S. Boixo, F. G. S. L. Brandao, D. A. Buell, B. Burkett, Y. Chen, Z. Chen, B. Chiaro, R. Collins, W. Courtney, A. Dunsworth, E. Farhi, B. Foxen, A. Fowler, C. Gidney, M. Giustina, R. Graff, K. Guerin, S. Habegger, M. P. Harrigan, M. J. Hartmann, A. Ho, M. Hoffmann, T. Huang, T. S. Humble, S. V. Isakov, E. Jeffrey, Z. Jiang, D. Kafri, K. Kechedzhi, J. Kelly, P. V. Klimov, S. Knysh, A. Korotkov, F. Kostritsa, D. Landhuis, M. Lindmark, E. Lucero, D. Lyakh, S. Mandrà, J. R. McClean, M. McEwen, A. Megrant, X. Mi, K. Michielsen, M. Mohseni, J. Mutus, O. Naaman, M. Neeley, C. Neill, M. Y. Niu, E. Ostby, A. Petukhov, J. C. Platt, C. Quintana, E. G. Rieffel, P. Roushan, N. C. Rubin, D. Sank, K. J. Satzinger, V. Smelyanskiy, K. J. Sung, M. D. Trevithick, A. Vainsencher, B. Villalonga, T. White, Z. J. Yao, P. Yeh, A. Zalcman, H. Neven, and J. M. Martinis, Quantum supremacy using a programmable superconducting processor, *Nature*, vol. 574, no. 7779, pp. 505–510, Oct. 2019, ISSN: 1476-4687. DOI: 10.1038/s41586-019-1666-5. [Online]. Available: <https://doi.org/10.1038/s41586-019-1666-5>.

- [6]R. Acharya et al., Suppressing quantum errors by scaling a surface code logical qubit, *Nature*, vol. 614, no. 7949, pp. 676–681, Feb. 2023, ISSN: 1476-4687. DOI: 10.1038/s41586-022-05434-1. [Online]. Available: <https://doi.org/10.1038/s41586-022-05434-1>.
- [7]Google Quantum AI and Collaborators, Quantum error correction below the surface code threshold, *Nature*, vol. 638, pp. 920–926, 2025. DOI: 10.1038/s41586-024-08449-y.
- [8]Google Quantum AI, Our quantum computing roadmap, <https://quantumai.google/roadmap>.
- [9]Quantinuum, Quantinuum Unveils Accelerated Roadmap to Achieve Universal, Fully Fault-Tolerant Quantum Computing by 2030, <https://www.quantinuum.com/press-releases/quantinuum-unveils-accelerated-roadmap-to-achieve-universal-fault-tolerant-quantum-computing-by-2030>.
- [10]J. Wurtz, A. Bylinskii, B. Braverman, J. Amato-Grill, S. H. Cantu, F. Huber, A. Lukin, F. Liu, P. Weinberg, J. Long, S.-T. Wang, N. Gemelke, and A. Keesling, Aquila: QuEra’s 256-qubit neutral-atom quantum computer, 2023. arXiv: 2306.11727 [quant-ph]. [Online]. Available: <https://arxiv.org/abs/2306.11727>.
- [11]Pascal, Our Roadmap, <https://www.pasqal.com/technology/roadmap/>.
- [12]H. C. George, M. T. Mađzik, E. M. Henry, A. J. Wagner, M. M. Islam, F. Borjans, E. J. Connors, J. Corrigan, M. Curry, M. K. Harper, D. Keith, L. Lampert, F. Luthi, F. A. Mohiyaddin, S. Murcia, R. Nair, R. Nahm, A. Nethewala, S. Neyens, B. Patra, R. D. Raharjo, C. Rogan, R. Savytsky, T. F. Watson, J. Ziegler, O. K. Zietz, S. Pellerano, R. Pillarisetty, N. C. Bishop, S. A. Bojarski, J. Roberts, and J. S. Clarke, 12-Spin-Qubit Arrays Fabricated on a 300 mm Semiconductor Manufacturing Line, *Nano Letters*, vol. 25, no. 2, pp. 793–799, Jan. 2025, ISSN: 1530-6984. DOI: 10.1021/acs.nanolett.4c05205. [Online]. Available: <https://doi.org/10.1021/acs.nanolett.4c05205>.
- [13]N. Liyanage, Y. Wu, A. Deters, and L. Zhong, Scalable Quantum Error Correction for Surface Codes Using FPGA, in 2023 IEEE International Conference on Quantum Computing and Engineering (QCE), vol. 01, 2023, pp. 916–927. DOI: 10.1109/QCE57702.2023.00106.
- [14]N. Liyanage, Y. Wu, E. Houghton, and L. Zhong, Multi-FPGA System for Quantum Error Correction with Lattice Surgery, in 2024 IEEE International Conference on Quantum Computing and Engineering (QCE), vol. 02, 2024, pp. 622–623. DOI: 10.1109/QCE60285.2024.10435.
- [15]S. Bravyi, A. W. Cross, J. M. Gambetta, D. Maslov, P. Rall, and T. J. Yoder, High-threshold and low-overhead fault-tolerant quantum memory, *Nature*, vol. 627, no. 8005, pp. 778–782, Mar. 2024, ISSN: 1476-4687. DOI: 10.1038/s41586-024-07107-7. [Online]. Available: <https://doi.org/10.1038/s41586-024-07107-7>.
- [16]K. Zhou, L. Lu, D. Xiang, C. Tao, A. Wu, J. Leng, F. Liu, M. Chen, and J. Yin, “Vegapunk: Accurate and Fast Decoding for Quantum LDPC Codes with Online Hierarchical Algorithm and Sparse Accelerator,” in Proceedings of the 58th IEEE/ACM International Symposium on

- Microarchitecture. New York, NY, USA: Association for Computing Machinery, 2025, pp. 719–732, ISBN: 9798400715730. [Online]. Available: <https://doi.org/10.1145/3725843.3756084>.
- [17] C. Piveteau and D. Sutter, Circuit Knitting With Classical Communication, *IEEE Transactions on Information Theory*, vol. 70, pp. 2734–2745, 4 Apr. 2024, ISSN: 15579654. DOI: 10.1109/TIT.2023.3310797.
- [18] G. Gentinetta, F. Metz, and G. Carleo, Overhead-constrained circuit knitting for variational quantum dynamics, *Quantum*, vol. 8, 2024, ISSN: 2521327X. DOI: 10.22331/q-2024-03-21-1296.
- [19] D. Main, P. Drmota, D. P. Nadlinger, E. M. Ainley, A. Agrawal, B. C. Nichol, R. Srinivas, G. Araneda, and D. M. Lucas, Distributed quantum computing across an optical network link, *Nature*, vol. 638, pp. 383–388, 8050 Feb. 2025, ISSN: 14764687. DOI: 10.1038/s41586-024-08404-x.
- [20] L. J. Stephenson, D. P. Nadlinger, B. C. Nichol, S. An, P. Drmota, T. G. Ballance, K. Thirumalai, J. F. Goodwin, D. M. Lucas, and C. J. Ballance, High-Rate, High-Fidelity Entanglement of Qubits Across an Elementary Quantum Network, *Physical Review Letters*, vol. 124, 11 Mar. 2020, ISSN: 10797114. DOI: 10.1103/PhysRevLett.124.110501.
- [21] S. Saha, M. Shalaev, J. O’ Reilly, I. Goetting, G. Toh, A. Kalakuntla, Y. Yu, and C. Monroe, High-fidelity remote entanglement of trapped atoms mediated by time-bin photons, *Nature Communications*, vol. 16, 1 Dec. 2025, ISSN: 20411723. DOI: 10.1038/s41467-025-57557-4.
- [22] J. Niu, L. Zhang, Y. Liu, J. Qiu, W. Huang, J. Huang, H. Jia, J. Liu, Z. Tao, W. Wei, Y. Zhou, W. Zou, Y. Chen, X. Deng, X. Deng, C. Hu, L. Hu, J. Li, D. Tan, Y. Xu, F. Yan, T. Yan, S. Liu, Y. Zhong, A. N. Cleland, and D. Yu, Low-loss interconnects for modular superconducting quantum processors, *Nature Electronics*, vol. 6, pp. 235–241, 3 Mar. 2023, ISSN: 25201131. DOI: 10.1038/s41928-023-00925-z.
- [23] T. Coopmans, R. Knegjens, A. Dahlberg, D. Maier, L. Nijsten, J. de Oliveira Filho, M. Papendrecht, J. Rabbie, F. Rozpędek, M. Skrzypczyk, L. Wubben, W. de Jong, D. Podareanu, A. Torres-Knoop, D. Elkouss, and S. Wehner, NetSquid, a NETwork Simulator for QUantum Information using Discrete events, *Communications Physics*, vol. 4, 1 Dec. 2021, ISSN: 23993650. DOI: 10.1038/s42005-021-00647-8.
- [24] R. Satoh, M. Hajdusek, N. Benchasattabuse, S. Nagayama, K. Teramoto, T. Matsuo, S. A. Metwalli, P. Pathumsoot, T. Satoh, S. Suzuki, and R. V. Meter, QuISP: a Quantum Internet Simulation Package, in *Proceedings - 2022 IEEE International Conference on Quantum Computing and Engineering, QCE 2022*, Institute of Electrical and Electronics Engineers Inc., 2022, pp. 353–364, ISBN: 9781665491136. DOI: 10.1109/QCE53715.2022.00056.
- [25] C. D. Donne, M. Iuliano, B. van der Vecht, G. M. Ferreira, H. Jirovská, T. J. van der Steenhoven, A. Dahlberg, M. Skrzypczyk, D. Fioretto, M. Teller, P. Filippov, A. R. Montblanch, J. Fischer, H. B. van Ommen, N. Demetriou, D. Leichtle, L. Music, H. Ollivier, I. te Raa, W. Kozłowski,

- T. H. Taminiau, P. Pawelczak, T. E. Northup, R. Hanson, and S. Wehner, An operating system for executing applications on quantum network nodes, *Nature*, vol. 639, pp. 321–328, 8054 Mar. 2025, ISSN: 14764687. DOI: 10.1038/s41586-025-08704-w.
- [26] F. Vista, S. DiAdamo, E. Kaur, H. Shapourian, and R. Nejabati, Entanglement Request Scheduling in Quantum Datacenter Networks, *IEEE Network*, vol. 39, pp. 188–195, 3 2025, ISSN: 1558156X. DOI: 10.1109/MNET.2025.3532847.
- [27] J. Ramette, J. Sinclair, N. P. Breuckmann, and V. Vuletić, Fault-tolerant connection of error-corrected qubits with noisy links, *npj Quantum Information*, vol. 10, 1 Dec. 2024, ISSN: 20566387. DOI: 10.1038/s41534-024-00855-4.
- [28] J. Sinclair, J. Ramette, B. Grinkemeyer, D. Bluvstein, M. D. Lukin, and V. Vuletić, Fault-tolerant optical interconnects for neutral-atom arrays, *Physical Review Research*, vol. 7, 1 Jan. 2025, ISSN: 26431564. DOI: 10.1103/PhysRevResearch.7.013313.
- [29] R. Babbush et al., The Grand Challenge of Quantum Applications, 2025. arXiv: 2511.09124 [quant-ph].
- [30] IBM, IBM lays out clear path to fault-tolerant quantum computing, IBM Quantum Blog, 2025. [Online]. Available: <https://www.ibm.com/quantum/blog/large-scale-ftqc>.
- [31] Y. Alexeev et al., A Perspective on Quantum Computing Applications in Quantum Chemistry using 25–100 Logical Qubits, *Journal of Chemical Theory and Computation*, vol. 21, no. 22, pp. 11 335–11 357, 2025. DOI: 10.1021/acs.jctc.5c01038.
- [32] S. N. Genin et al., Towards Quantum Advantage in Chemistry, 2025. arXiv: 2512.13657 [quant-ph].
- [33] R. Toshio et al., Practical Quantum Advantage on Partially Fault-Tolerant Quantum Computer, *Physical Review X*, vol. 15, p. 021 057, 2025. DOI: 10.1103/PhysRevX.15.021057.
- [34] C. Gidney, How to factor 2048 bit RSA integers with less than a million noisy qubits, 2025. arXiv: 2505.15917 [quant-ph].
- [35] E. Tang, A quantum-inspired classical algorithm for recommendation systems, in *Proceedings of the 51st Annual ACM SIGACT Symposium on Theory of Computing*, ser. STOC '19, 2019, pp. 217–228. DOI: 10.1145/3313276.3316310.
- [36] V. Gheorghiu et al., Quantum resource estimation for large scale quantum algorithms, *Future Generation Computer Systems*, vol. 162, p. 107 480, 2024. DOI: 10.1016/j.future.2024.08.015.
- [37] L. Kong et al., Benchmarking fault-tolerant quantum computing hardware via QLOPS, 2025. arXiv: 2507.12024 [quant-ph].
- [38] RIKEN R-CCS, IBM and RIKEN Unveil First IBM Quantum System Two Outside of the U.S. R-CCS Topics, 2025. [Online]. Available: <https://www.r-ccs.riken.jp/en/outreach/topics/20250624-1/>.

- [39]RIKEN R-CCS, System Configuration Finalized for New Supercomputer for Quantum-HPC Hybrid Platform, RIKEN R-CCS Topics, 2025. [Online]. Available: <https://www.r-ccs.riken.jp/en/outreach/topics/20251118-1/>.
- [40]RIKEN, Fujitsu, and NVIDIA, Launch of the FugakuNEXT Development Framework, RIKEN Press Release, 2025. [Online]. Available: [https://www.riken.jp/en/news\\_pubs/news/2025/20250822\\_1/index.html](https://www.riken.jp/en/news_pubs/news/2025/20250822_1/index.html).
- [41]OECD, “An overview of national strategies and policies for quantum technologies,” OECD, Tech. Rep. OECD Digital Economy Papers, No. 379, 2025. [Online]. Available: [https://www.oecd.org/en/publications/an-overview-of-national-strategies-and-policies-for-quantum-technologies\\_5e55e7ab-en.html](https://www.oecd.org/en/publications/an-overview-of-national-strategies-and-policies-for-quantum-technologies_5e55e7ab-en.html).
- [42]French Ministry of Higher Education and Research, France 2030: Three years on and launch of the PROQCIMA programme, French Government Press Release, 2024. [Online]. Available: <https://www.enseignementsup-recherche.gouv.fr/fr/france-2030-point-d-etapes-trois-ans-apres-le-lancement-de-la-strategie-nationale-des-technologies-95121>.
- [43]K. Rallis et al., Interfacing Quantum Computing Systems with High-Performance Computing Systems: An Overview, 2025. arXiv: 2509.06205 [quant-ph].
- [44]A. Javadi-Abhari, M. Treinish, K. Krsulich, C. J. Wood, J. Lishman, J. Gacon, S. Martiel, P. D. Nation, L. S. Bishop, A. W. Cross, B. R. Johnson, and J. M. Gambetta, Quantum computing with Qiskit, 2024. DOI: 10.48550/arXiv.2405.08810. arXiv: 2405.08810 [quant-ph].
- [45]Cirq Developers, Cirq. Zenodo, Aug. 2025. DOI: 10.5281/zenodo.4062499. [Online]. Available: <https://zenodo.org/doi/10.5281/zenodo.4062499>.
- [46]R. S. Smith, M. J. Curtis, and W. J. Zeng, A Practical Quantum Instruction Set Architecture, 2016. DOI: 10.48550/arXiv.1608.03355. arXiv: 1608.03355 [quant-ph]. [Online]. Available: <https://arxiv.org/abs/1608.03355>.
- [47]K. Svore, A. Geller, M. Troyer, J. Azariah, C. Granade, B. Heim, V. Kliuchnikov, M. Mykhailova, A. Paz, and M. Roetteler, Q#: Enabling Scalable Quantum Computing and Development with a High-level DSL, in Proceedings of the Real World Domain Specific Languages Workshop 2018, ser. RWDSL2018, ACM, Feb. 2018. DOI: 10.1145/3183895.3183901. [Online]. Available: <http://dx.doi.org/10.1145/3183895.3183901>.
- [48]B. Bichsel, M. Baader, T. Gehr, and M. Vechev, Silq: A High-Level Quantum Language with Safe Uncomputation and Intuitive Semantics, in Proceedings of the 41st ACM SIGPLAN Conference on Programming Language Design and Implementation, 2020. DOI: 10.1145/3385412.3386007. [Online]. Available: <https://doi.org/10.1145/3385412.3386007>.
- [49]A. S. Green, P. L. Lumsdaine, N. J. Ross, P. Selinger, and B. Valiron, Quipper: A Scalable Quantum Programming Language, in Proceedings of the 34th ACM SIGPLAN Conference on Programming Language Design and Implementation, 2013, pp. 333–342. DOI: 10.1145/2491956.2462177. [Online]. Available: <https://doi.org/10.1145/2491956.2462177>.

- [50] A. Javadi-Abhari, A. Faruque, M. J. Dousti, L. Svec, O. Catu, A. Chakrabarti, C.-F. Chiang, S. Vanderwilt, J. Black, F. T. Chong, M. Martonosi, M. Suchara, K. Brown, M. Pedram, and T. Brun, “Scaffold: Quantum Programming Language,” Princeton University, Tech. Rep. TR-934-12, Jun. 2012. [Online]. Available: <https://www.cs.princeton.edu/research/techreps/TR-934-12>.
- [51] A. JavadiAbhari, S. Patil, D. Kudrow, J. Heckey, A. Lvov, F. Chong, and M. Martonosi, ScaffCC: A Framework for Compilation and Analysis of Quantum Computing Programs, in Proceedings of the ACM International Conference on Computing Frontiers, Cagliari, Italy, May 2014.
- [52] M. Koch, A. Lawrence, K. Singhal, S. Sivarajah, and R. Duncan, GUPPY: Pythonic Quantum-Classical Programming, 2025. DOI: 10.48550/arXiv.2510.12582. arXiv: 2510.12582 [quant-ph]. [Online]. Available: <https://arxiv.org/abs/2510.12582>.
- [53] Quration Developers, Quration: Quantum Resource Estimation Toolchain, Quantum resource estimation toolchain, 2026. [Online]. Available: <https://github.com/quration/quration>.
- [54] M. P. Harrigan, T. Khattar, C. Yuan, A. Peduri, N. Yosri, F. D. Malone, R. Babbush, and N. C. Rubin, Expressing and Analyzing Quantum Algorithms with Qualtran, 2024. DOI: 10.48550/arXiv.2409.04643. arXiv: 2409.04643 [quant-ph]. [Online]. Available: <https://arxiv.org/abs/2409.04643>.
- [55] J. R. McClean, N. C. Rubin, K. J. Sung, I. D. Kivlichan, X. Bonet-Monroig, Y. Cao, C. Dai, E. S. Fried, C. Gidney, B. Gimby, P. Gokhale, T. Häner, T. Hardikar, V. Havlíček, O. Higgott, C. Huang, J. Izaac, Z. Jiang, X. Liu, S. McArdle, M. Neeley, T. O’Brien, B. O’Gorman, I. Ozfidan, M. D. Radin, J. Romero, N. P. D. Sawaya, B. Senjean, K. Setia, S. Sim, D. S. Steiger, M. Steudtner, Q. Sun, W. Sun, D. Wang, F. Zhang, and R. Babbush, OpenFermion: The Electronic Structure Package for Quantum Computers, *Quantum Science and Technology*, vol. 5, no. 3, 2020. DOI: 10.1088/2058-9565/ab8ebc.
- [56] I. Byun, J. Kim, D. Min, I. Nagaoka, K. Fukumitsu, I. Ishikawa, T. Tanimoto, M. Tanaka, K. Inoue, and J. Kim, XQsim: modeling cross-technology control processors for 10+ K qubit quantum computers, in Proceedings of the 49th Annual International Symposium on Computer Architecture, 2022, pp. 366–382.
- [57] Y. Suzuki, T. Sugiyama, T. Arai, W. Liao, K. Inoue, and T. Tanimoto, Q3DE: A fault-tolerant quantum computer architecture for multi-bit burst errors by cosmic rays, in 2022 55th IEEE/ACM International Symposium on Microarchitecture (MICRO), IEEE, 2022, pp. 1110–1125.
- [58] D. Litinski, A game of surface codes: Large-scale quantum computing with lattice surgery, *Quantum*, vol. 3, p. 128, 2019.
- [59] M. E. Beverland, P. Murali, M. Troyer, K. M. Svore, T. Hoeffler, V. Kliuchnikov, G. H. Low, M. Soeken, A. Sundaram, and A. Vaschillo, Assessing requirements to scale to practical quantum advantage, arXiv preprint arXiv:2211.07629, 2022.

- [60]A. G. Fowler and C. Gidney, Low overhead quantum computation using lattice surgery, arXiv preprint arXiv:1808.06709, 2018.
- [61]Y. Ueno, T. Saito, T. Tanimoto, Y. Suzuki, Y. Tabuchi, S. Tamate, and H. Nakamura, High-performance and scalable fault-tolerant quantum computation with lattice surgery on a 2.5 d architecture, arXiv preprint arXiv:2411.17519, 2024.
- [62]T. LeBlond, R. S. Bennink, J. G. Lietz, and C. M. Seck, Tisc: A surface code compiler and resource estimator for trapped-ion processors, in Proceedings of the SC'23 Workshops of The International Conference on High Performance Computing, Network, Storage, and Analysis, 2023, pp. 1426–1435.
- [63]S. Sunami, A. Goban, and H. Yamasaki, Transversal surface-code game powered by neutral atoms, arXiv preprint arXiv:2506.18979, 2025.
- [64]T. J. Yoder, E. Schoute, P. Rall, E. Pritchett, J. M. Gambetta, A. W. Cross, M. Carroll, and M. E. Beverland, Tour de gross: A modular quantum computer based on bivariate bicycle codes, arXiv preprint arXiv:2506.03094, 2025.
- [65]T. Kobori, Y. Suzuki, Y. Ueno, T. Tanimoto, S. Todo, and Y. Tokunaga, Lsqca: Resource-efficient load/store architecture for limited-scale fault-tolerant quantum computing, in 2025 IEEE International Symposium on High Performance Computer Architecture (HPCA), IEEE, 2025, pp. 304–320.
- [66]X. Fang, J. Ruan, S. Prabhu, A. Li, T. Humble, D. Tullsen, and Y. Ding, Bridging Superconducting and Neutral-Atom Platforms for Efficient Fault-Tolerant Quantum Architectures, arXiv preprint arXiv:2601.10144, 2026.
- [67]C. Gidney, Stim: a fast stabilizer circuit simulator, *Quantum*, vol. 5, p. 497, Jul. 2021. DOI: 10.22331/q-2021-07-06-497. [Online]. Available: <https://doi.org/10.22331/q-2021-07-06-497>.
- [68]O. Higgott, PyMatching: A Python Package for Decoding Quantum Codes with Minimum-Weight Perfect Matching, *ACM Transactions on Quantum Computing*, vol. 3, no. 3, pp. 1–16, 2022. DOI: 10.1145/3505637. [Online]. Available: <https://doi.org/10.1145/3505637>.
- [69]O. Higgott and C. Gidney, Sparse Blossom: Correcting a Million Errors per Core Second with Minimum-Weight Matching, *Quantum*, vol. 9, p. 1600, 2025. DOI: 10.22331/q-2025-01-20-1600. [Online]. Available: <https://doi.org/10.22331/q-2025-01-20-1600>.
- [70]J. Roffe, LDPC: Python tools for low density parity check codes, 2022. [Online]. Available: <https://github.com/quantumgizmos/ldpc/>.
- [71]QIR Alliance, QIR Specification, Also see <https://qir-alliance.org>, Nov. 2021. [Online]. Available: <https://github.com/qir-alliance/qir-spec>.
- [72]B. Coecke and R. Duncan, Interacting Quantum Observables: Categorical Algebra and Diagrammatics, *New Journal of Physics*, vol. 13, p. 043016, 2011. DOI: 10.1088/1367-2630/13/4/043016.

- [73]J. van de Wetering, ZX-calculus for the Working Quantum Computer Scientist, 2020. DOI: 10.48550/arXiv.2012.13966. arXiv: 2012.13966 [quant-ph]. [Online]. Available: <https://arxiv.org/abs/2012.13966>.
- [74]N. J. Ross and P. Selinger, Optimal ancilla-free Clifford+ T approximation of z-rotations. *Quantum Inf. Comput.*, vol. 16, no. 11&12, pp. 901–953, 2016.
- [75]A. Kissinger and J. van de Wetering, PyZX: Large Scale Automated Diagrammatic Reasoning, 2019. DOI: 10.48550/arXiv.1904.04735. arXiv: 1904.04735 [quant-ph]. [Online]. Available: <https://arxiv.org/abs/1904.04735>.
- [76]P. Selinger and N. J. Ross, gridsynth, 2018. [Online]. Available: <https://www.mathstat.dal.ca/~selinger/newsynth/>.
- [77]S. Yamamoto and N. Yoshioka, pygridsynth, 2024. [Online]. Available: <https://github.com/quantum-programming/pygridsynth>.
- [78]H. Bombín and M. A. Martin-Delgado, Quantum measurements and gates by code deformation, *Journal of Physics A: Mathematical and Theoretical*, vol. 42, no. 9, p. 095302, 2009.
- [79]D. Horsman, A. G. Fowler, S. Devitt, and R. V. Meter, Surface code quantum computing by lattice surgery, *New Journal of Physics*, vol. 14, no. 12, p. 123011, 2012.
- [80]D. Herr, F. Nori, and S. J. Devitt, Optimization of lattice surgery is NP-hard, *Npj quantum information*, vol. 3, no. 1, p. 35, 2017.
- [81]K. Hamada, Y. Suzuki, and Y. Tokunaga, Efficient and high-performance routing of lattice-surgery paths on three-dimensional lattice, arXiv preprint arXiv:2401.15829, 2024.
- [82]A. Molavi, A. Xu, S. Tannu, and A. Albarghouthi, Dependency-aware compilation for surface code quantum architectures, *Proceedings of the ACM on Programming Languages*, vol. 9, no. OOPSLA1, pp. 57–84, 2025.
- [83]G. W. Watkins and contributors, Lattice Surgery Compiler, Quantum error correction compiler for compiling logical circuits to lattice surgery operations, 2026. [Online]. Available: <https://github.com/latticesurgery-com/lattice-surgery-compiler>.
- [84]A. G. Fowler, Time-optimal quantum computation, arXiv preprint arXiv:1210.4626, 2012.
- [85]N. Yoshioka, T. Okubo, Y. Suzuki, Y. Koizumi, and W. Mizukami, Hunting for quantum-classical crossover in condensed matter problems, *npj Quantum Information*, vol. 10, no. 1, p. 45, 2024.
- [86]M. Reiher, N. Wiebe, K. M. Svore, D. Wecker, and M. Troyer, Elucidating reaction mechanisms on quantum computers, *Proceedings of the national academy of sciences*, vol. 114, no. 29, pp. 7555–7560, 2017.
- [87]J. Lee, D. W. Berry, C. Gidney, W. J. Huggins, J. R. McClean, N. Wiebe, and R. Babbush, Even more efficient quantum computations of chemistry through tensor hypercontraction, *PRX quantum*, vol. 2, no. 3, p. 030305, 2021.

- [88]I. D. Kivlichan, C. Gidney, D. W. Berry, N. Wiebe, J. McClean, W. Sun, Z. Jiang, N. Rubin, A. Fowler, A. Aspuru-Guzik, et al., Improved fault-tolerant quantum simulation of condensed-phase correlated electrons via trotterization, *Quantum*, vol. 4, p. 296, 2020.
- [89]C. Gidney, How to factor 2048 bit RSA integers with less than a million noisy qubits, arXiv preprint arXiv:2505.15917, 2025.
- [90]W. van Dam, M. Mykhailova, and M. Soeken, Using Azure Quantum Resource Estimator for Assessing Performance of Fault Tolerant Quantum Computation, New York, NY, USA: Association for Computing Machinery, 2023, ISBN: 9798400707858. DOI: 10.1145/3624062.3624211. [Online]. Available: <https://doi.org/10.1145/3624062.3624211>.
- [91]Zapata Computing, Bench-Q, Resource estimation for fault-tolerant quantum computation, 2026. [Online]. Available: <https://github.com/zapatacomputing/benchq>.
- [92]PsiQuantum, Corp., Bartiq, Symbolic quantum resource estimation compilation, 2026. [Online]. Available: <https://github.com/PsiQ/bartiq>.
- [93]H. Bombin and M. A. Martin-Delgado, Topological quantum distillation, *Physical review letters*, vol. 97, no. 18, p. 180501, 2006.
- [94]H. Bombin, Transversal gates and error propagation in 3D topological codes, arXiv preprint arXiv:1810.09575, 2018.
- [95]A. Kubica and M. E. Beverland, Universal transversal gates with color codes: A simplified approach, *Physical Review A*, vol. 91, no. 3, p. 032330, 2015.
- [96]S. Bravyi, A. W. Cross, J. M. Gambetta, D. Maslov, P. Rall, and T. J. Yoder, High-threshold and low-overhead fault-tolerant quantum memory, *Nature*, vol. 627, no. 8005, pp. 778–782, 2024.
- [97]J.-P. Tillich and G. Zémor, Quantum LDPC codes with positive rate and minimum distance proportional to the square root of the blocklength, *IEEE Transactions on Information Theory*, vol. 60, no. 2, pp. 1193–1202, 2013.
- [98]Q. Xu, J. P. Bonilla Ataides, C. A. Pattison, N. Raveendran, D. Bluvstein, J. Wurtz, B. Vasić, M. D. Lukin, L. Jiang, and H. Zhou, Constant-overhead fault-tolerant quantum computation with reconfigurable atom arrays, *Nature Physics*, vol. 20, no. 7, pp. 1084–1090, 2024.
- [99]C. Gidney, M. Newman, P. Brooks, and C. Jones, Yoked surface codes, *Nature Communications*, vol. 16, no. 1, p. 4498, 2025.
- [100]H. Goto, High-performance fault-tolerant quantum computing with many-hypercube codes, *Science Advances*, vol. 10, no. 36, eadp6388, 2024.
- [101]H. Yamasaki and M. Koashi, Time-efficient constant-space-overhead fault-tolerant quantum computation, *Nature Physics*, vol. 20, no. 2, pp. 247–253, 2024.

様式第 2 1

学 会 等 発 表 実 績

委託業務題目「HPCI 整備計画調査研究 量子等ハイブリッド (連携) 運用環境調査研究」

機関名 東北大学

1. 学会等における口頭・ポスター発表

発表した成果（発表題目、口頭・ポスター発表の別）	発表者氏名	発表した場所（学会等名）	発表した時期	国内・外の別
Feasibility study of Quantum-Hybrid Operational Environments（口頭発表）	Kazuhiko Komatsu	SC25 Booth Presentation	2025年11月18日	国外
位相コントラスト CT のための画像再構成の高速化（口頭発表）	小松 一彦, 高山 裕貴	第 39 回日本放射光学会年会・放射光科学合同シンポジウム	2026年1月9日	国内
HPCI 整備計画調査研究 量子等ハイブリッド (連携) 運用環境による次世代計算基盤環境の構築を目指して（口頭発表）	小松 一彦, 高木 崇志, 佐藤 雅之, 伊達進, 片桐 孝洋, 百瀬 真太郎, 高野 了成, 深見 俊輔, 谷本 輝夫, 永山 翔太, 鈴木 泰成	北海道大学（第 203 回ハイパフォーマンスコンピューティング・第 17 回量子ソフトウェア合同研究発表会）	2026年3月16日	国内
単一の相分布スナップショットからの相変化時系列推定：鋼材腐食から素麺の食感変化まで（口頭発表）	高山 裕貴	東京科学大学・オンライン（第 73 回応用物理学会春季学術講演会 シンポジウム：時空間可換性が拓く非平衡材料の新展開）	2026年3月17日	国内

機関名 名古屋大学

1. 学会等における口頭・ポスター発表

発表した成果（発表題目、口頭・ポスター発表の別）	発表者氏名	発表した場所（学会等名）	発表した時期	国内・外の別
Feasibility Studies on Quantum and Other Hybrid (Collaborative) Operational Environment (ポスター)	Takahiro Kata-giri	米国ミズーリ州セントルイス（国際会議 SC25 展示ブース）	2025年11月17日	国外
Performance Evaluation of SVM with Multiple Quantum-inspired Annealers (ポスター)	Naoya Mizuki, Takahiro Kata-giri, Daichi Mukunoki, Tet-suya Hoshino	大阪市（国際会議 SCA/HPCAsia2026）	2026年1月27日	国内
量子アニーリング × 自動チューニング：性能パラメタ最適化手法の提案 (口頭発表)	片桐孝洋	山梨大学（AT 研究会 ATOS34）	2026年2月27日	国内
Automatic Generation of HPC Codes: Current Achievements and Quantum-Oriented Future Directions (口頭発表)	Takahiro Kata-giri	国立台湾大学（国際ワークショップ ATAT26）	2026年3月20日	国外

機関名 九州大学

1. 学会等における口頭・ポスター発表

発表した成果（発表題目、口頭・ポスター発表の別）	発表者氏名	発表した場所（学会等名）	発表した時期	国内・外の別
超伝導量子コンピュータにおける複数ゲート並列実行時のエラー特性を考慮したゲートスケジューラ的设计（口頭発表）	高山 航輔, 谷本輝夫, 廣川 真男 (九大)	情報処理学会研究報告, Vol.2026-QS-17 No.39, pp.1-9	2026年3月17日	国内

機関名 理化学研究所

1. 学会等における口頭・ポスター発表

発表した成果（発表題目、口頭・ポスター発表の別）	発表者氏名	発表した場所（学会等名）	発表した時期	国内・外の別
表面符号上の Transversal CNOT ゲートを対象とした window decoder の検討（口頭発表）	猪狩 翔太, 平井優我, 上野 洋典, 鈴木 泰成, 山本直樹, 中村 宏	第 203 回ハイパフォーマンズコンピューティング・第 17 回量子ソフトウェア合同研究発表会	2026年3月18日	国内
Design and Development of Fault-Tolerant Quantum Computers（口頭発表）	Yasunari Suzuki	Q-LEAP Workshop: Towards Building a Large-Scale Quantum Computer	2026年2月19日	国内
Efficient FTQC designs based on properties of quantum programs（口頭発表）	Yasunari Suzuki	Quantum Error Correction Theory Workshop for Young Researchers	2025年12月18日	国内
誤り耐性量子計算機的设计と開発（口頭発表）	鈴木 泰成	日本量子医科学会 第5回学術会議	2025年12月12日	国内
拡張性の高い誤り体制量子計算機の開発（口頭発表）	鈴木 泰成	応用物理学会・量子エレクトロニクス研究会 量子コンピュータ研究の最前線～ハードウェアから応用・連携技術まで～	2025年11月14日	国内

---

機関名 産業技術総合研究所

1. 学会等における口頭・ポスター発表

発表した成果（発表題目、口頭・ポスター発表の別）	発表者氏名	発表した場所（学会等名）	発表した時期	国内・外の別
ABCI-Q: AI・HPC・量子が融合する次世代ハイブリッドコンピューティング基盤（口頭発表）	高野 了成	PC クラスタシンポジウム 2025	2025年12月9日	国内