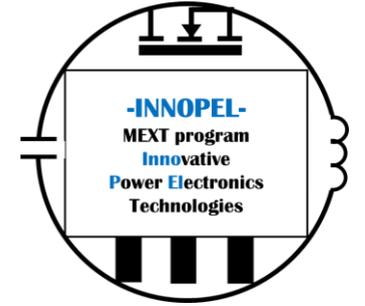


革新的パワーエレクトロニクス創出基盤技術研究開発事業

Innovative Power Electronics Technologies (INNOPEL)



文部科学省



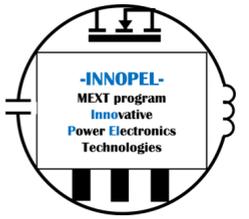
高効率SST実現に向けた回路・制御・実装技術

和田圭二・太田涼介（東京都立大学）

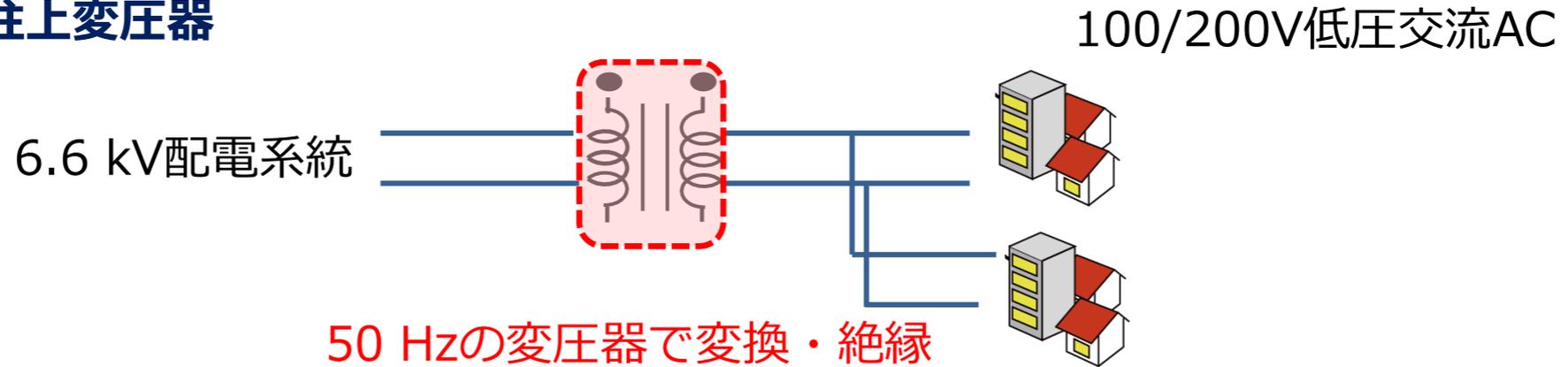
赤津観・小原秀嶺・辻隆男（横浜国立大学）

磯部高範（筑波大学） 萬年智介（宇都宮大学）

SST (Solid State Transformer): 電子トランス

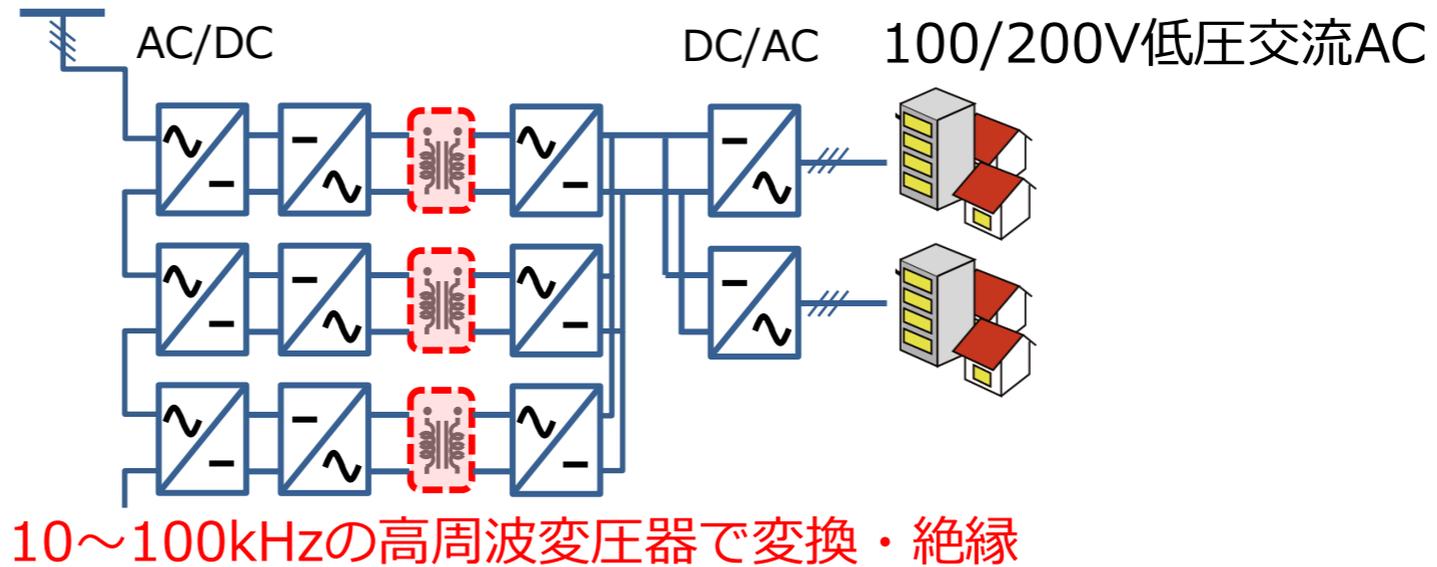


現在の柱上変圧器



SST : 電子トランス

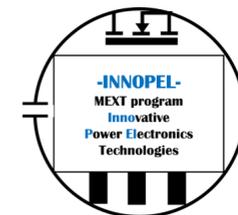
6.6 kV配電系統



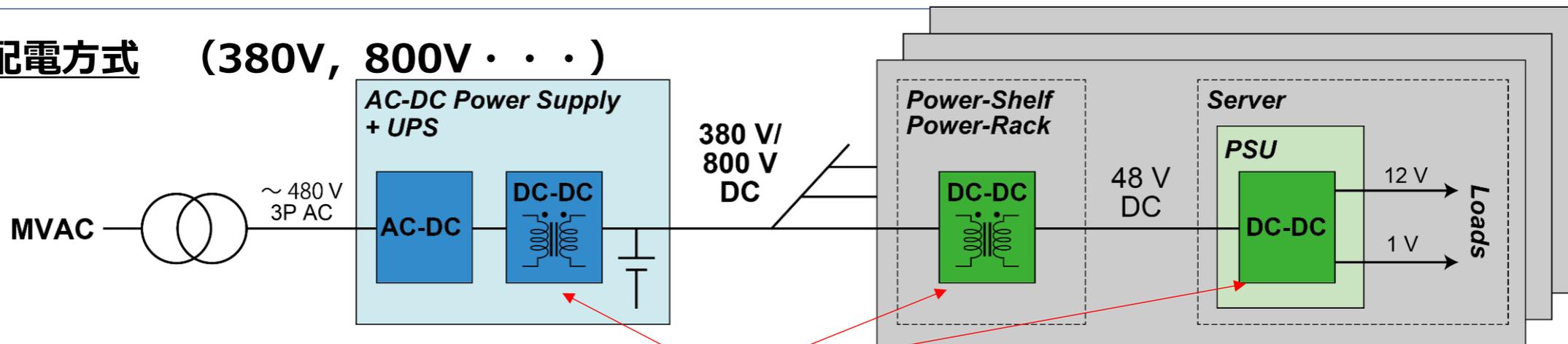
AIデータセンター用電源システム



文部科学省



高圧DC配電方式 (380V, 800V・・・)

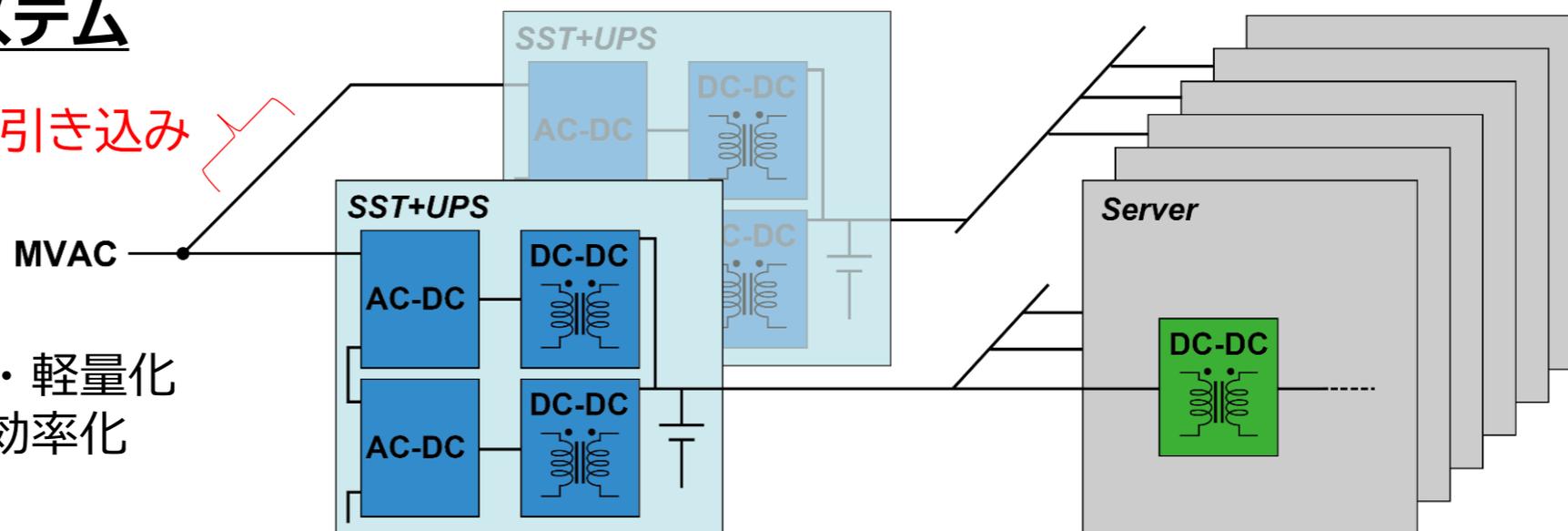


絶縁形DC-DC変換が必要

- 耐圧600 V以上のパワーデバイス
- ソフトスイッチング

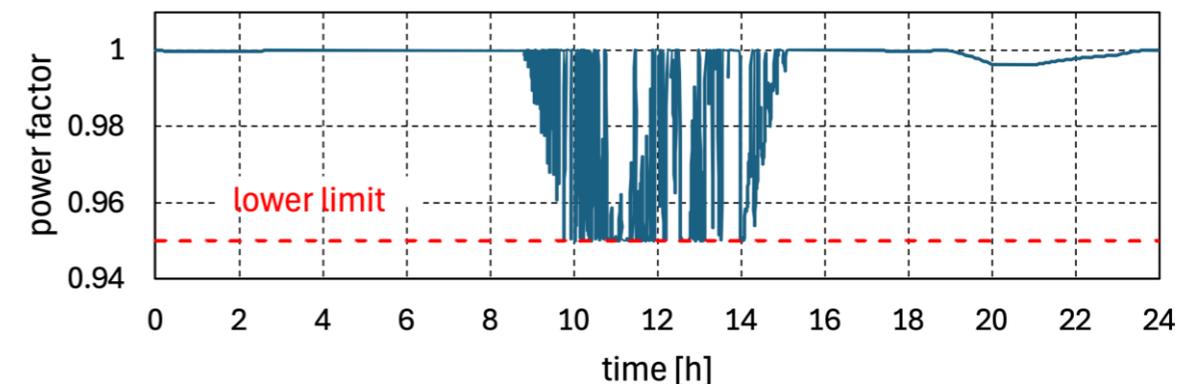
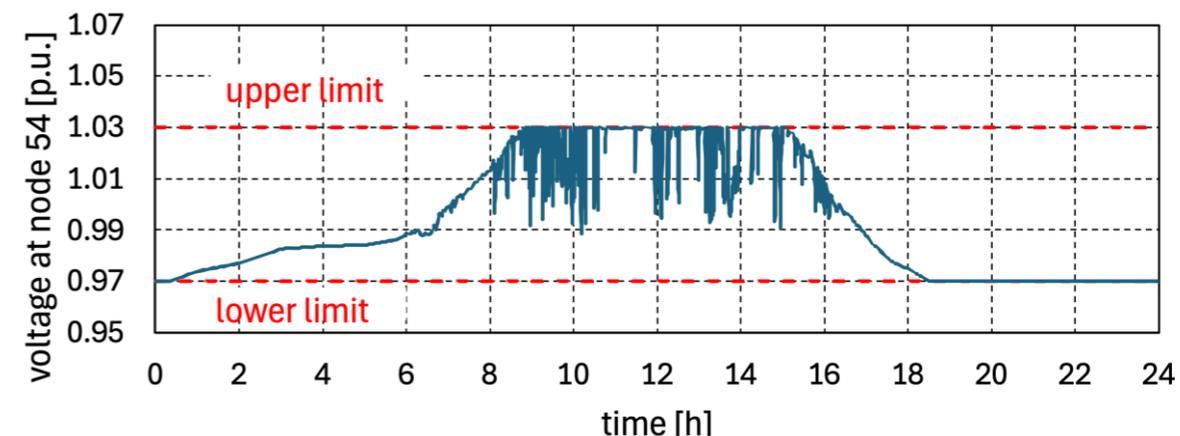
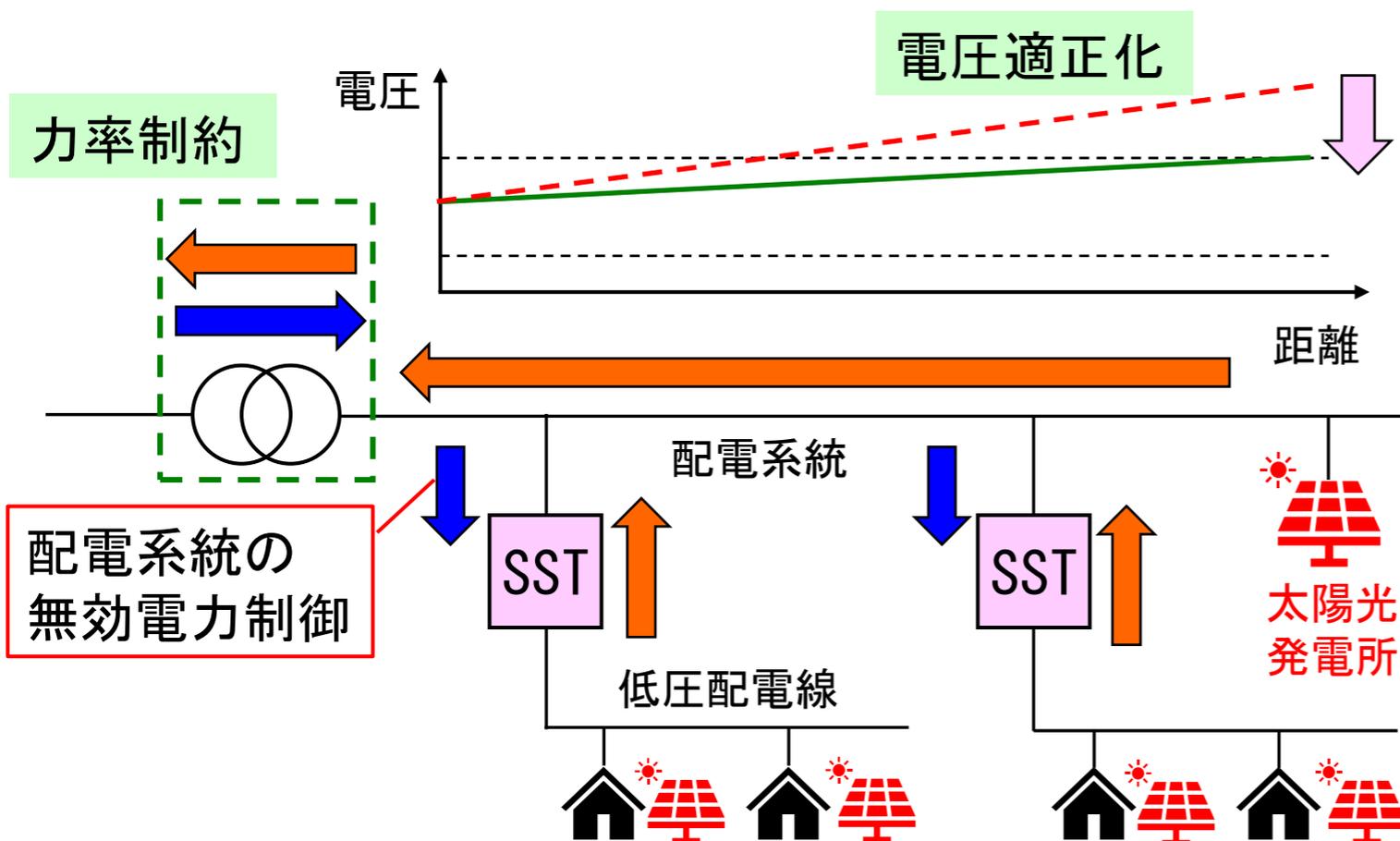
SSTを利用した電源システム

高圧交流の引き込み



- 電源システムの小型化・軽量化
- 変換段数削減による高効率化

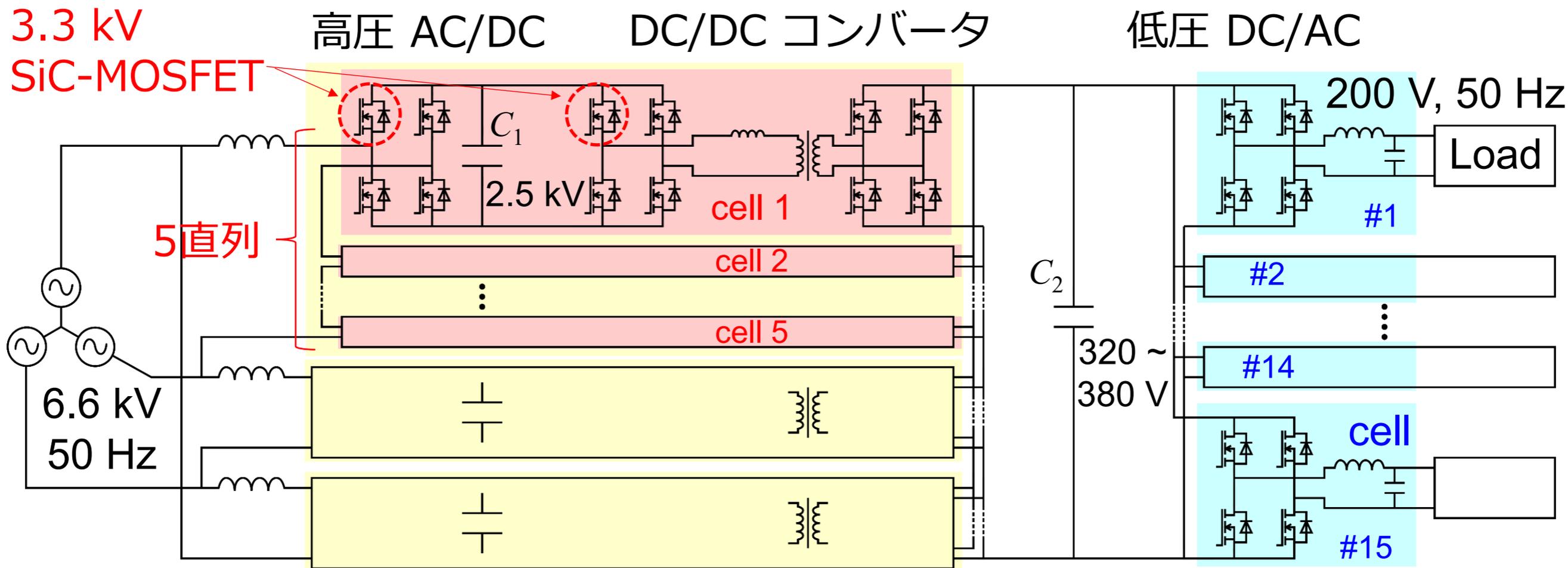
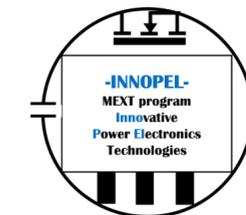
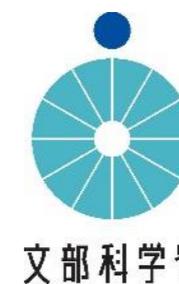
PV大量導入時の配電系統の電圧制御



昼間の電圧上昇を抑制しつつ、無効電力の吸収・注入の組み合わせで力率低下を回避

SSTの配電系統適用による、太陽光発電受入容量の拡大

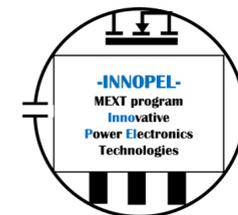
6.6kV→ 200V, 50 kVA SSTのシステム構成



- ✓ 3.3 kV SiC-MOSFETによるMMCコンバータ
- ✓ 定格3.3 kVAのセル15台で50 kVAを実現

- ✓ 各セルの脈動する瞬時電力を制御し、平滑コンデンサの小型化を指向

高効率 SSTの社会実装に向けた研究課題



1. 電力変換器の高効率・高信頼化

- 放熱
- 耐圧
- 保守・信頼性
- 長寿命化

回路・パワーデバイス・磁性
部品・コンデンサ・制御技術
を統合

2. SST多機能化の効果検証

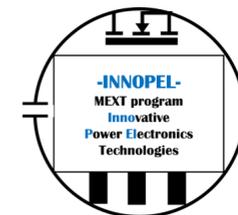
- 系統側
- 需要家側
- 複数台SST連携動作

回路・制御技術・電力系統技術
を統合

電力変換器の高効率・高信頼化の研究成果



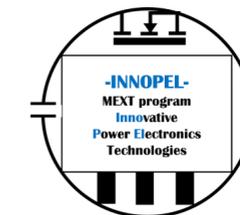
文部科学省



1. DC-DC(DAB)コンバータ高効率化を実現するためのソフトスイッチング領域拡大と
パワーデバイスへの要求事項の明確化
2. 高圧側コンデンサの体積低減と保守信頼性向上を実現可能な制御技術
3. DABコンバータ用高周波変圧器の磁気デバイスへの要求事項の明確化
4. システム全体の絶縁設計を考慮したSST実装を行い
5. 240個（16個×5台×3相）パワーデバイスを同時に制御可能なSST用制御装置開発
6. 高圧側系統連系インダクタの小型化実装技術

6.6 kV 配電システムを模擬した実機検証により研究成果の有用性の実証

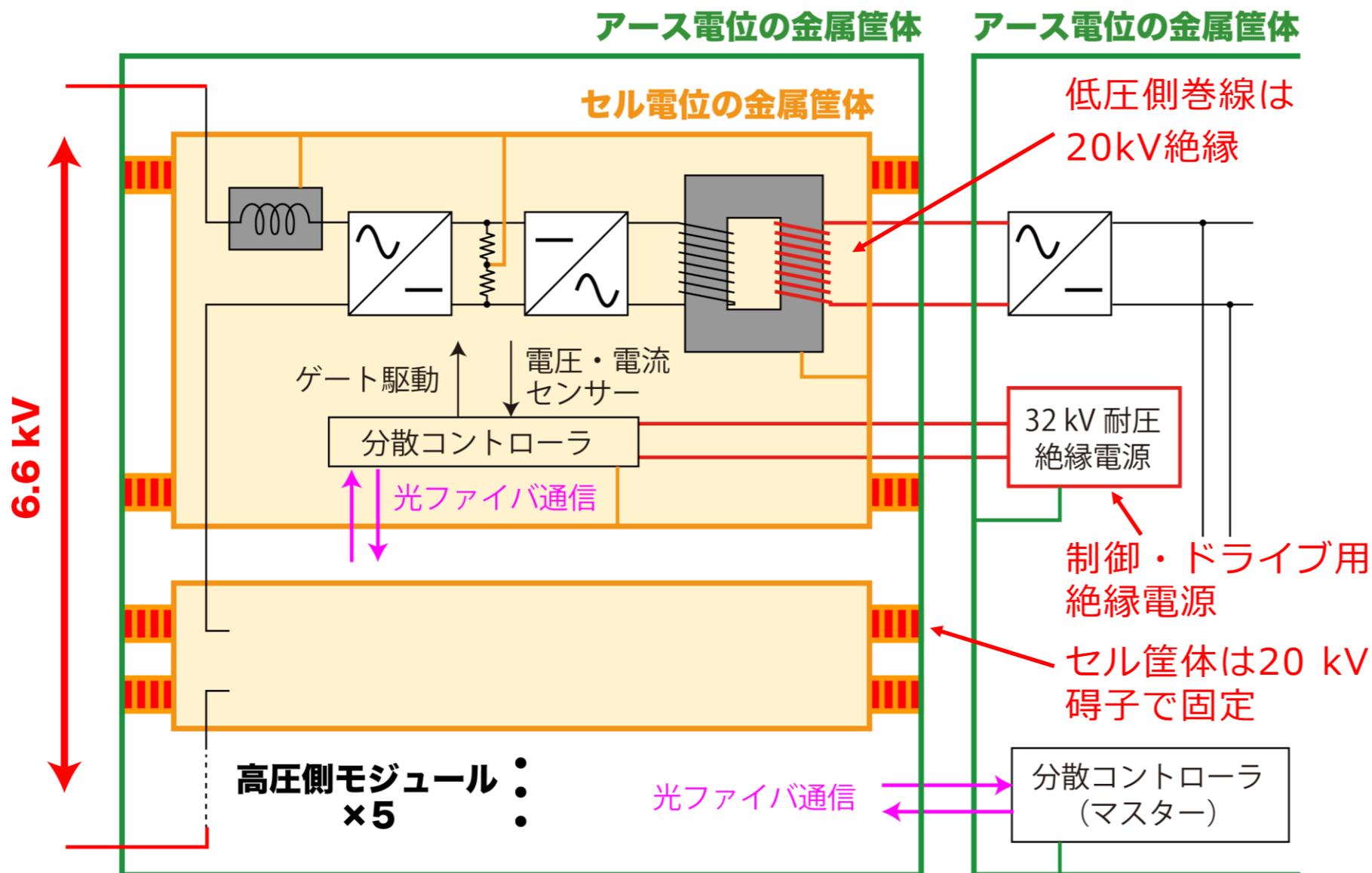
SST多機能化に関する研究成果



7. 6.6 kV配電システムのシミュレーションモデルにSSTを複数台配置し，動作解析モデルの構築
8. 6.6kV 配電システム内に太陽光発電が多数台配置された場合のSST制御手法および最適配置手法
9. 配電システムの1線地絡・2線短絡および負荷側短絡時におけるSSTの制御手法

6.6 kV 配電システムに接続することを前提としたシミュレーションにより有用性の実証

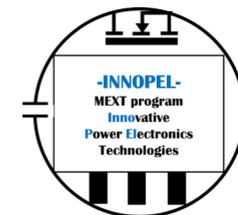
絶縁を考慮したSST実装



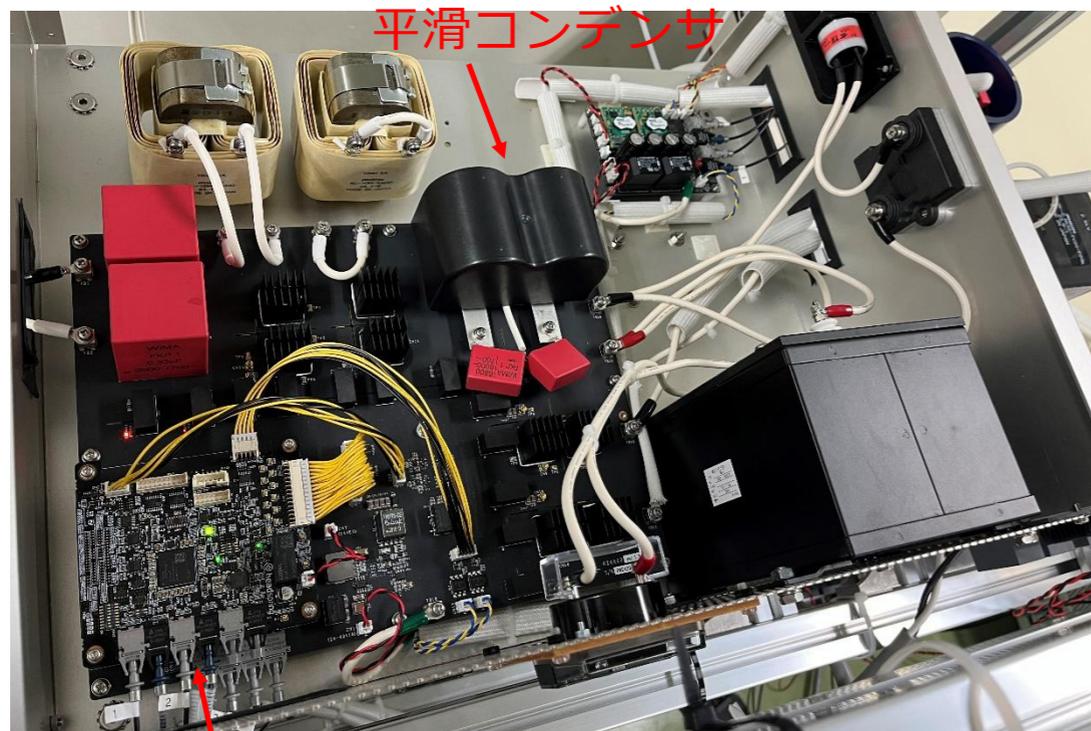
- セル電位に接続した金属筐体を設け、各部品を配置
- セル電位上に分散コントローラ、外部のマスターと光通信
- 磁気部品、ゲートドライブ、センサーなどの部品に必要な対地電圧を低減でき、小型化
- 産業用で広く使われている部品を利用可能



文部科学省



実電圧スケールSST試作装置による評価



平滑コンデンサ

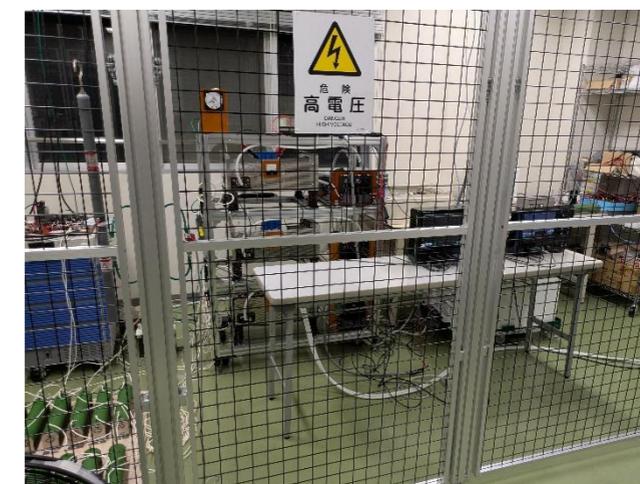
モジュール内部

分散コントローラ

- 6.6 kV 印加可能な実験装置構築
- 大学で安全に評価を実施する環境を構築
- 絶縁設計・EMIに関する評価を実施中



試作装置全体 (3セル直列時)



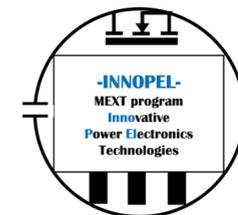
安全装置を含めた外観



測定環境



文部科学省

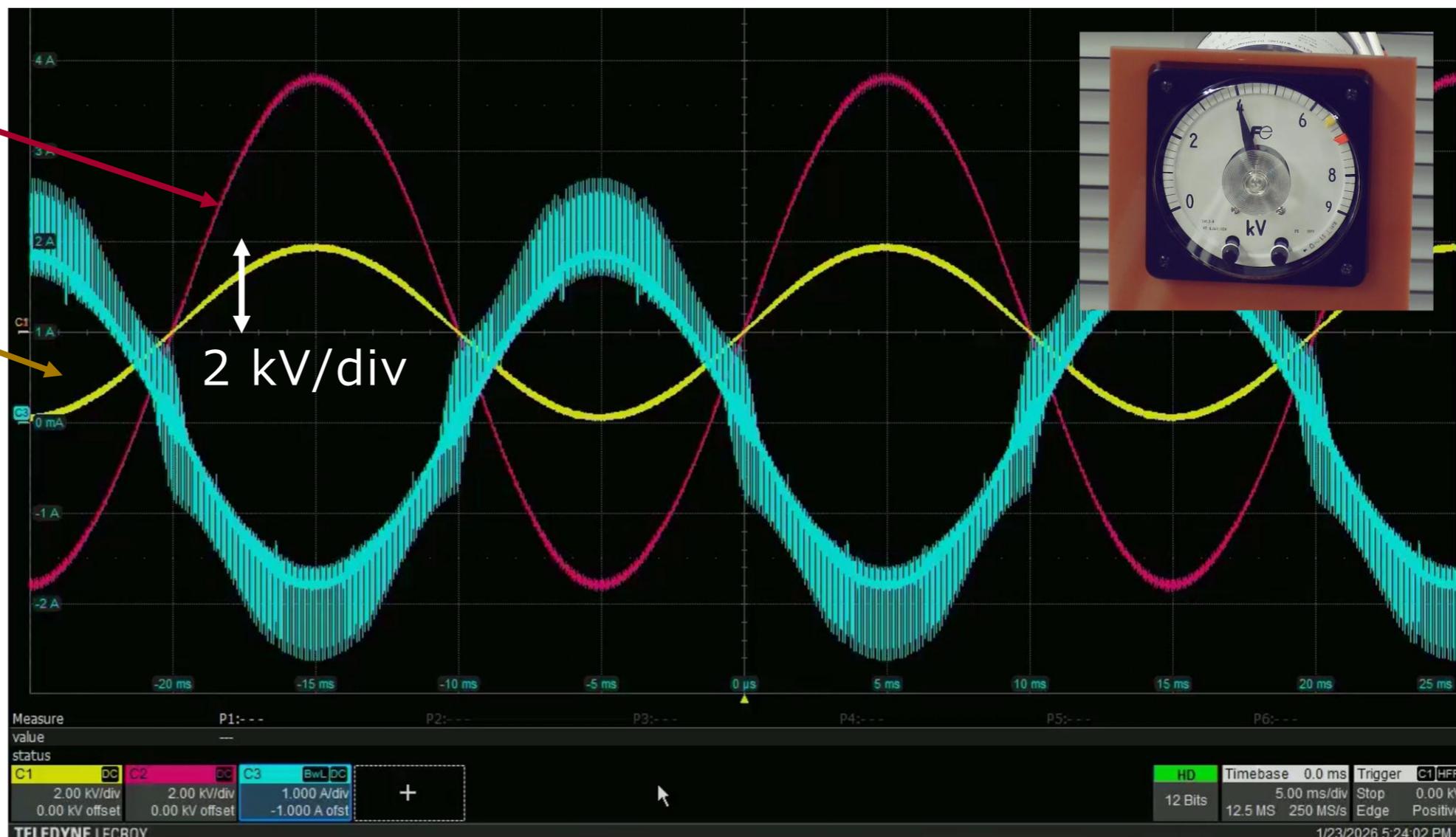


実電圧スケールSST試作装置による評価

全交流出力電圧
(3セル)

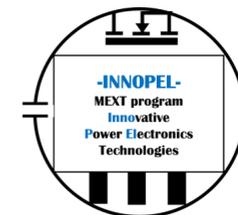
1セル出力電圧

- 低圧→高圧交流・3セルでの運転例
- 絶縁設計の検証
- EMI対策の評価

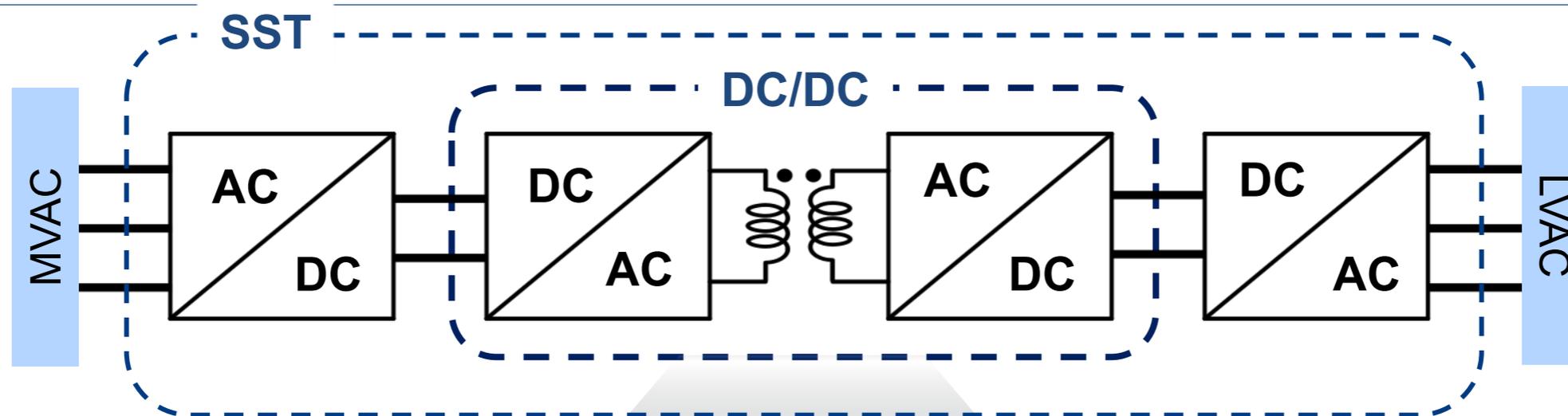




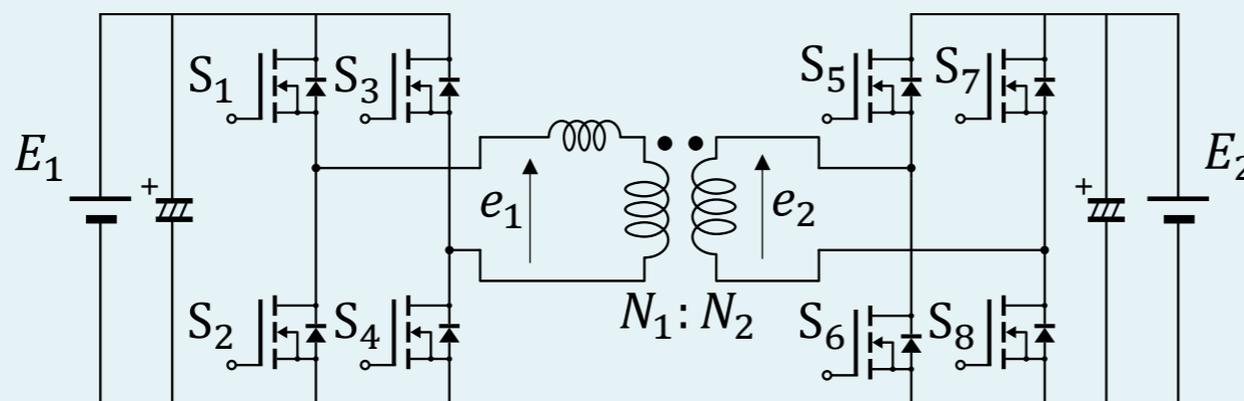
文部科学省



双方向絶縁DC/DC (DABコンバータ)



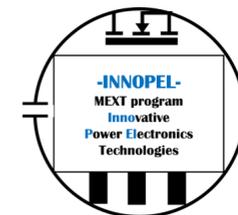
Dual Active Bridge (DAB)



- 双方向電力変換能力
- 絶縁機能
- 変換電力の制御が容易
- 次世代半導体デバイスの採用

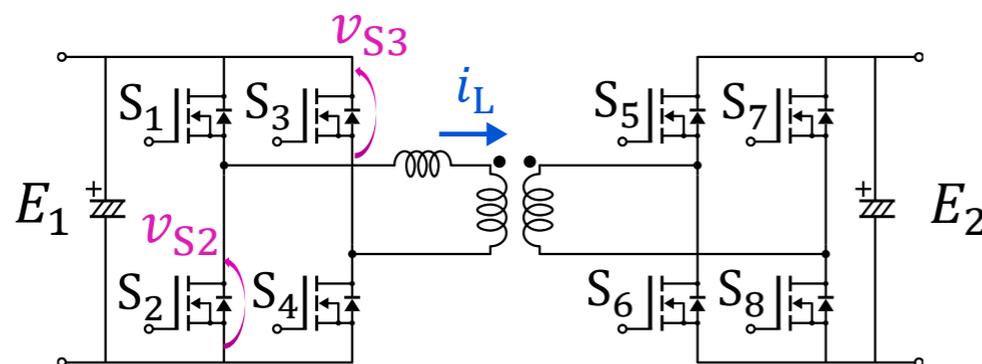
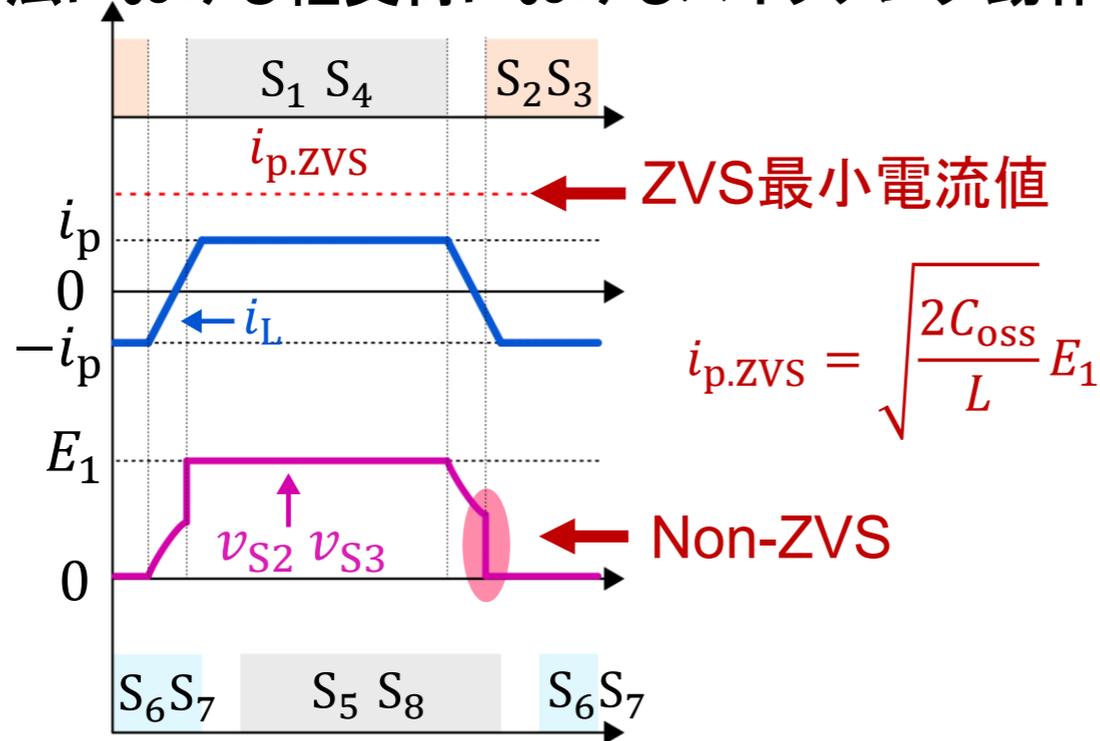


文部科学省

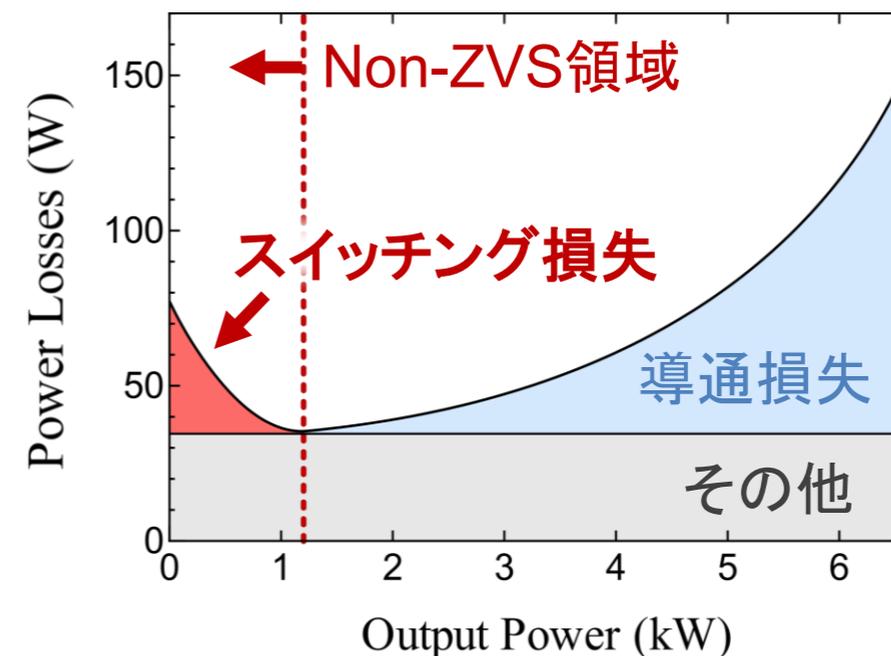


軽負荷におけるスイッチング損失の影響

従来手法における軽負荷におけるスイッチング動作



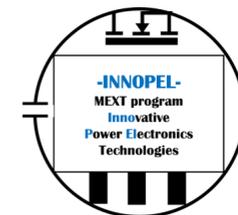
3.3 kV SiC-MOSFET使用時の電力損失特性(@ 20 kHz)



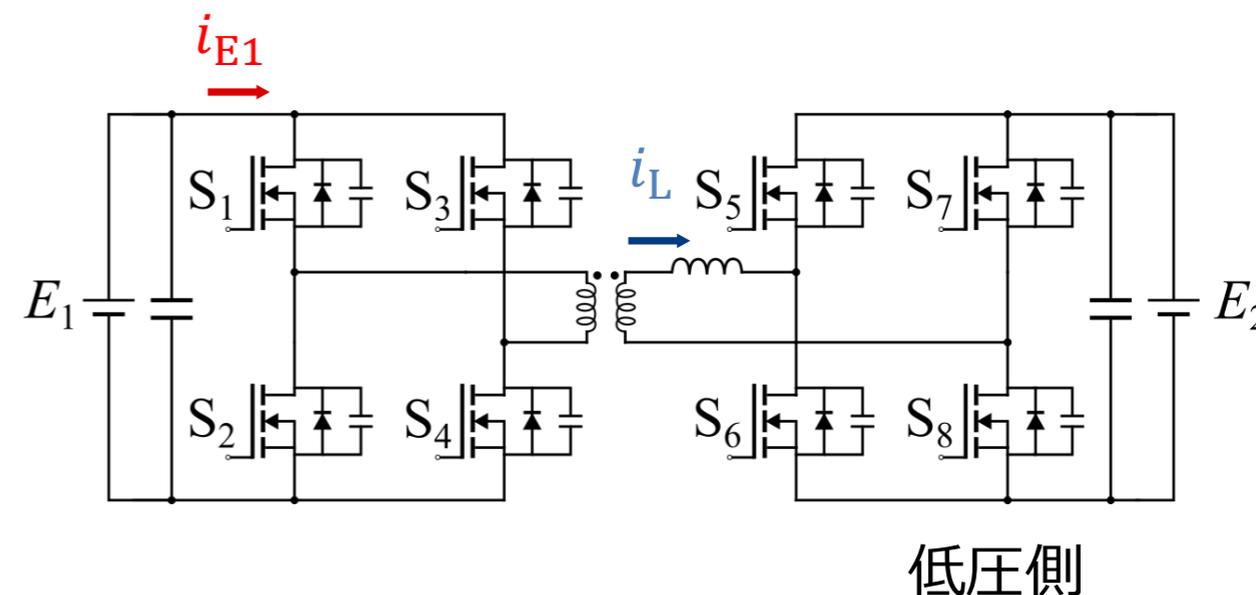
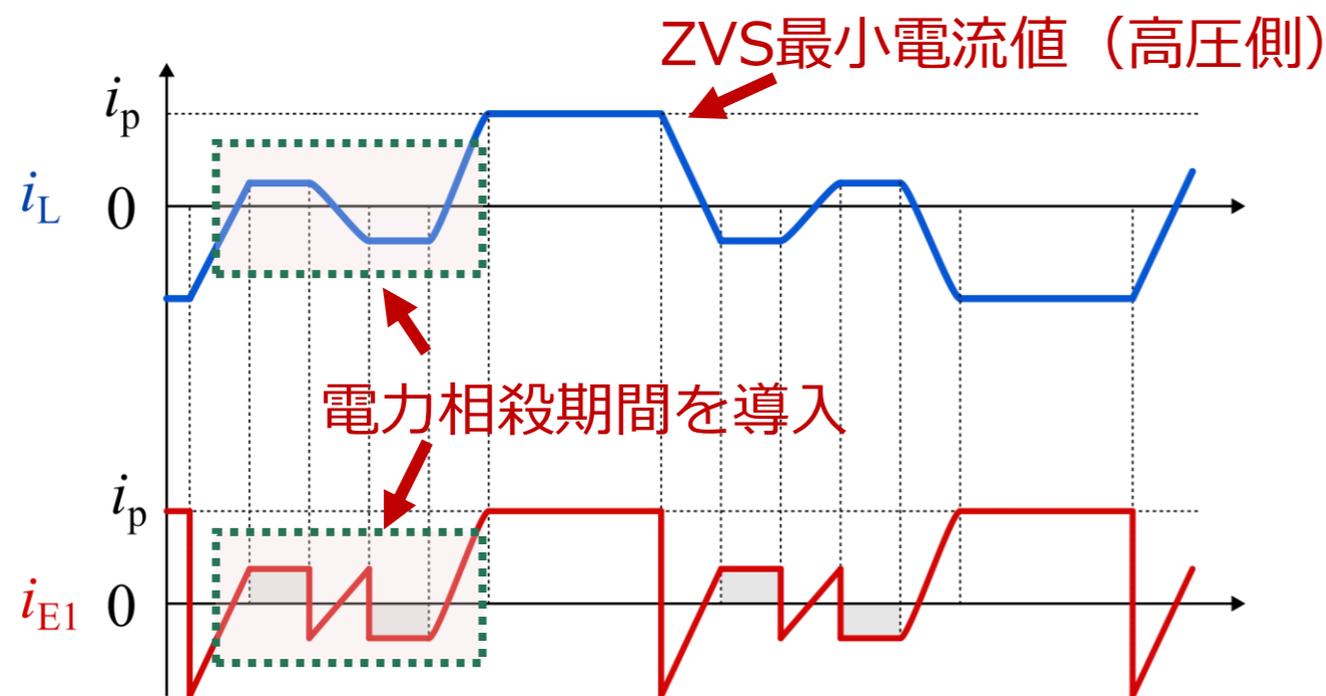
- 軽負荷での損失増加が顕著
- 高電圧の変換器では寄生容量由来のスイッチング損失が無視できない



文部科学省



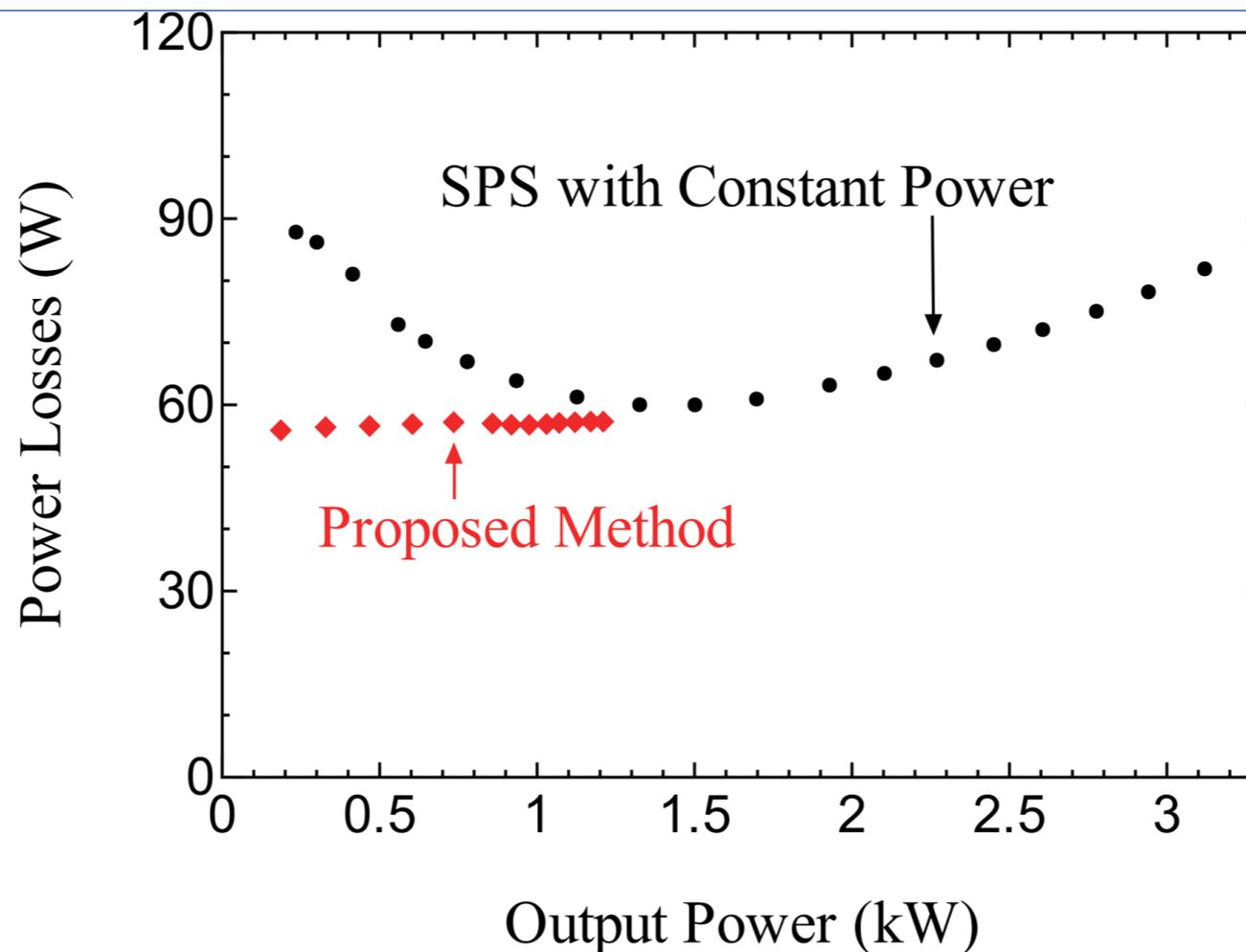
SSTに最適な軽負荷ZVSの実現方法の開発



- 従来の変調方式 (SPS) に逆方向電力となるモードを挿入し順方向電力の一部を相殺, 軽負荷運転を実現
- ZVSに必要な電流値が小さい低圧側ブリッジのスイッチングで電力相殺期間を実現することで電流低減
- すべてのスイッチング (高圧側も低圧側も) はZVSでゼロ負荷まで実現可能
- 繰り返し周波数はSPSと同一にでき, 負荷変動で騒音が出ない

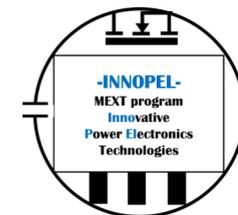
単相交流に起因する脈動電力を変換するSSTに最適な軽負荷ZVS実現方法を開発し検証

DABコンバータ損失測定結果



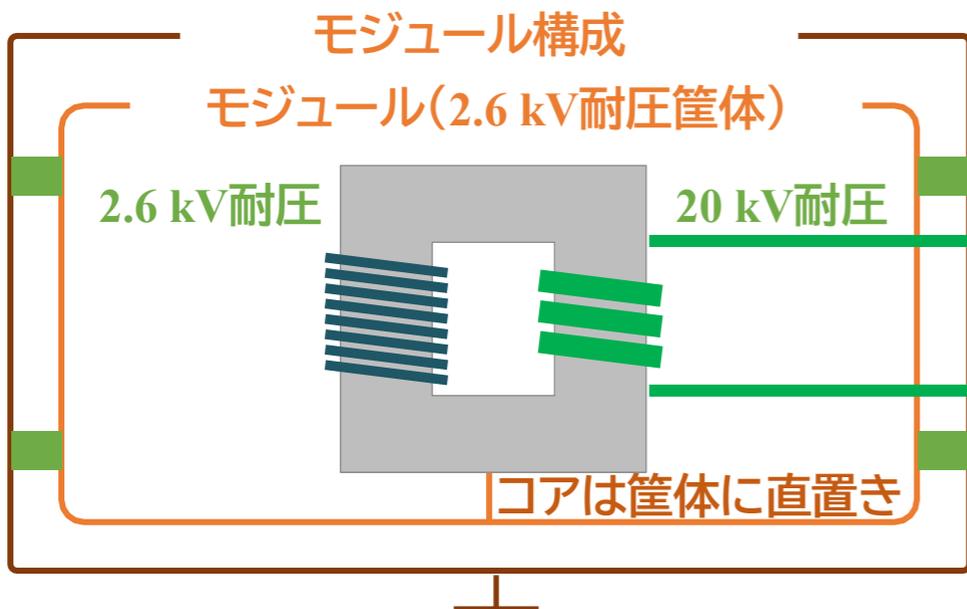
- 従来スイッチング(SPC)では定格の40%以下の電力からスイッチング損失が増加
- 提案制御により軽負荷時の損失が低減できたことを確認

DAB用高周波変圧器



文部科学省

□ SSTモジュール実装構造と変圧器設計の統合



一次側の耐圧を下げて巻線選定の自由度の向上

Winding	Primary side	Secondary side
Withstand Voltage [kV] (First Prototype)	20	1.0
Withstand Voltage [kV] (Secondary Prototype)	2.6	20

- 二次側の巻数が少ないために、20 kVの絶縁被膜を有する電線を採用することが可能
- 磁性材料（フェライト・ナノ結晶）を想定したトランス設計の実施
- 1次-2次間の寄生キャパシタンス低減技術
- ソフトスイッチング条件を考慮して変圧器の漏れインダクタンスを設計

試作トランス



文部科学省

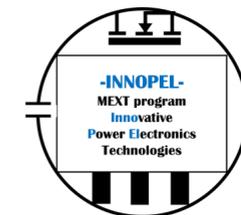
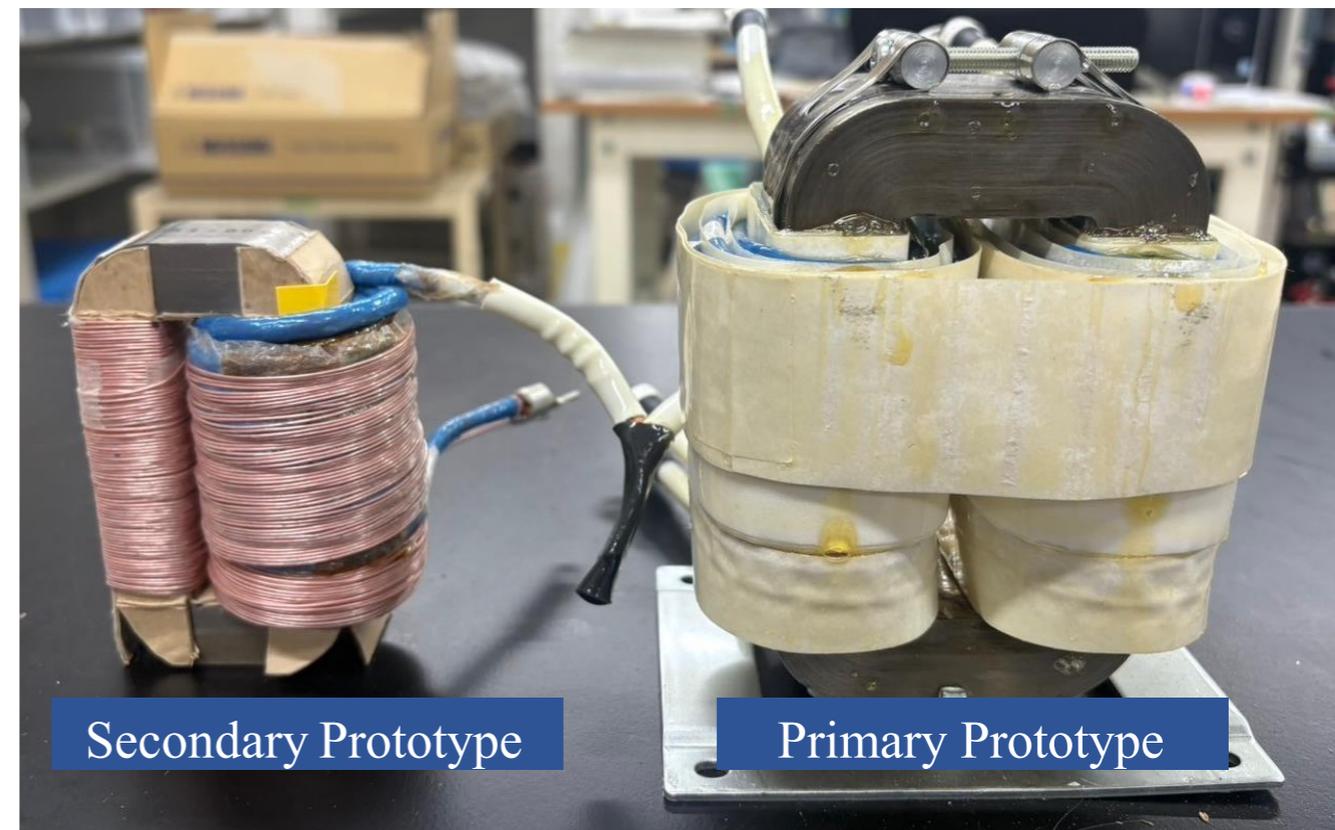
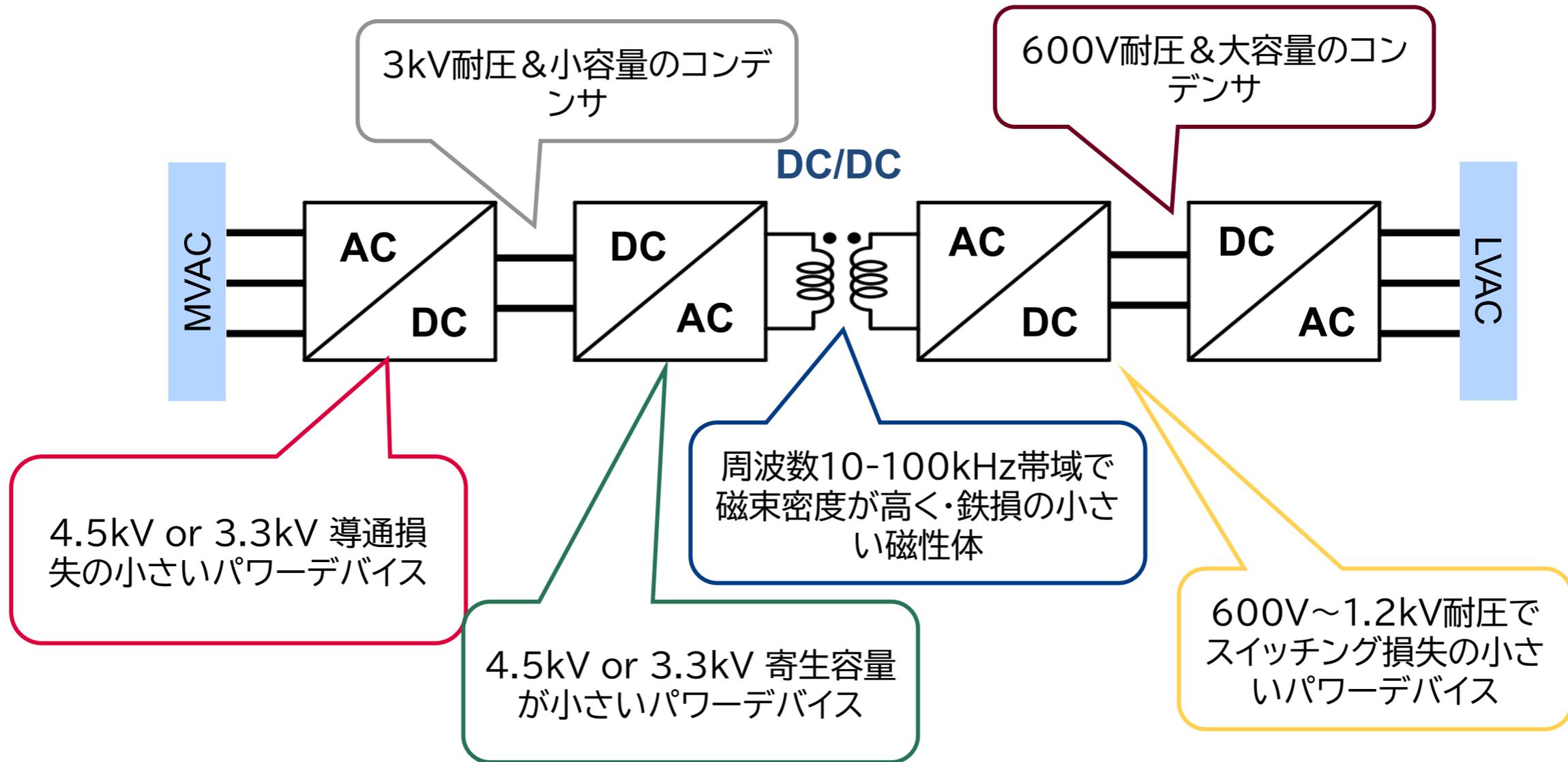


Table. 一次試作品と二次試作の比較(ナノ結晶材料)

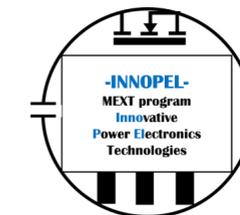
Parameters	Primary Prototype	Secondary Prototype
Core Volume	435 cm ³	90.8 cm ³
Iron loss	261 W	11.7 W
Copper loss	0.239 W	6.27 W
Efficiency	79.5 %	99.4 %



各部に要求する仕様



社会実装に向けた高効率SSTの実現



文部科学省

1. 電力変換器の高効率・高信頼化

□ 放熱

□ 耐圧

□ 保守・信頼性

□ 長寿命化

□ 回路・パワーデバイス・磁性部品・コンデンサ・制御技術・電力系統の各技術を統合した開発の実施

2. SST多機能化の効果検証

□ 系統側

□ 需要家側

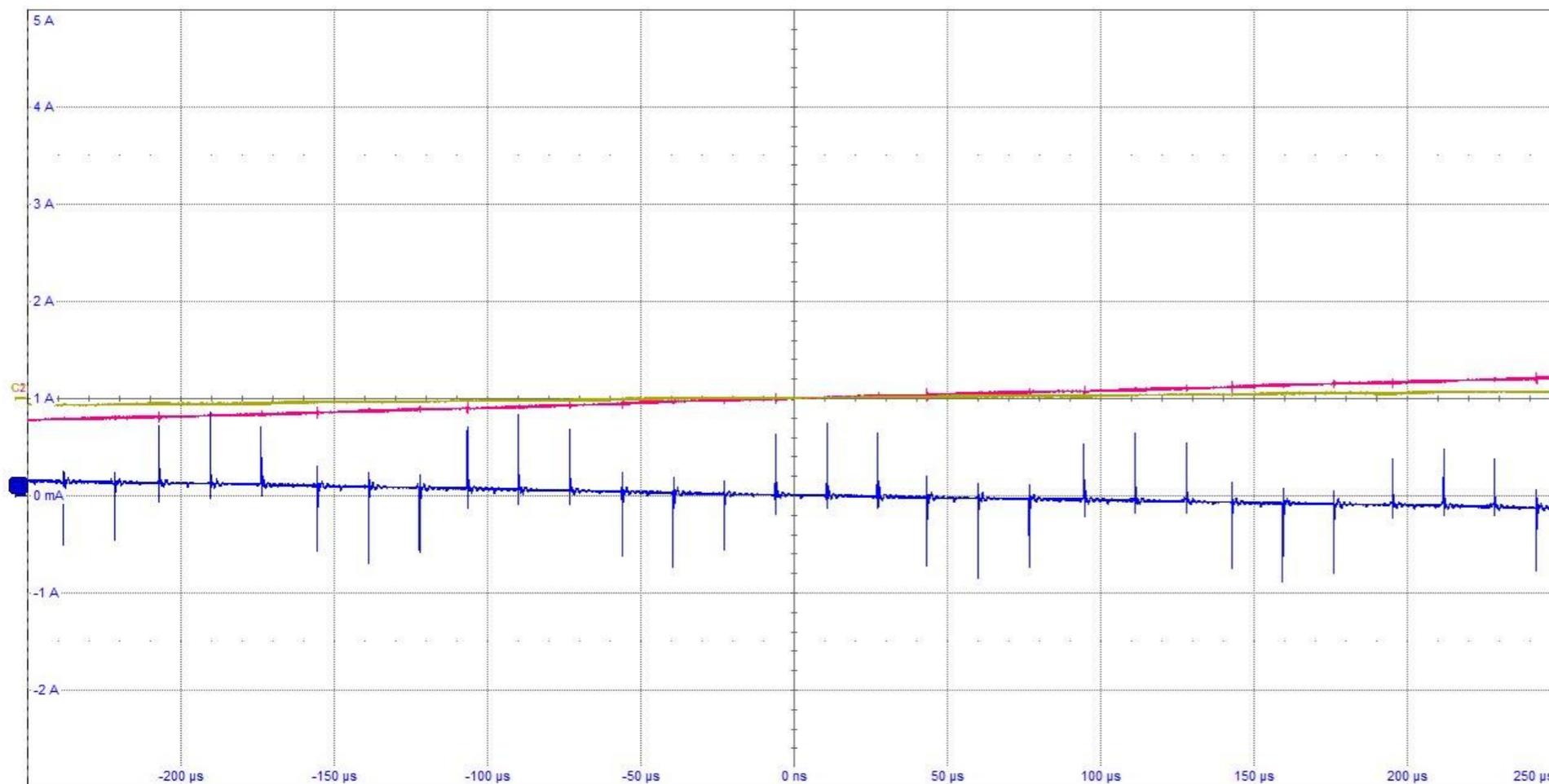
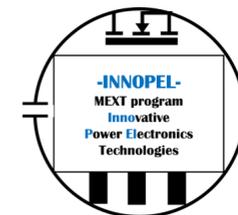
□ 複数台SST連携動作

□ SSTの高効率化と高信頼化を同時に実現して社会実装するためには一体開発が必要

実電圧スケールSST試作装置による評価 (予備)



文部科学省



出力電流

Measure	P1:---	P2:---	P3:---	P4:---	P5:---	P6:---
value	---	---	---	---	---	---
status	---	---	---	---	---	---
C1	DC	C2	DC	C3	DC	C4
2.00 kV/div	2.00 kV/div	1.000 A/div				
0.00 kV offset	0.00 kV offset	-1.000 A ofst				

HD	Timebase	0 μs	Trigger	C1	HFR
12 Bits	50.0 μs/div	Stop	0.00 kV		
	1.25 MS	2.5 GS/s	Edge	Positive	