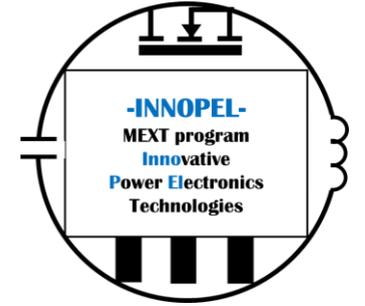


革新的パワーエレクトロニクス創出基盤技術研究開発事業

Innovative Power Electronics Technologies (INNOPEL)



文部科学省



革新パワーデバイス応用に向けた

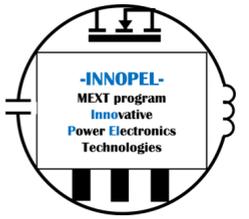
ダイヤモンド半導体基盤技術検証

2026/01/27 14:05-14:25

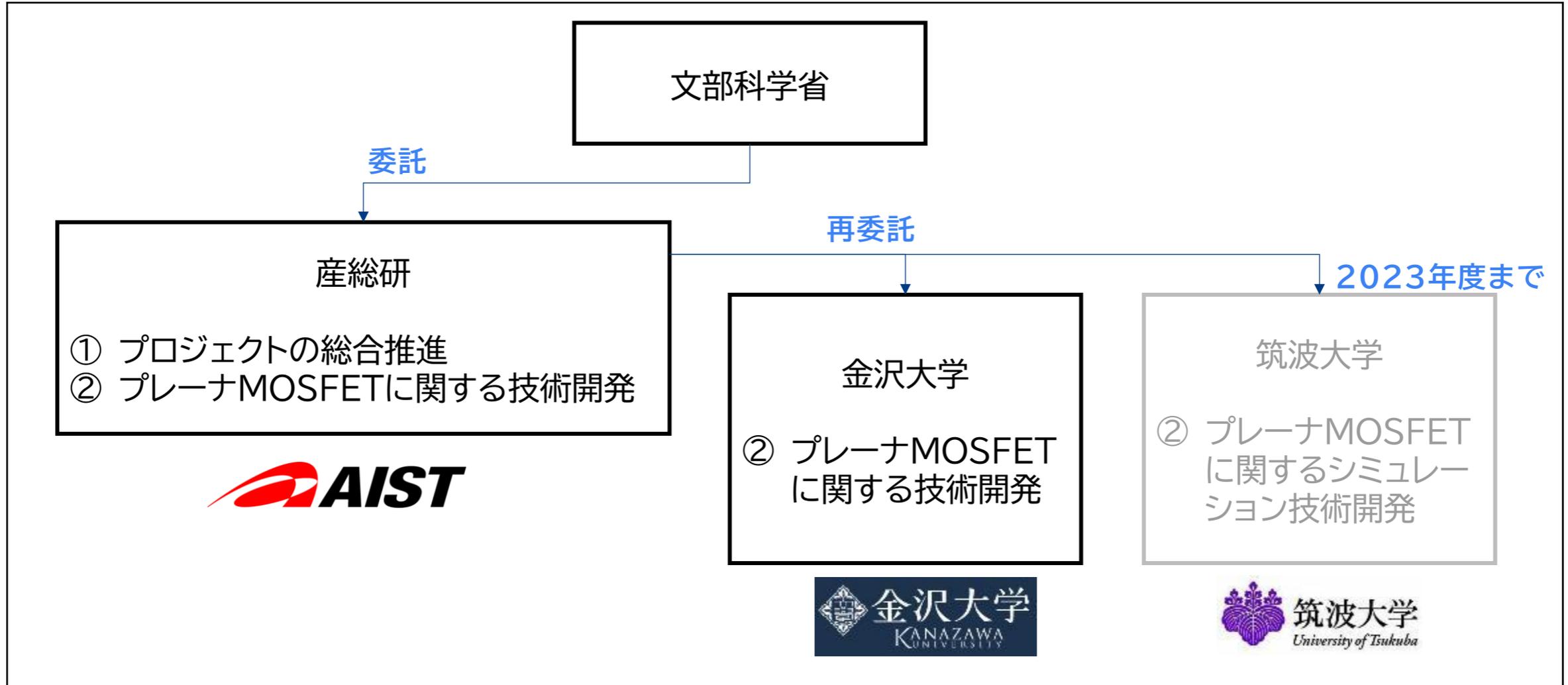
竹内 大輔

国立研究開発法人 産業技術総合研究所 先進パワーエレクトロニクス研究センター

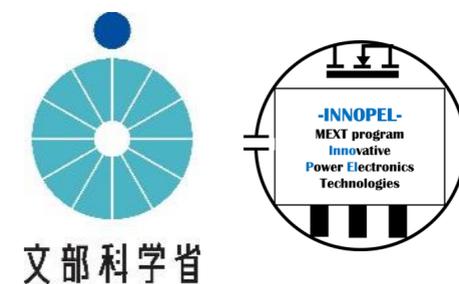
実施体制



文部科学省



目次



1. 背景・目標	4
1.1 研究開発コンセプト:ダイヤモンド半導体の特徴	5
1.2 ダイヤモンド半導体薄膜合成技術	6
1.3 目標設定	7
1.4 前半成果	8
1.5 目標設定(FY2024-2025追加)	14
2. 実験・結果と考察	15
2.1 ドリフト層ありMOSFET作製技術	16
2.2 TOパッケージ作製技術	20
3. まとめと今後	22

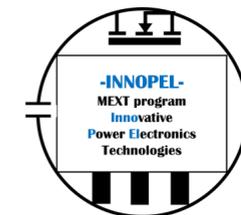
1. 背景・目標

- 1.1 研究開発コンセプト:ダイヤモンド半導体の特徴
- 1.2 ダイヤモンド半導体薄膜合成技術
- 1.3 目標設定
- 1.4 前半成果(MOS界面制御技術/MOSFET作製技術)
- 1.5 目標設定(FY2024-2025追加)

研究開発コンセプト:ダイヤモンド半導体の特徴



文部科学省



	バンドギャップ (eV)	絶縁耐圧 (MV/cm)	熱伝導率 (W/cmK)	電力性能指数 (V ² /cmsec)	資源制約	ドーピング準位 (meV, n-, p-)
Si	1.12	0.3	1.5	1	◎	45(P), 45(B)
SiC	3.26	4	5	670	◎	70(N), 200(AI)
GaN	3.39	2	1.5	140	X	25(Si), 150(Mg)
ダイヤモンド	5.47	> 10	> 20	24000	◎	570(P), 360(B)

上記の優れた特性に加え、他半導体材料にはないユニークな物性を有する。

高濃度不純物ドーピング
 半分の誘電率
 単軽元素半導体(高品質化可能)
 高い電気陰性度

	比誘電率	電気陰性度 (Hとの差)
Si	12	-0.4
ダイヤ	5.7	+0.3

これらのユニークな物性でダイヤならではの切り口を見出す！

ダイヤモンド半導体の特徴を生かした革新パワーデバイス・システムを提案していく

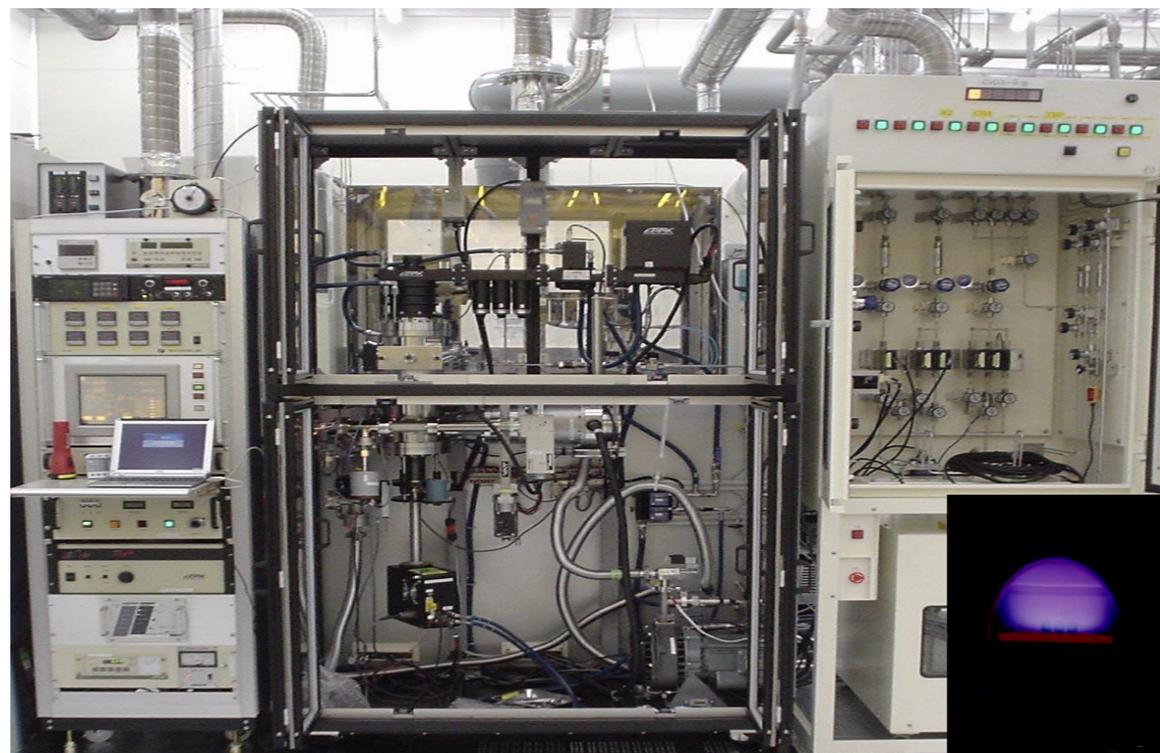
ダイヤモンド半導体薄膜合成技術

原料ガス

12 3456789

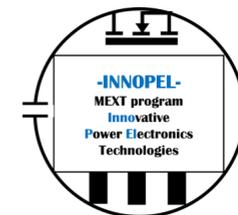
- ▶ 水素 H_2 : 純度 9N(99.9999999%)
- ▶ メタン CH_4 : 純度 6N
- ▶ ホスフィン PH_3 : 希釈水素純度 6N, 不純物含有量 < 1 ppm

マイクロ波プラズマ化学気相成長法



ステージ温度	800~900°C
マイクロ波出力	750~3500 W
圧力	25~150 Torr
原料ガス	CH_4, H_2 (CH_4/H_2 : ~0.4~0.6%)
ドーパントガス (<i>p</i> 型)	B_2H_6 (B_2H_6/CH_4 : ~0~0.8%), TMB
(<i>n</i> 型)	PH_3 (PH_3/CH_4 : ~5%)

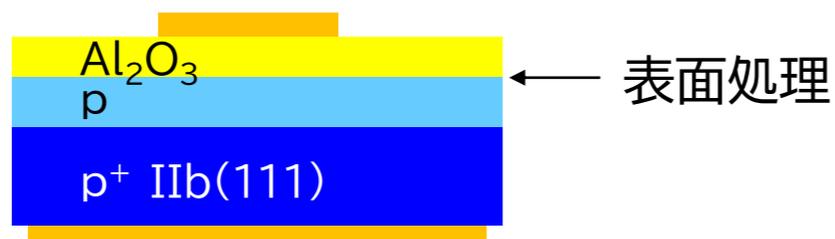
半導体基盤技術の確立：高純度ダイヤモンド半導体の合成、p n 制御



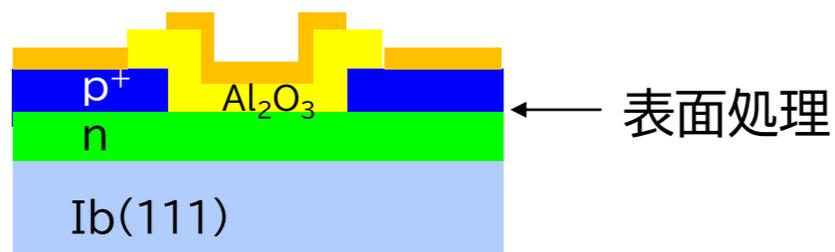
OH終端(Wet熱処理)により、FET反転動作を実証したが...

X, Zhang, N. Tokuda *et al.*, *J. Mater. Res.* (2021)
DOI:10.1557/s43578-021-00317-z.

MOSキャパシタ



MOSFET



	OH終端(Wet熱処理)前	D_{it} (cm ⁻² eV ⁻¹) @E-E _v (eV)
MOS キャパ	O終端(熱混酸)	4-8E12@>0.1
	H終端	4E11@0.2
MOS FET	メタルマスク→ p ⁺ 選択成長→O終端(OOH)	1-3E13*
	メタルマスク→ p ⁺ 選択成長→H終端(HOH) ただしHOHはノーマリオンか フリークが大きい傾向	1-3E13*

*FET特性からの見積もり

◆FS抽出課題と目標：

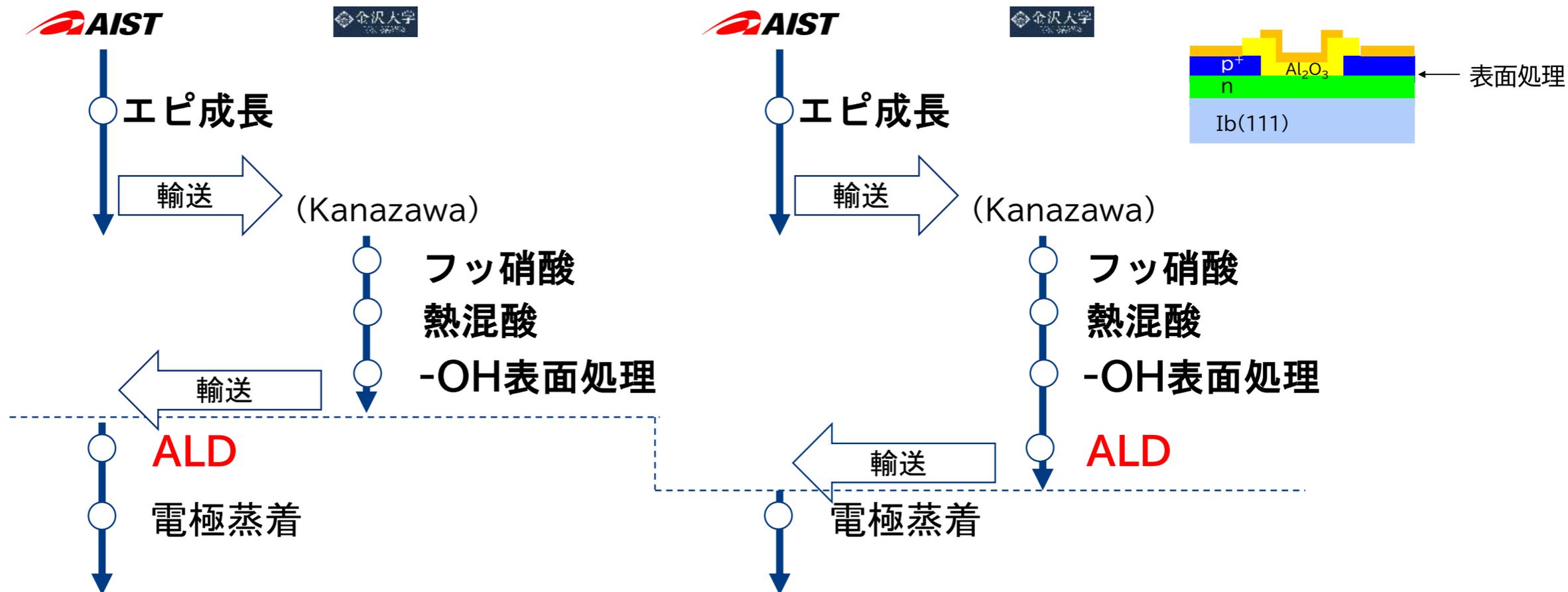
プレーナMOSFET構造試作と界面準位低減 ($D_{it} < 10^{12}$ /eV cm²) による高移動度実証 (電界移動度 $\mu_{FE} > 100$ cm²/Vs) および大電力化へのデバイス課題抽出

前半成果／MOS界面制御技術

使用基板：高温高压合成(HPHT) Ib型(111)単結晶ダイヤモンド基板

R3:表面処理のみ金沢大学

R4:表面処理～ALDまで金沢大学

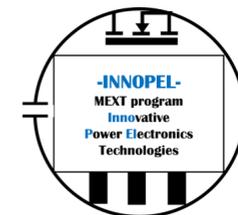


MOS界面制御技術の確立：OH終端の完全性・界面清浄化

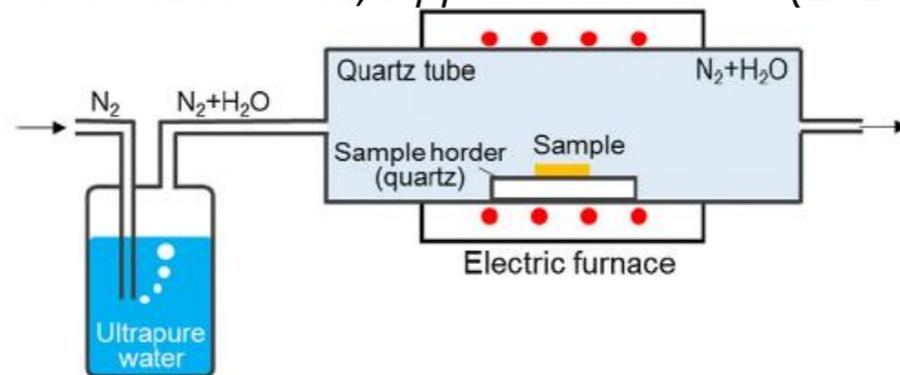
前半成果 / MOS界面制御技術



文部科学省



R. Yoshida et al., Appl. Sur. Sci. 458 (2018) 222



○ 終端化。半導体洗浄過程の後半での熱混酸処理。有機物や sp^2 成分を除去

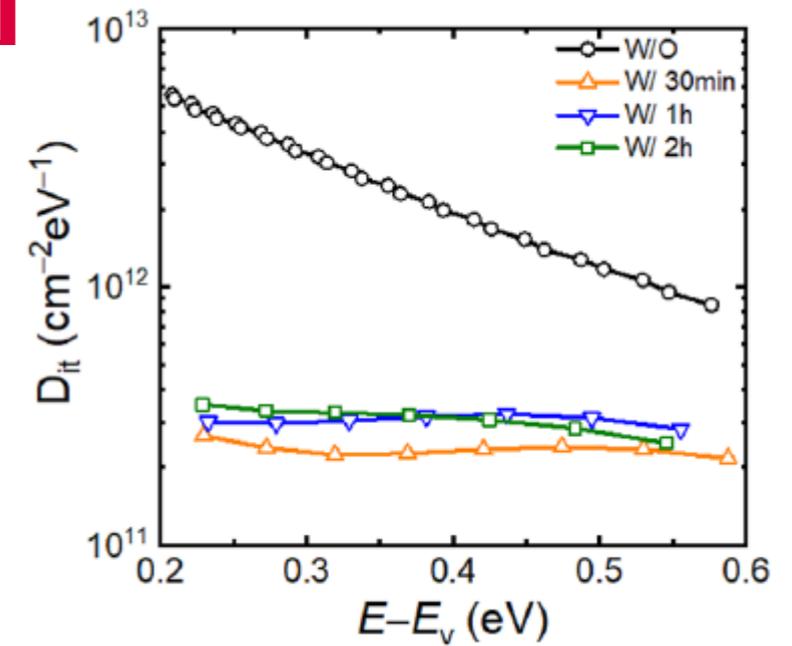
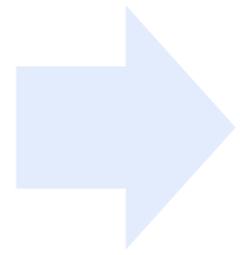
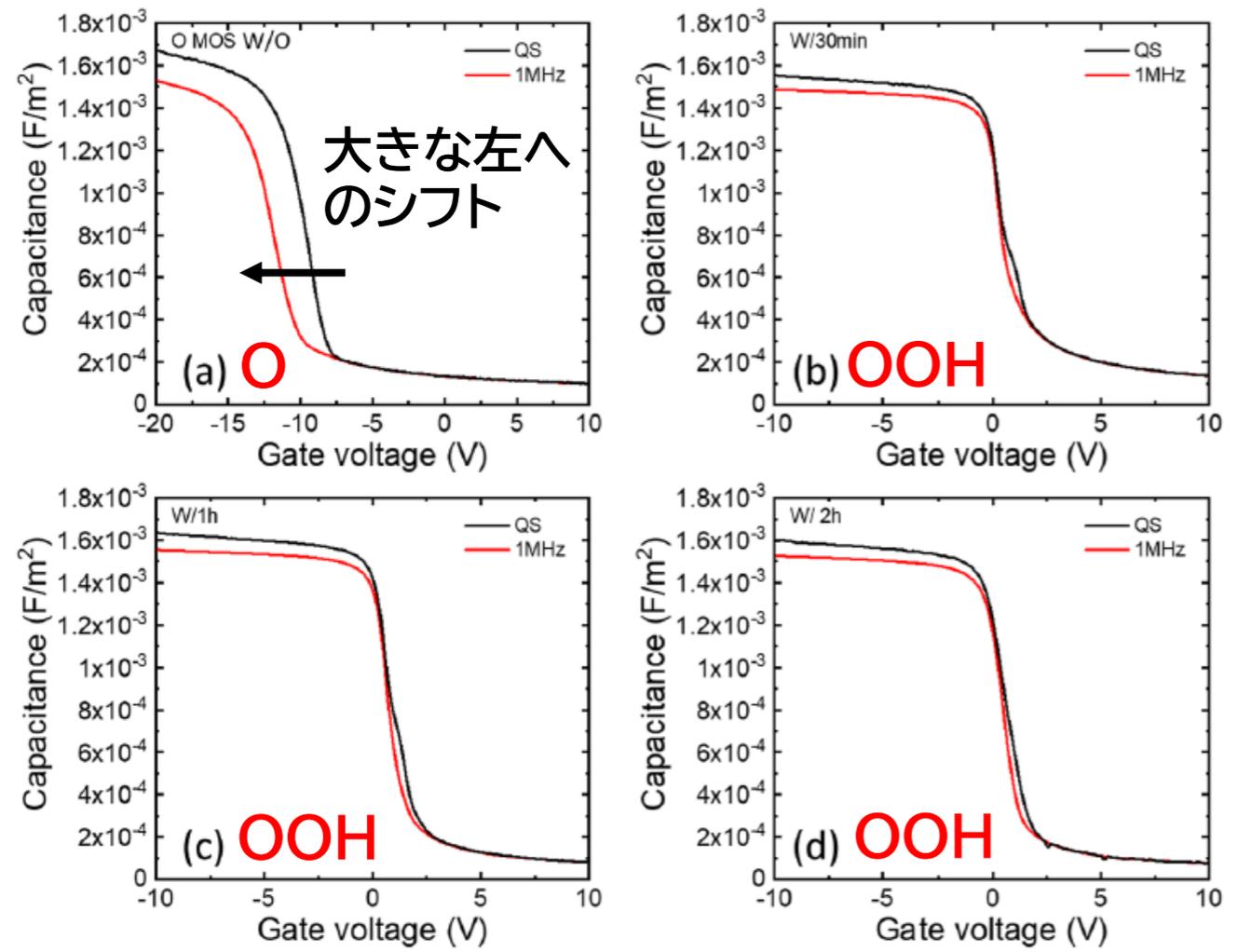
OH終端化(OOH)。不活性ガスを超純水バブリングし、石英炉へ導入して水蒸気熱処理(ウェット熱処理)

- 大学のチップ試作実験の環境にてMOS界面を持つMOSキャパシタ・MOSFETを作製。

前半成果 / MOS界面制御技術

X. Zhang et al., AIP Adv. 14 (2024) 035323

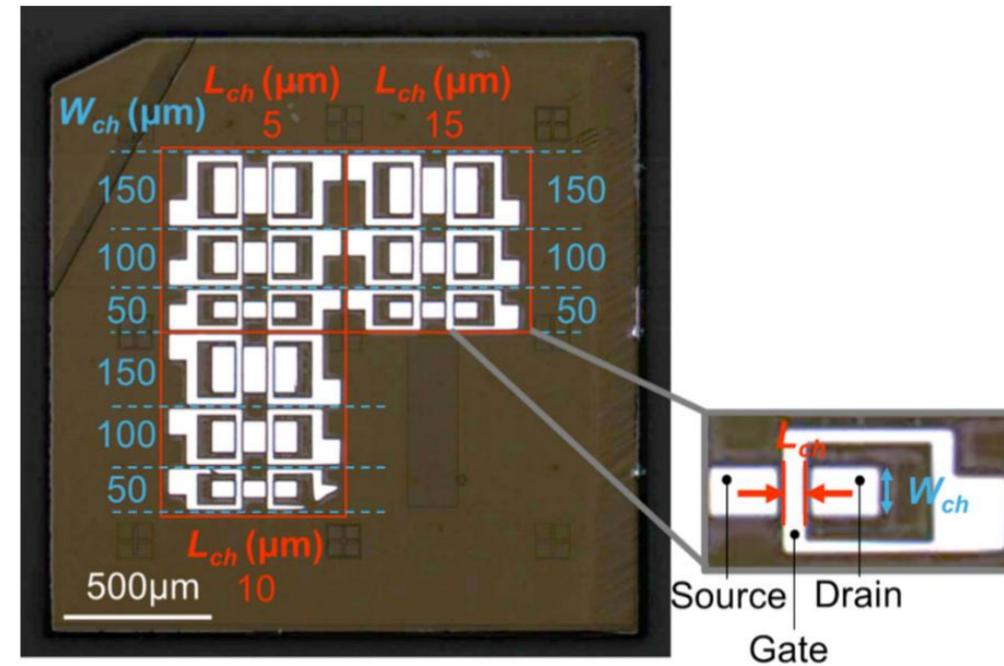
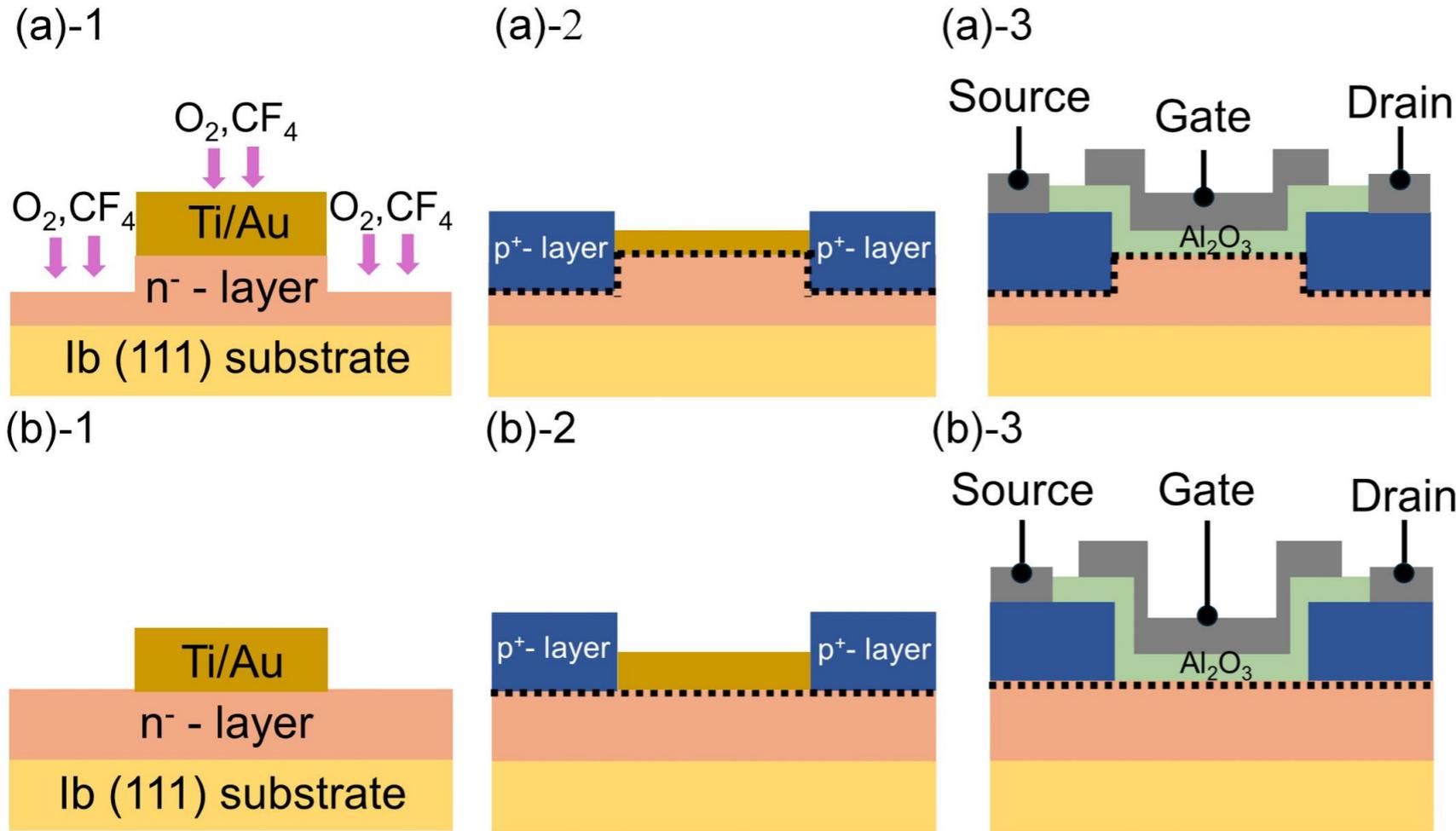
Hi-Lo法による評価



	表面Proc2	D_{it} ($\text{cm}^{-2} \text{eV}^{-1}$)@ $E-E_v=0.26\text{eV}$
#1	酸素終端	3.8E+12
#2	酸素終端+OH 0.5h	2.3E+11
#3	酸素終端+OH 1h	3.5E+11
#4	酸素終端+OH 2h	3.2E+11
#5	酸素終端+OH 3h	2.3E+11

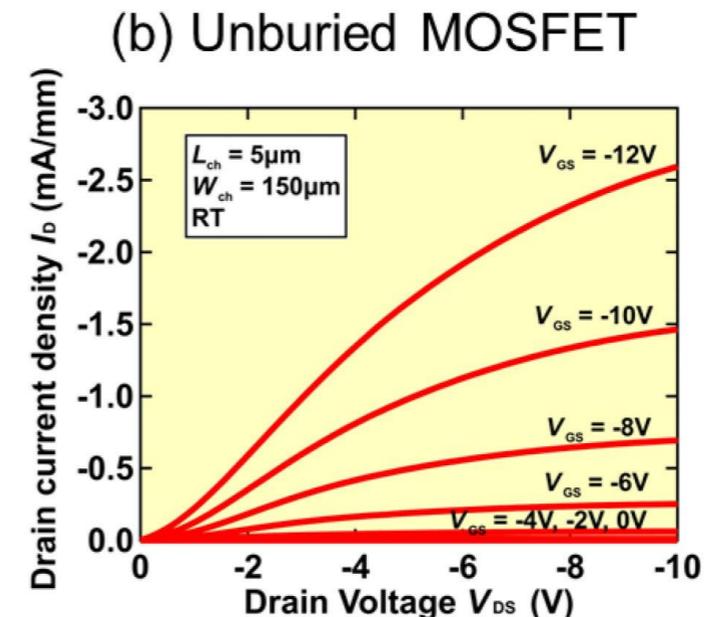
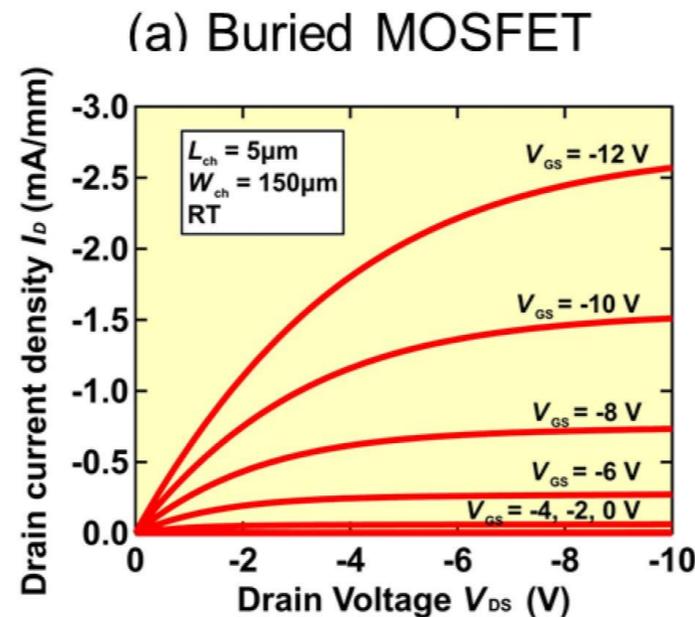
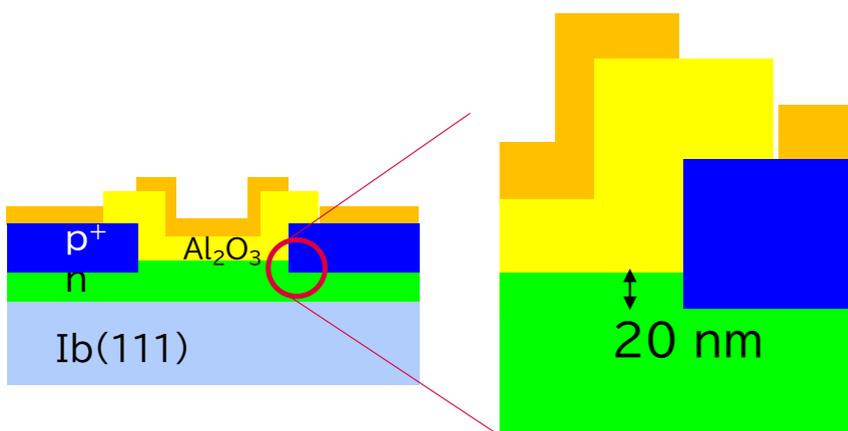
前半成果 / MOSFET作製技術

K. Sato et al., DRM 162 (2026) 113205



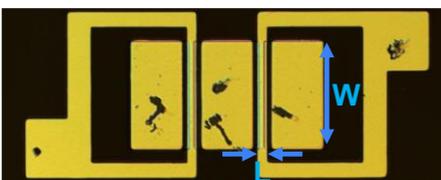
- ✓ OH終端の完全性
- ✓ 界面清浄化 (輸送方法も改善)
- ✓ ポストアニール(400°C)

K. Sato et al., DRM 162 (2026) 113205



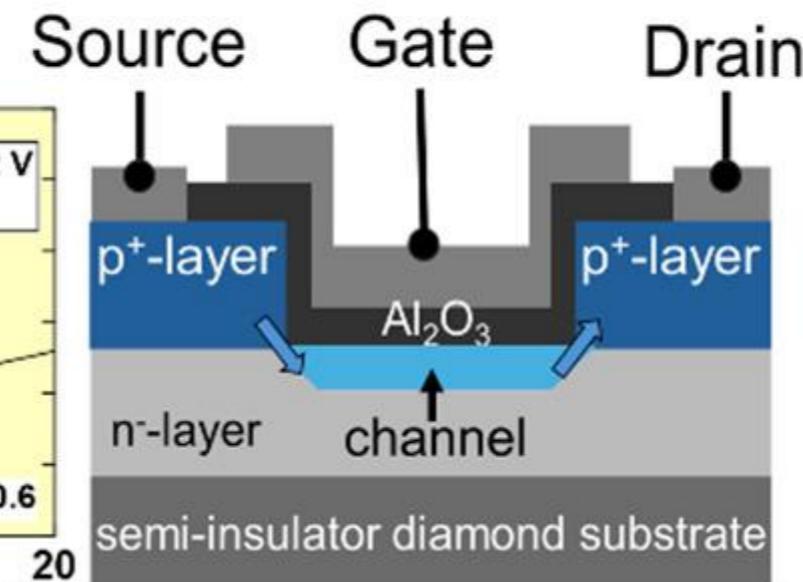
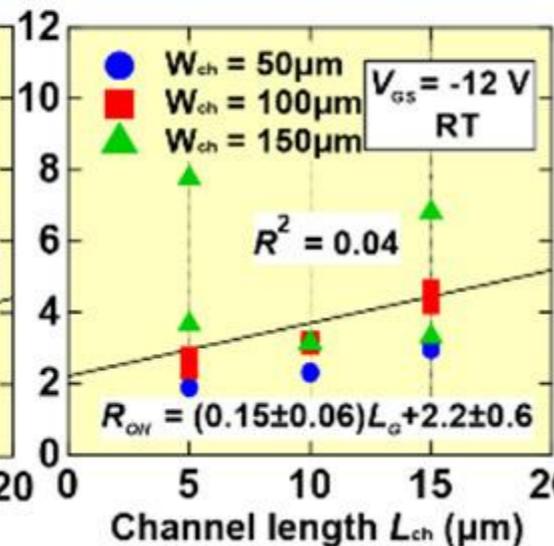
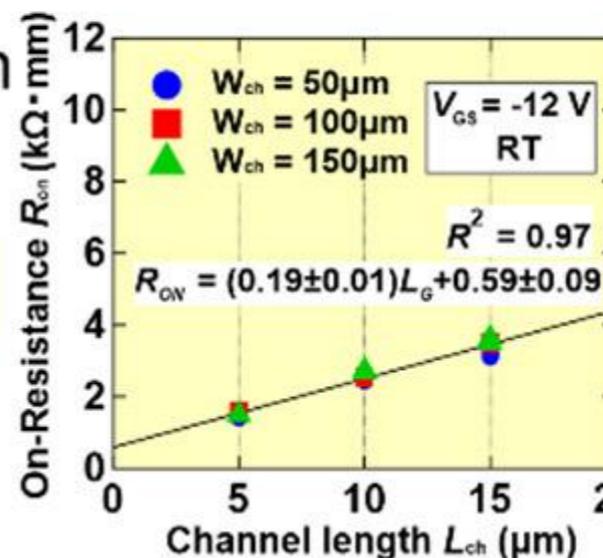
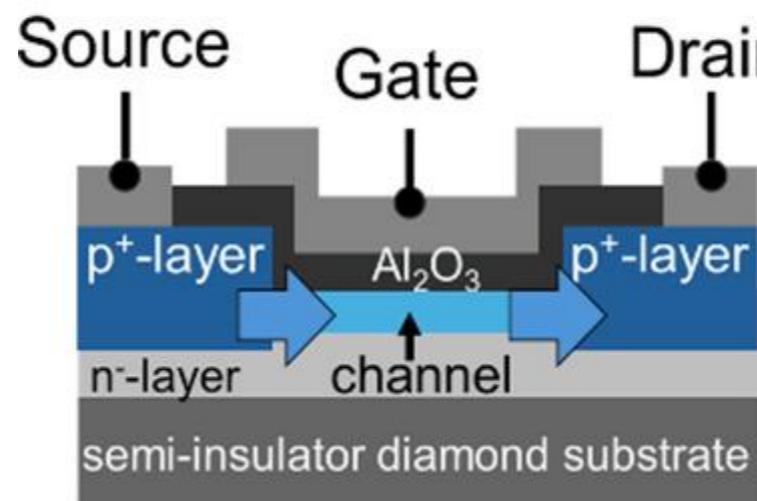
- MOS界面制御技術の向上により、ドレイン電流が再現良く100倍向上
- 接触抵抗が明らかに低減・改善されバラツキも抑制された。(1.3-1.6 → 0.6 kΩ・mm)
 - ✓ 同じ基板上で18作製中17の特性が揃う(1個は電極に傷)
- ゲート幅・ゲート長依存性が得られた(次ページ)

K. Sato et al., DRM 162 (2026) 113205



Buried MOSFETs

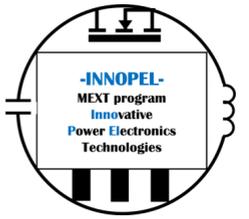
Unburied MOSFETs



- ゲート幅Wおよびゲート長の逆数にドレイン電流がほぼ比例（縦軸電流はゲート幅Wで規格化された電流密度）
- 基本的な界面プロセスに沿うことで大幅な改善が得られることが明らかになった

MOSFET作製技術：安定した反転層形成に資するS/D埋込作製技術を獲得

目標設定(FY2024-2025追加)



1. 3年間の成果を踏まえたMOSFETの移動度向上

- ✓ $D_{it} < 10^{11} \text{ eV}^{-1}\text{cm}^{-2}$ による $\mu_{FE} > 100 \text{ cm}^2/\text{Vs}$ を目指した開発



C- Ψ_s 法による評価
SGアクセス抵抗低減

2. 耐圧構造を踏まえたドリフト領域形成とMOSFET動作検証

- ✓ 600-1200Vを想定するが、より低圧からドリフト層形成技術を開発

3. パッケージへの課題抽出

- ✓ A級ドライブを想定するが、まずは現状でダイヤ素子に触れられる形から素子特性確認を目指す

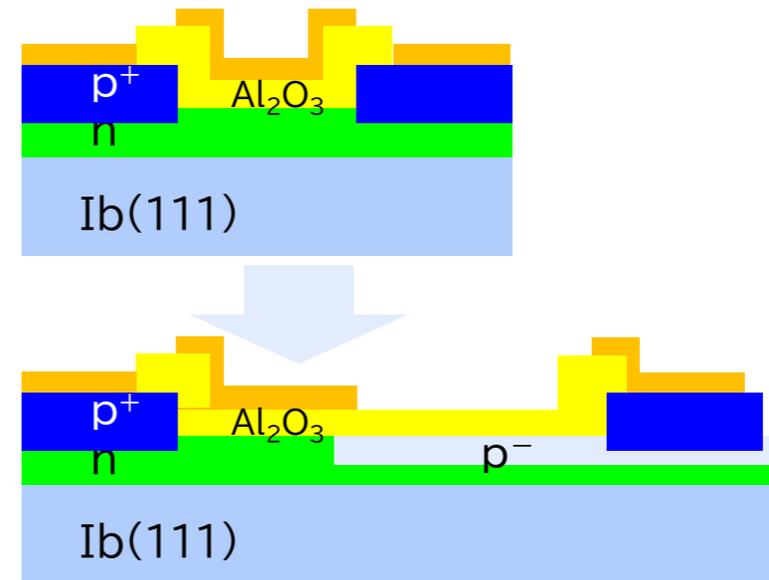
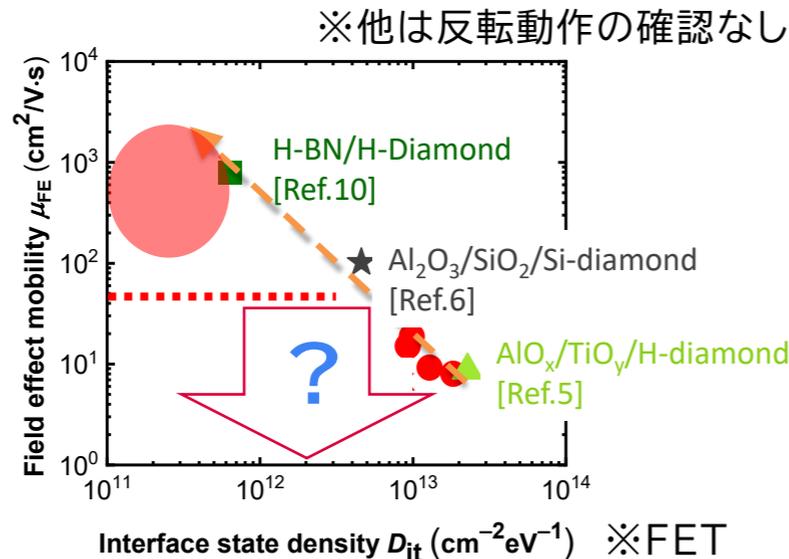
◆ 縦型VMOSFET作製要素技術の高度化

- ✓ ①~③を優先しつつ、要素技術として進める



NEDO先導に採択:
ダイヤモンドパワー半導体技術の研究開発

INNOPEL
前半成果
40cm²/Vs



2. 実験・結果と考察

- 2.1 ドリフト層ありMOSFET作製技術
- 2.2 TOパッケージ作製技術

ドリフト層ありMOSFET作製技術

プロセスフロー(p層埋め込み)

T. Kano et al., DRM 147 (2024)111236

金沢大/NEDO/JST/
科研費 開発技術

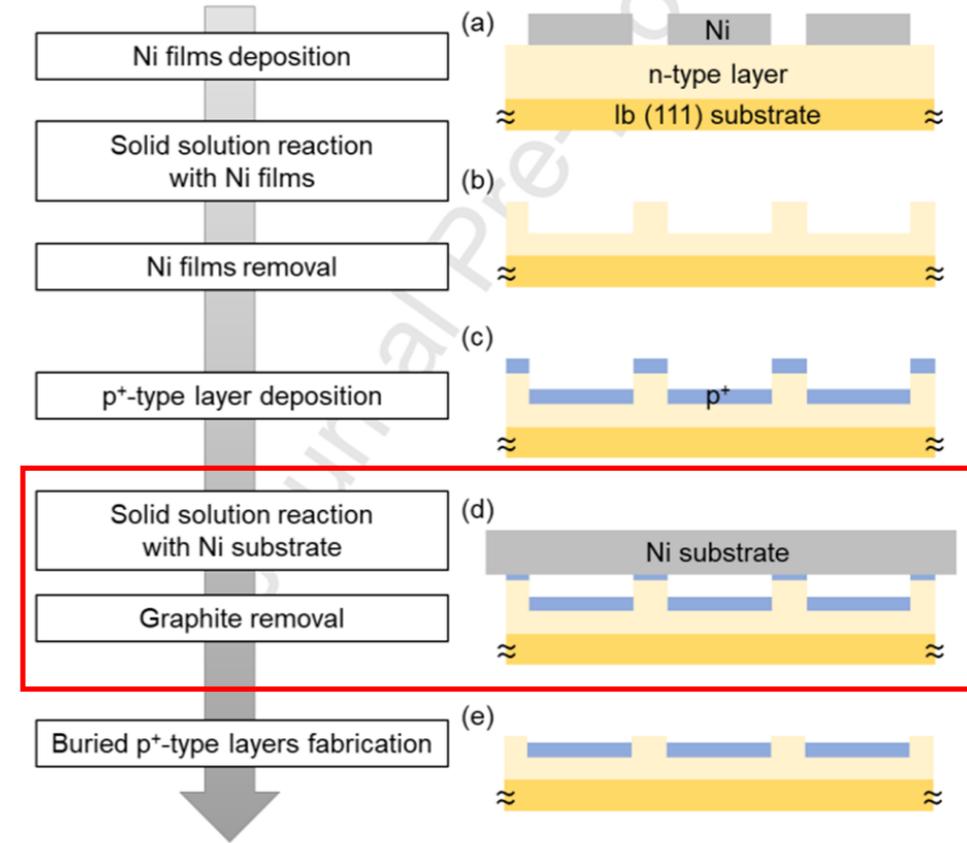
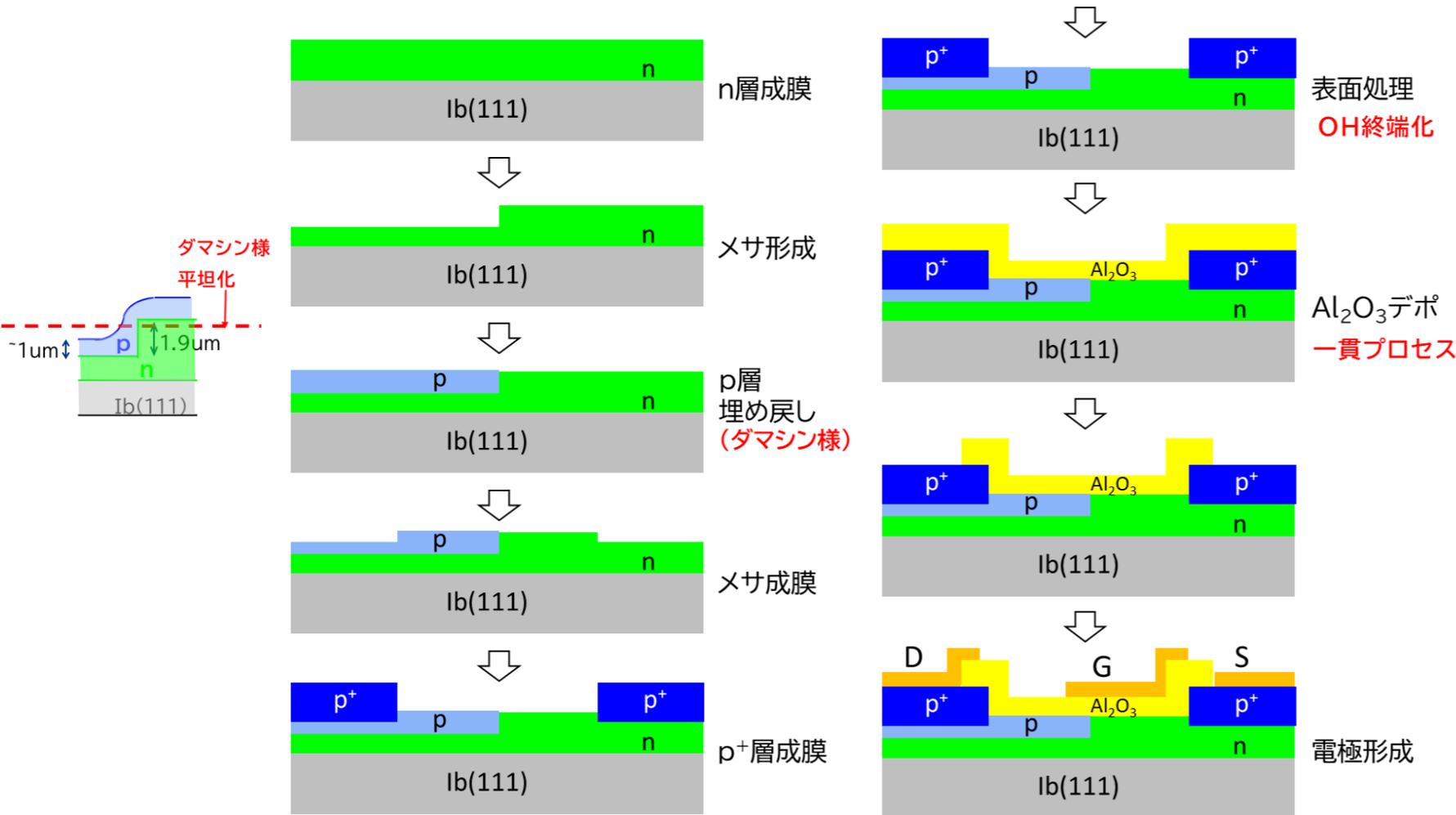
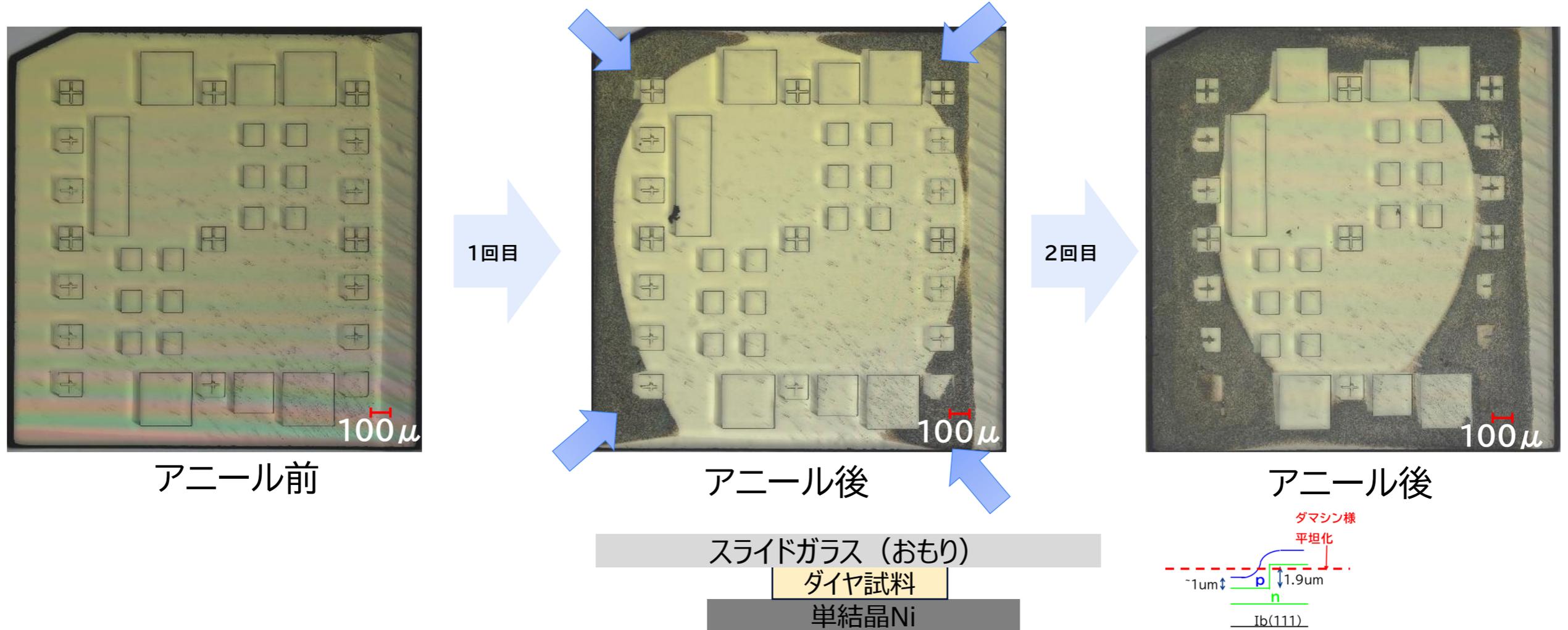


Fig. 1 Overview of the fabrication process for buried p⁺-type S/D regions.

INNOPELで新規開発：埋め込みエピ + Ni触媒反応による新規平坦化エッチング + OH終端 + 一貫プロセス

ドリフト層ありMOSFET作製技術

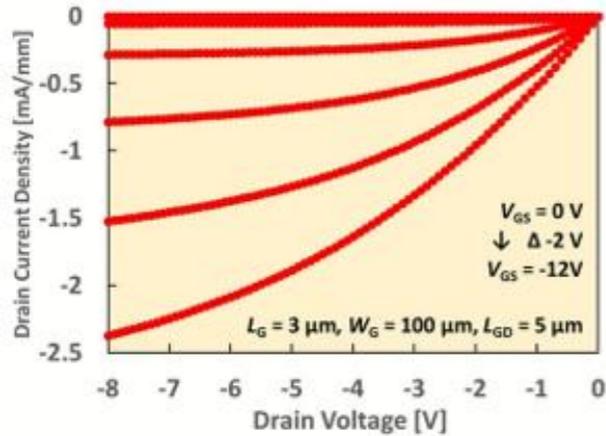
◦Ar/H₂雰囲気 800°C アニール前後の試料のDM像



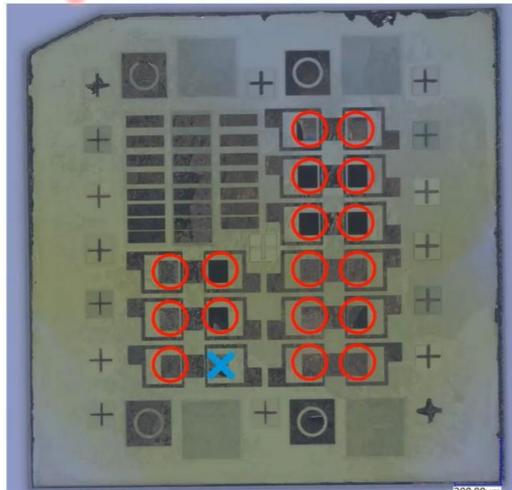
MOSFET作製技術：Ni触媒反応による新規平坦化エッチング

ドリフト層ありMOSFET作製技術

h988

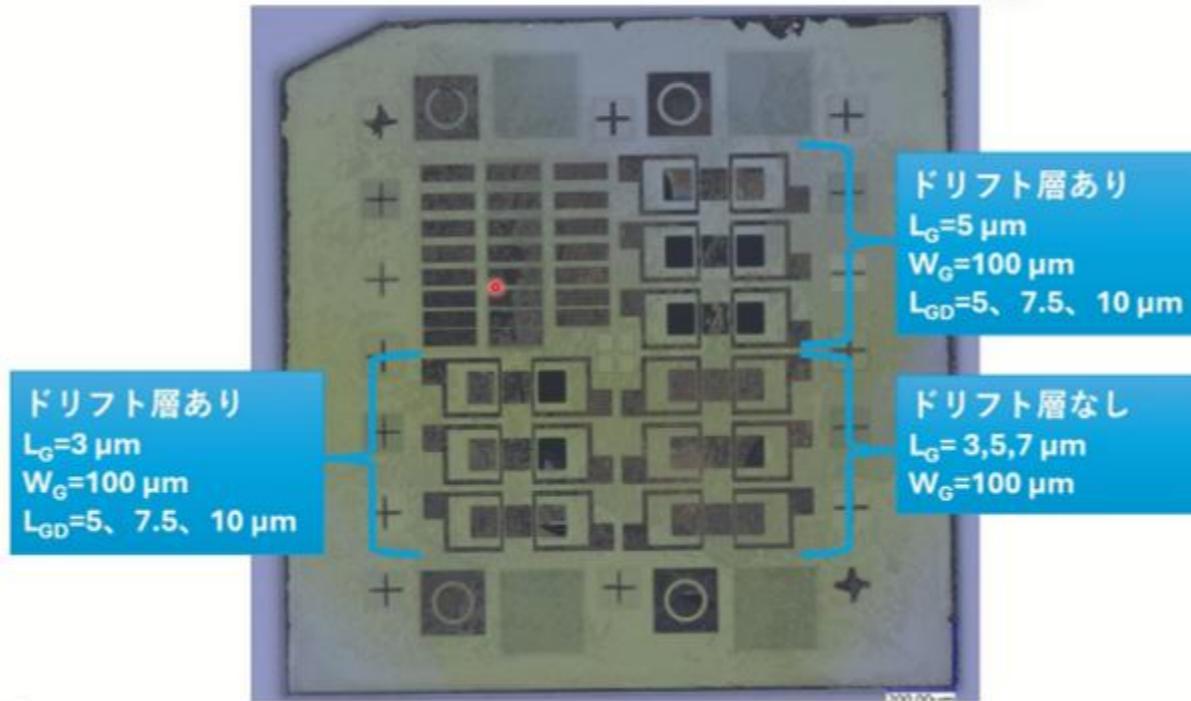


今回 h988 歩留まり

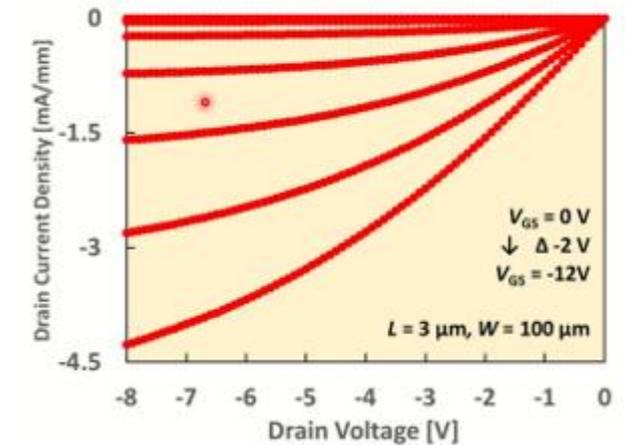


リフトオフ後DM像

2.2



h988

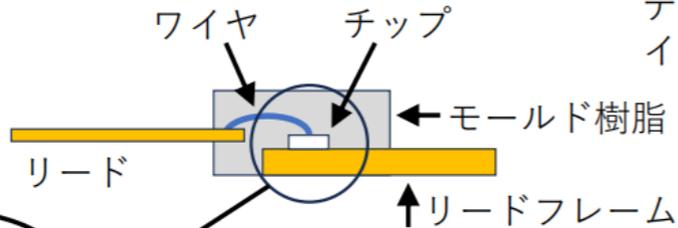


MOSFET作製技術：ドリフト層あり（反転）MOSFETの動作を実証（世界初）

TOパッケージ

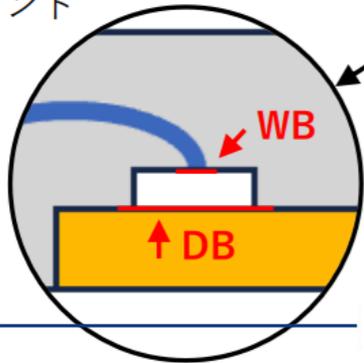
ダイヤモンド/メタライズ検討

- 検討事項
 ①裏面メタライズ
 ②表面電極



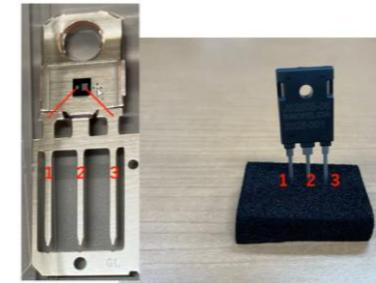
デバイス実装
イメージ図

チェックポイント



【シエア結果】 シエア試験実施の順番 → (写真中の赤矢印はシエアの方向)

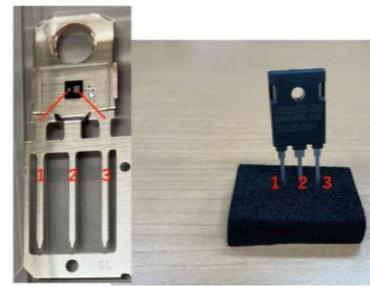
<p>2mm□ ①</p> <p>粉々に割れた きっかけ表面の欠け</p> <p>シエア強度 63.4MPa</p>	<p>2mm□ ②</p> <p>綺麗に剥がれた 力の方向を変更した</p> <p>77.1MPa</p>	<p>3mm□ ①</p> <p>綺麗に剥がれた</p> <p>61.4MPa</p>	<p>3mm□ ②</p> <p>綺麗に剥がれた</p> <p>56.6MPa</p>
--	---	---	---



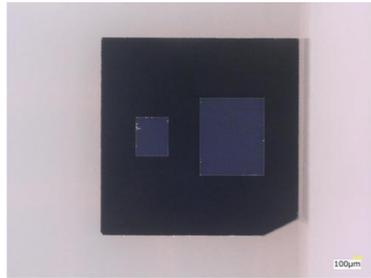
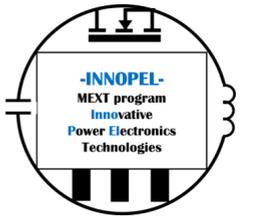
<p>3mm□ SICダミー-1</p> <p>プル強度 Gate 211g source 772g</p> <p>破壊箇所 ワイヤ中心からチップ側</p> <p>写真</p>	<p>2mm□ ダイヤSub. No. 15210-01-35</p> <p>プル強度 Gate 178g source 719g</p> <p>破壊箇所 ワイヤ中心からチップ側</p> <p>写真</p>	<p>3mm□ ダイヤSub. No. 15210-01-33</p> <p>プル強度 Gate 233g source 875g</p> <p>破壊箇所 ワイヤ中心からチップ側</p> <p>写真</p>
<p>3mm□ SICダミー-2</p> <p>プル強度 Gate 245g source 853g</p> <p>破壊箇所 ワイヤ中心からチップ側</p> <p>写真</p>	<p>2mm□ ダイヤSub. No. 15210-01-36</p> <p>プル強度 Gate 217g source 725g</p> <p>破壊箇所 ワイヤ中心からチップ側</p> <p>写真</p>	<p>3mm□ ダイヤSub. No. 15210-01-34</p> <p>プル強度 Gate 213g source 879g</p> <p>破壊箇所 ワイヤ中心からチップ側</p> <p>写真</p>

TOパッケージ技術の確立：産総研の実装技術を適用し、SiCパッケージと遜色ない試験結果が得られた。

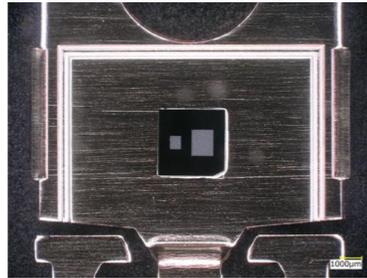
TOパッケージ



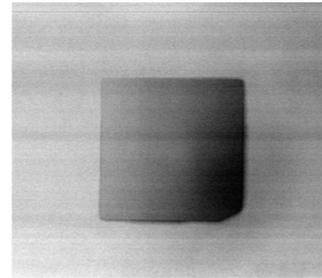
文部科学省



2025/5/19のお預かりしたサンプル
チップサイズ: 3mm \square
チップ厚さ : 300~400 μ m
※Ti/Al電極つき

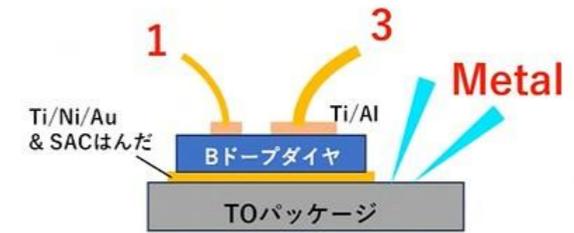
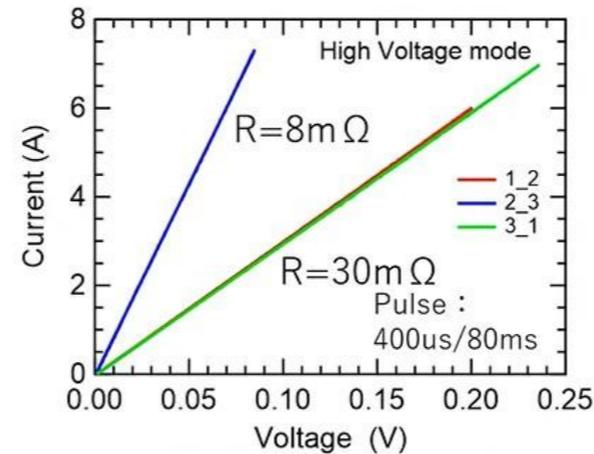
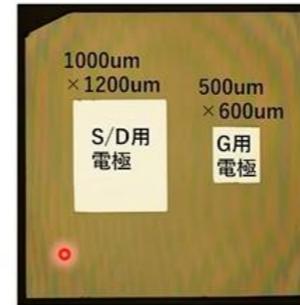


ダイボンド後(実体顕微鏡)



ダイボンド後(X線透過)

※ボイドは観察できません
でした



2

$$1-2、3-1間 : RS=0.03\Omega \times (500\mu\text{m} \times 600\mu\text{m}) = 9.0 \times 10^{-5}\Omega\text{cm}^2$$

$$2-3間 : RS=0.008\Omega \times (1000\mu\text{m} \times 1200\mu\text{m}) = 9.6 \times 10^{-5}\Omega\text{cm}^2$$



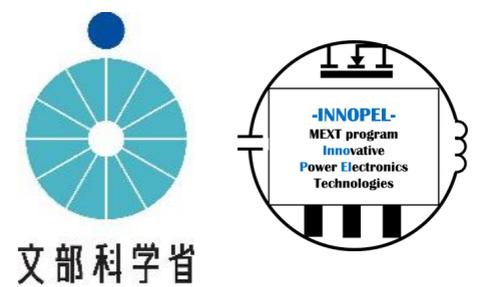
$$\begin{aligned} \text{抵抗率} : \rho &= RS/L \\ &= 9.0 \times 10^{-5}\Omega\text{cm}^2 / 300\mu\text{m} \\ &= 3 \times 10^{-3}\Omega\text{cm} \end{aligned}$$

p⁺層の抵抗率とオーダーで同じ

TOパッケージ技術の確立 : 産総研の実装技術を適用し、SiCパッケージと遜色ない試験結果が得られた。

3. まとめと今後

まとめと今後



- INNOPEL前半で開発した界面形成一貫プロセス、S/D埋込構造とともに、ドリフト層あり横型反転pチャンネルMOSFET作製を行い、ダイヤモンド研究開発では世界で初めて動作実証に成功した。
- 界面形成一貫プロセスから移動度最高 $40\text{cm}^2/\text{Vs}$ が得られたが、今後、 D_{it} の正しい評価と低減に向け、今後、C- Ψ_s 法による評価が必要である。
- 理論値および、INNOPEL結果を含む報告トレンドから、移動度 $1,000 \sim 3,000 \text{ cm}^2/\text{Vs}$ の反転pチャンネルMOSFETの可能性を見据えている。大電力／耐環境アプリ用Hブリッジ回路などを見据えた開発が期待される。