

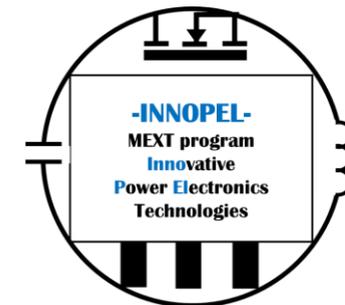
文部科学省

革新的パワーエレクトロニクス創出基盤技術研究開発事業

Innovative Power Electronics Technologies (INNOPEL)



文部科学省



SiC MOS界面の高品質化によるシステム性能向上にむけて

大阪大学大学院 工学研究科 渡部平司

【次々世代・周辺技術領域】炭化ケイ素MOS界面科学に基づく革新的製造技術の基盤構築

大阪大学: 渡部平司、小林拓真、原 征大

産業技術総合研究所: 染谷 満、原田信介、岡本光央、平井悠久、児島一聡

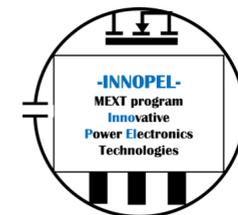
筑波大学: 矢野裕司、磯部高範、岩室憲幸

研究協力者: 細井卓治(物質材料研究機構)、田中 一(関西学院大)、
畠山哲夫、岡本 大(富山県立大)、梅田享英(筑波大)

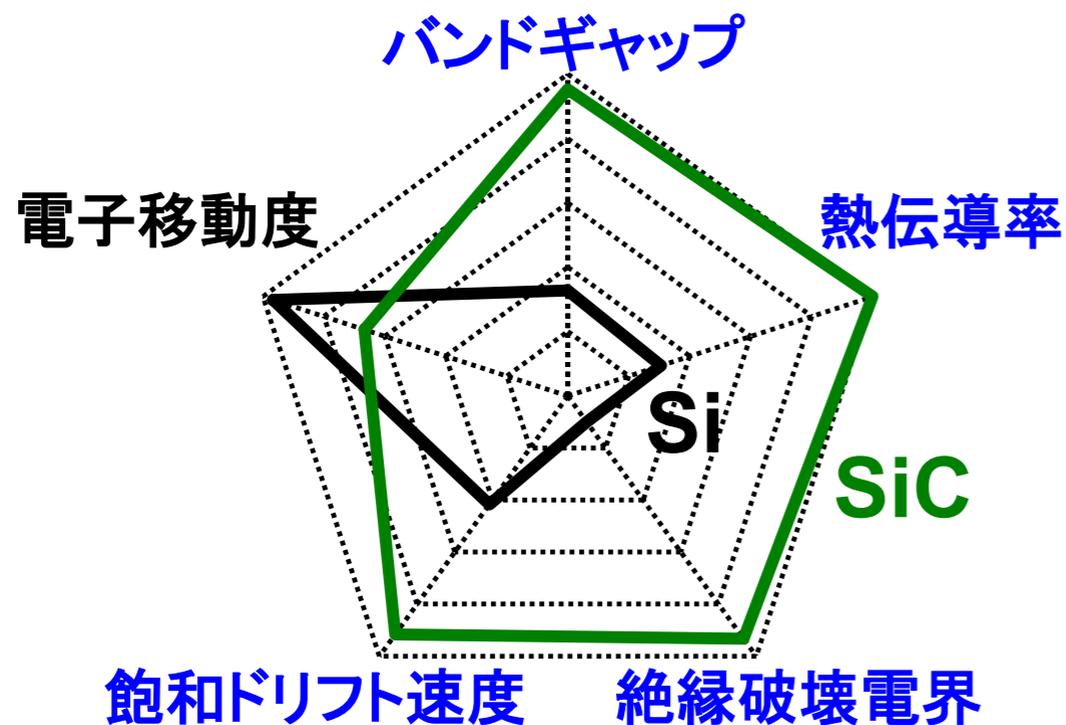
SiC半導体の優位性とパワーデバイス応用



文部科学省



【SiC・Si半導体の物性値比較】



- 電子デバイス用途のSiC基板供給
- イオン注入等の各種プロセス技術

【SiCパワーデバイスの用途拡大】

S700S新幹線



電気自動車



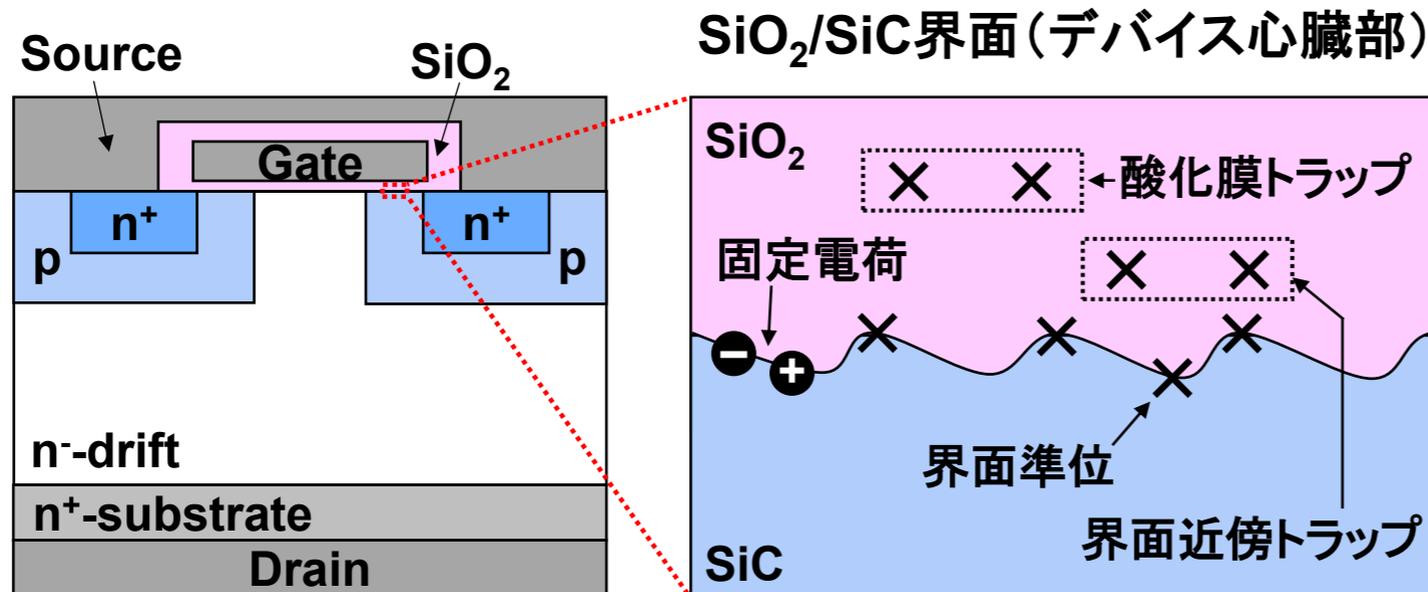
- ✓ 高耐圧・大電流・低損失・高温動作
 - ✓ 高冷却効率・小型化
- ⇒ カーボンニュートラル実現に向けたキーデバイス

SiCパワーモジュール普及への期待
(SiC-SBD, SiC-MOSFET, 各種受動素子)

SiC MOSFET開発の現状

【SiC MOS構造中の欠陥】

SiC基板の熱酸化によりSiO₂絶縁膜形成が可能



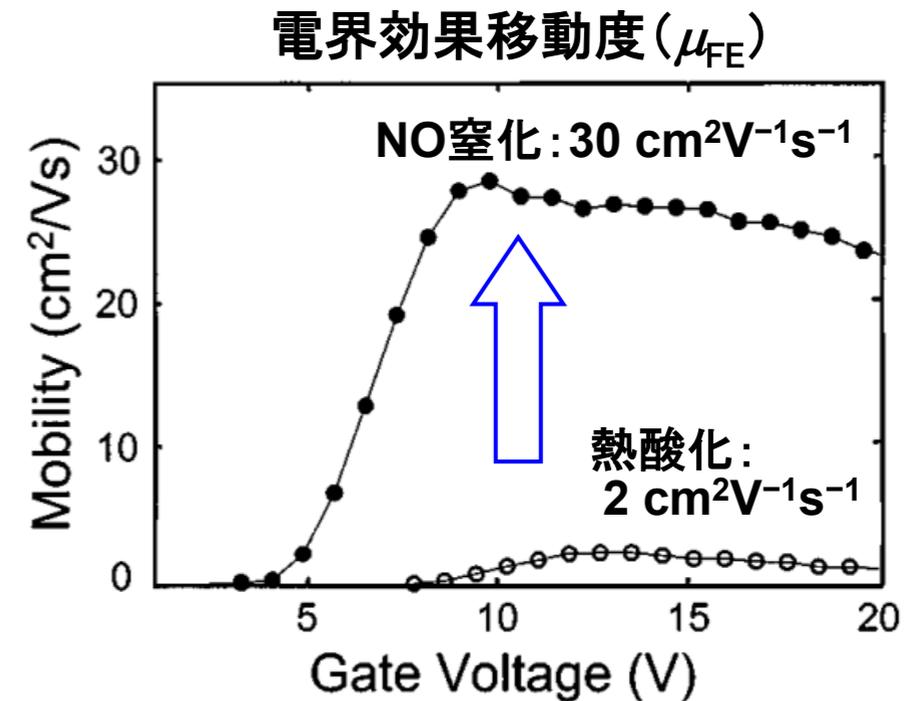
熱酸化SiO₂/SiC界面には多量の界面欠陥が存在し
MOS界面の反転層キャリアを捕獲 & 散乱

⇒ SiC MOSFETの省エネ性能と長期信頼性を律速

【界面窒化による欠陥終端】

NO処理でSiO₂/SiC界面に窒素導入

G. Y. Chung et al., *IEEE EDL* 22, 176 (2001).

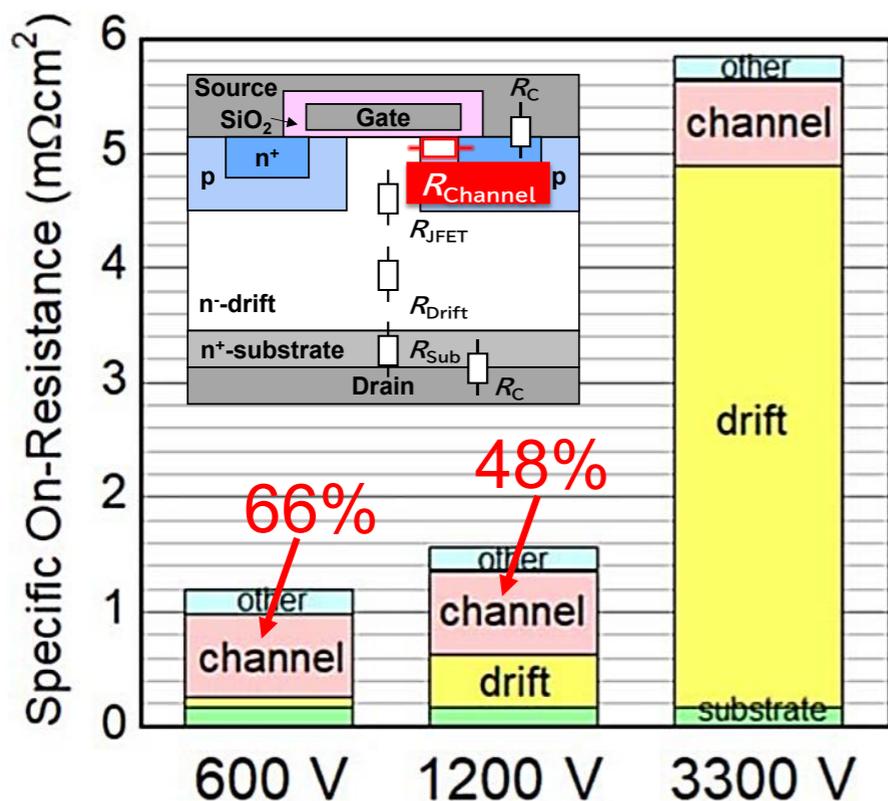


バルク移動度 (1,000 cm²V⁻¹s⁻¹)
の僅か3% ←欠陥終端に限界

SiC MOSFETの課題

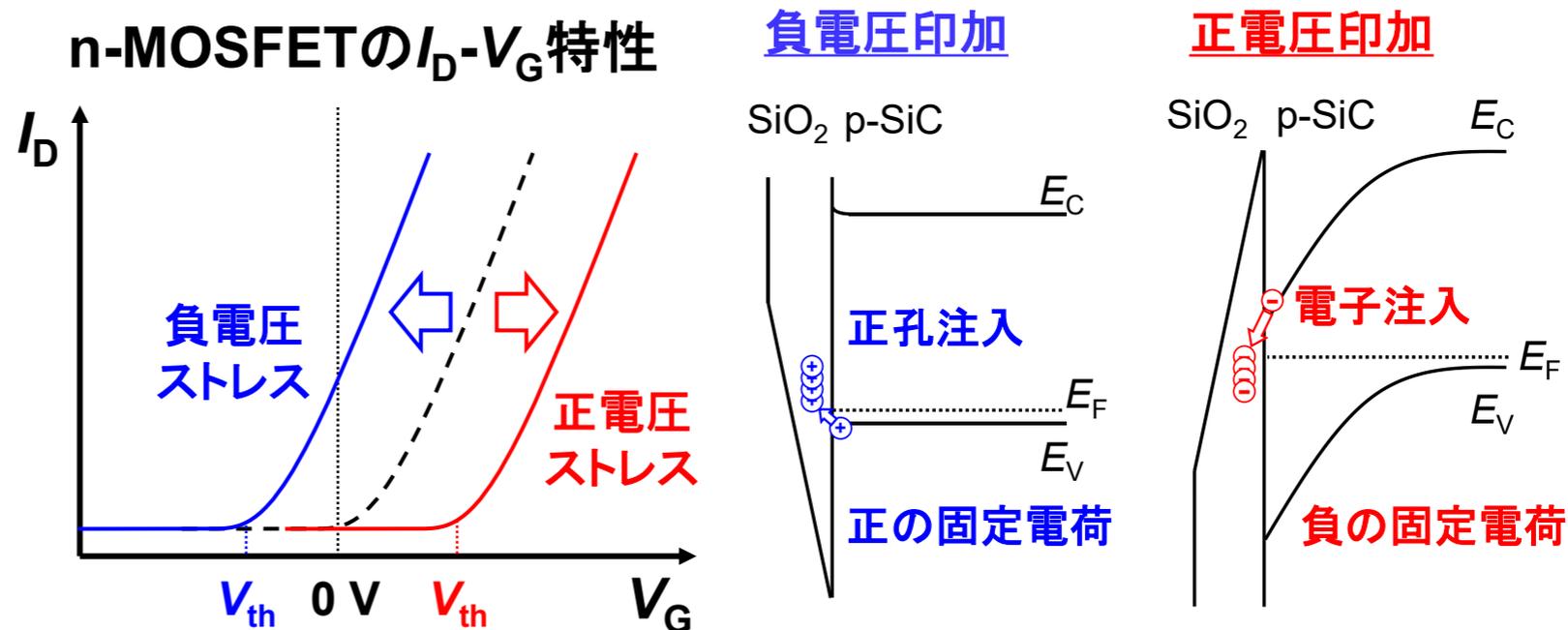
【移動度劣化(⇒オン抵抗増大)】

T. Kimoto and H. Watanabe, *APEX* 13, 120101 (2020).



ボリュームゾーン(耐圧600~1200V)の省エネ性能をチャネル抵抗が律速

【閾値電圧変動(⇒長期信頼性劣化)】



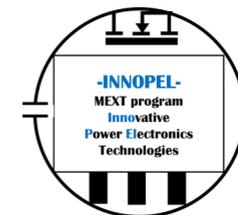
界面欠陥への電荷捕獲に伴う閾値電圧変動
⇒ SiC MOSFETの長期信頼性劣化

- ・ 素子の動作条件を制限
- ・ SiO₂ゲート絶縁膜の薄層化を阻害

本事業での取り組み



文部科学省



次々世代・周辺技術領域 令和3年度～5年度【前期】⇒ 令和6年度～7年度【継続：後期】

炭化ケイ素MOS界面科学に基づく革新的製造技術の基盤構築

- **NO窒化SiO₂/SiC界面の理解・課題抽出・改善策提案【前期】**
(窒素分布原子層レベル評価、信頼性加速試験提案、CO₂熱処理(CO₂-PNA))

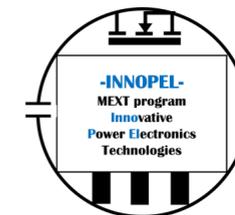
- **アンペア級SiC MOSFET試作と回路評価【後期重点課題】**
 - ・ 試作環境整備とCO₂-PNA条件探索
 - ・ 1.2kV DMOSウェハ試作とゲートACストレス試験
 - ・ 特性バラツキの理解と回路実装による課題抽出

- **非窒化理想MOS構造の提案【前期&後期】**
(2段階水素熱処理の提案、優位性実証(移動度&信頼性))

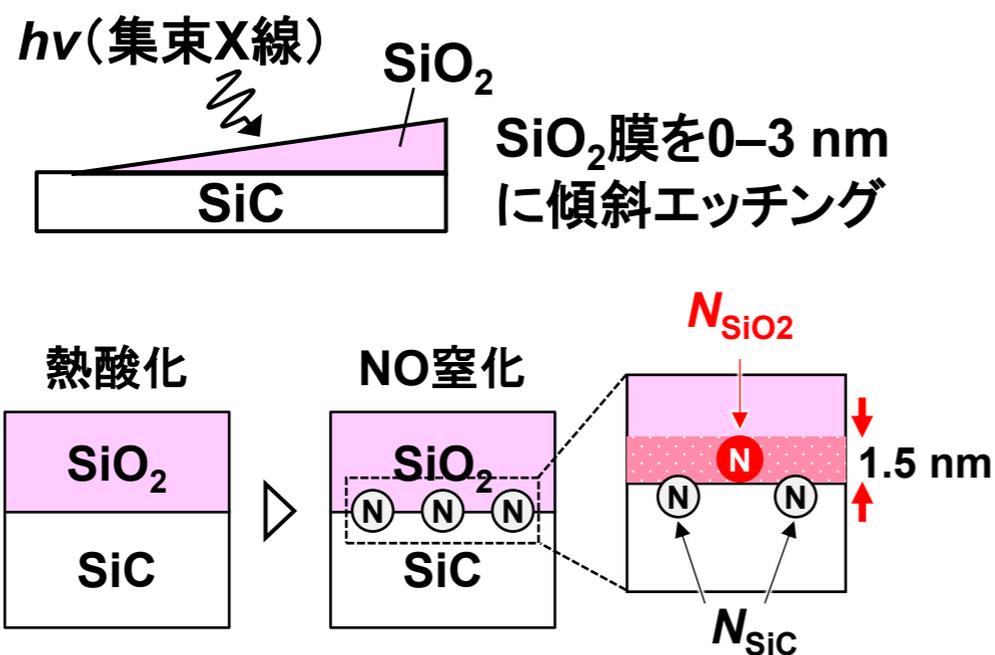
NO窒化SiO₂/SiC界面の窒素分布評価



文部科学省

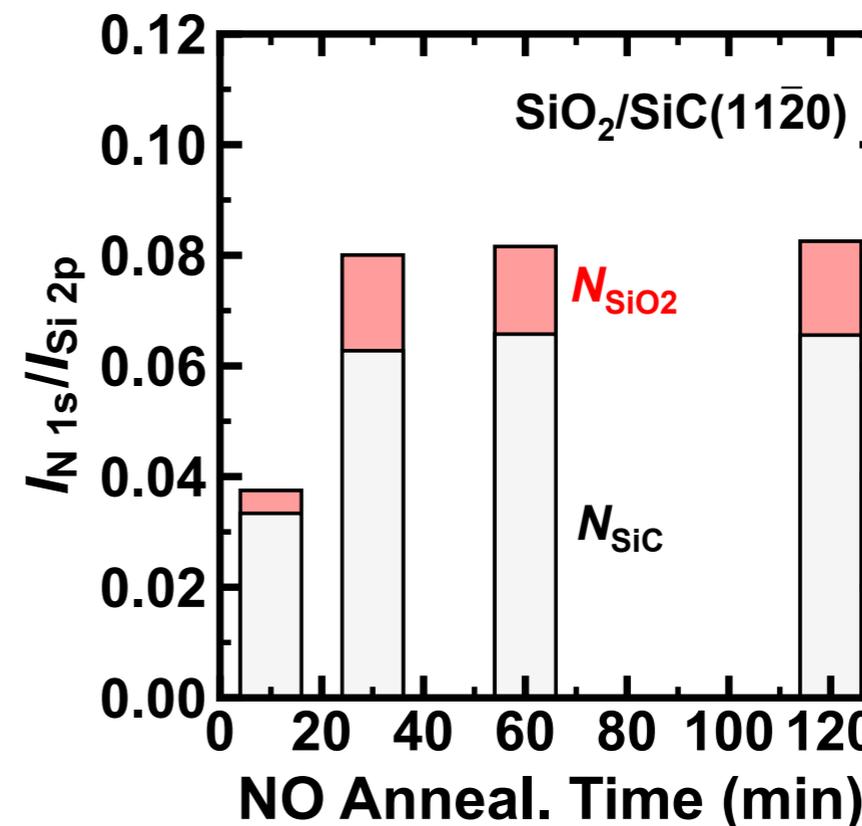


【膜厚傾斜SiO₂/SiC試料の走査型XPS分析】



NO窒化SiO₂/SiC(11 $\bar{2}$ 0)試料の評価例

T. Nakanuma *et al.*, *JJAP* 61, SC1065 (2022).



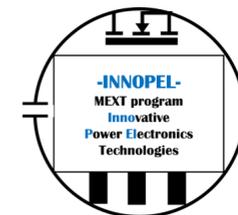
SiC基板の面方位や処理条件によらず

- ・ SiO₂/SiC界面への窒素導入が優勢 (界面に窒素が局在)
- ・ SiO₂側1.5 nm領域にも窒素が分布 (N_{SiO_2})

NO窒化SiO₂/SiC界面の課題と改善策提案

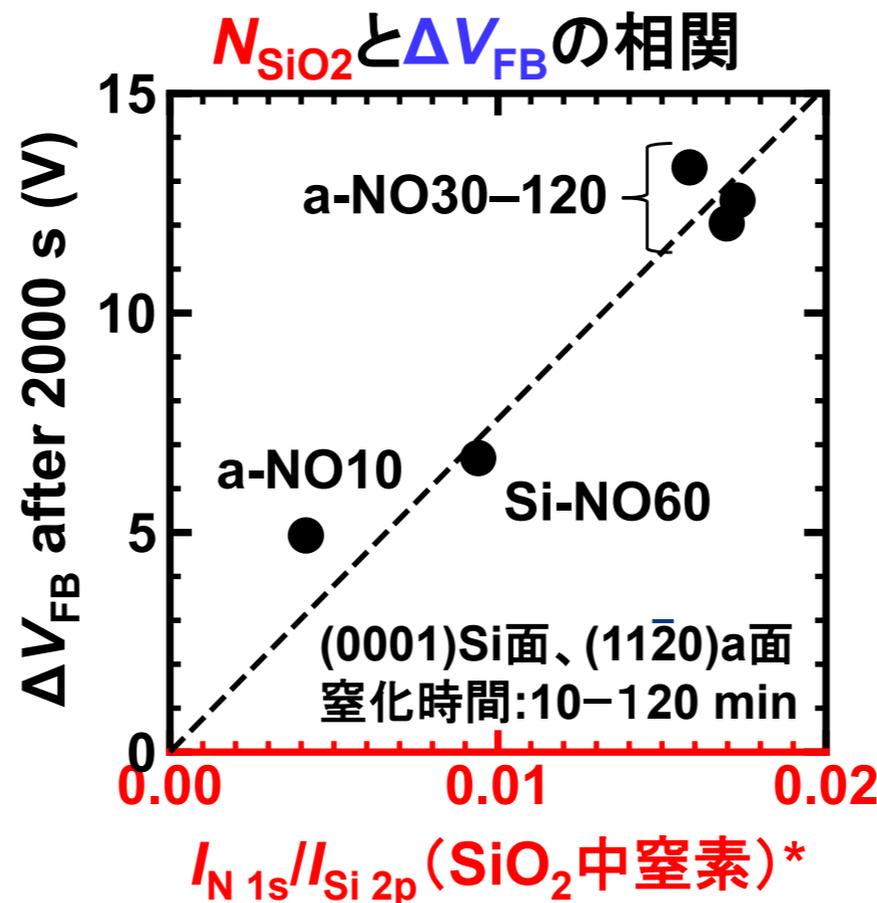
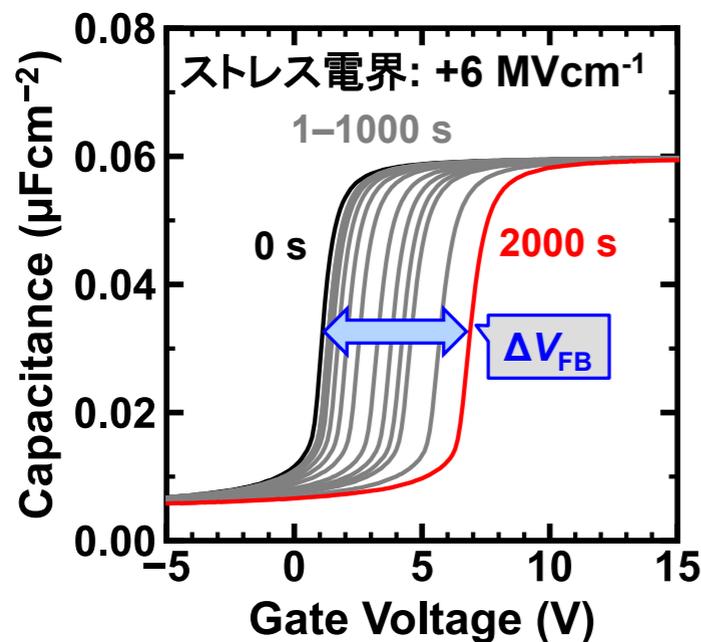


文部科学省



【UV照射による信頼性加速試験】

DCストレス試験前のUV照射で
界面欠陥を活性化

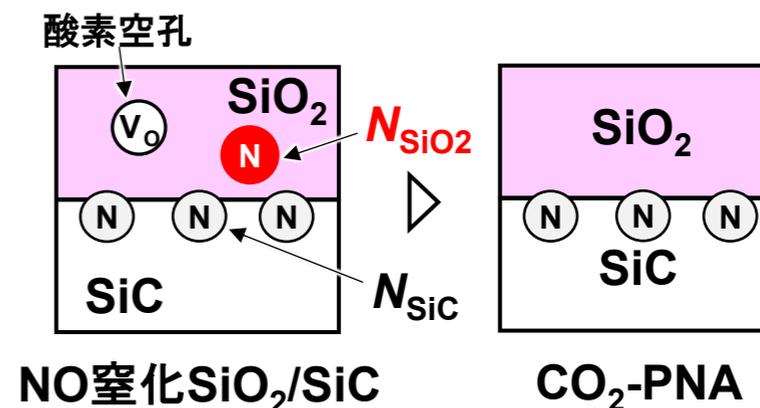


【CO₂-PNA技術の提案】

CO₂雰囲気中での高温熱処理で
SiO₂中の余剰窒素の除去と膜中
酸素欠損の補償が可能

T. Hosoi et al., *APEX* **16**, 061003 (2022).

- ✓ 走査型XPS測定
- ✓ 正負バイアスストレス試験



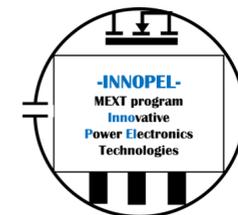
SiO₂中窒素量(N_{SiO2})と信頼性劣化(ΔV_{FB})に強い相関
⇒ **窒素関連欠陥への電荷捕獲に伴う閾値電圧変動**

⇒ アンペア級素子と回路実装での
優位性実証【後期重点課題】

CO₂-PNA適用アンペア級SiC DMOS試作



文部科学省

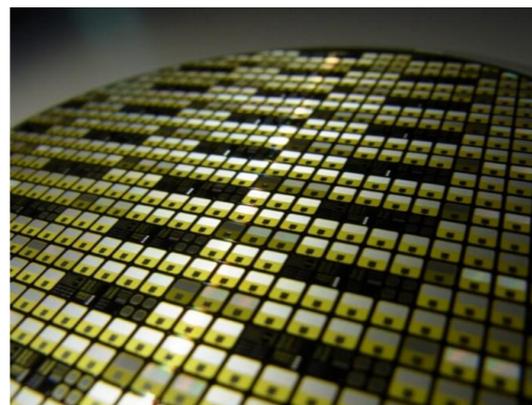


デバイス: 1.2kV DMOS

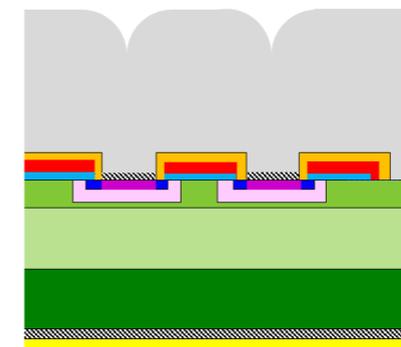
チップサイズ: 3mm \square

約500個/wf

水準: 4inch ウェハ 3枚(1ロット)



Si面DMOS



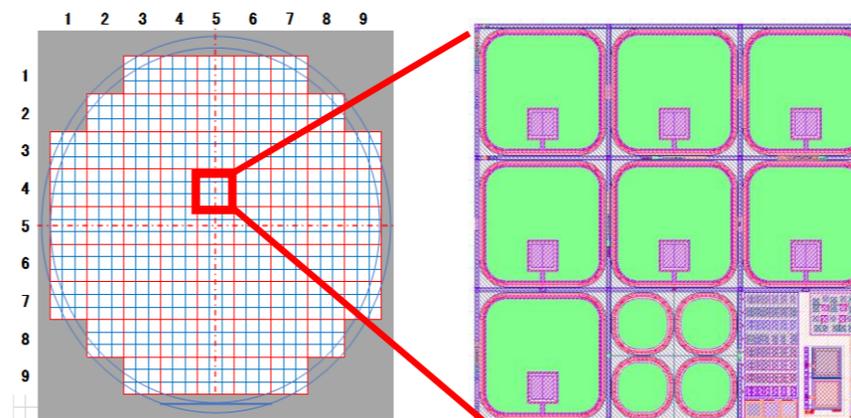
つくば産総研
SiC試作ライン

レイアウト設計

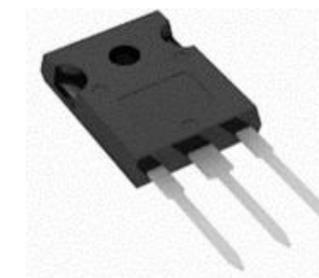
本体: DMOS (3x3mm) \times 7

TEG: SBD (1.5x1.5mm) \times 4

TLM, LMOS, PCM



- ✓ ウェハ状態で全数検査
- ✓ 特性確認後TO-247に実装



【一次試作(NO窒化水準)】

- ① T_{ox} 80nm, NO 60min ← 標準条件
- ② T_{ox} 80nm, **NO 120min** ← 過剰窒化
- ③ T_{ox} **50nm**, NO 60min ← T_{ox} 薄層化

【2次試作(CO₂-PNA適用)】

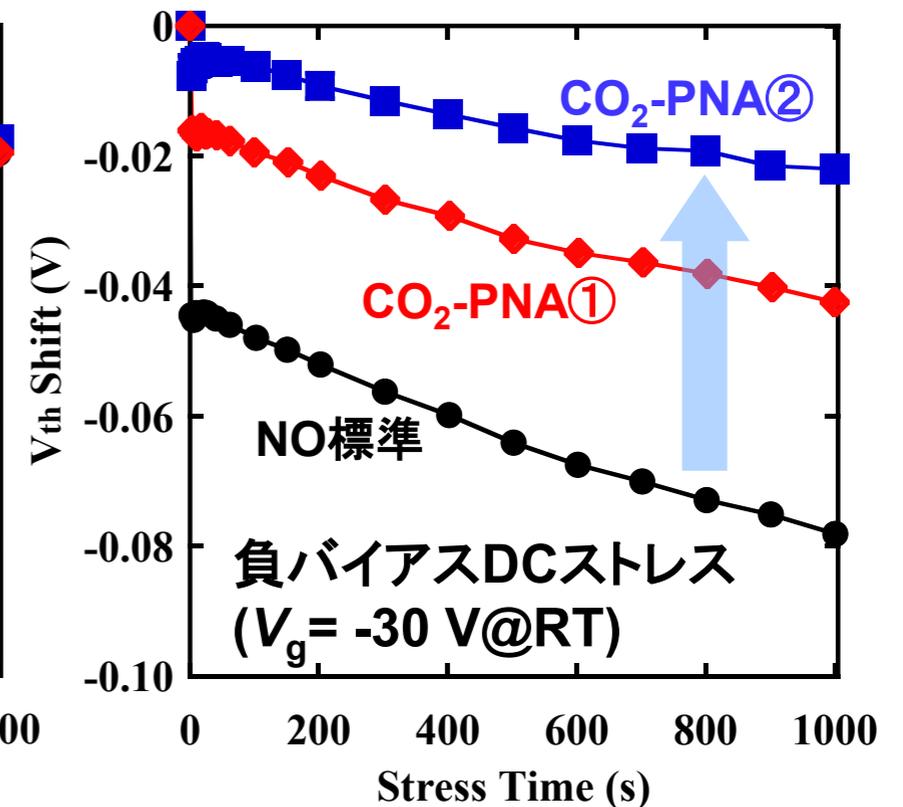
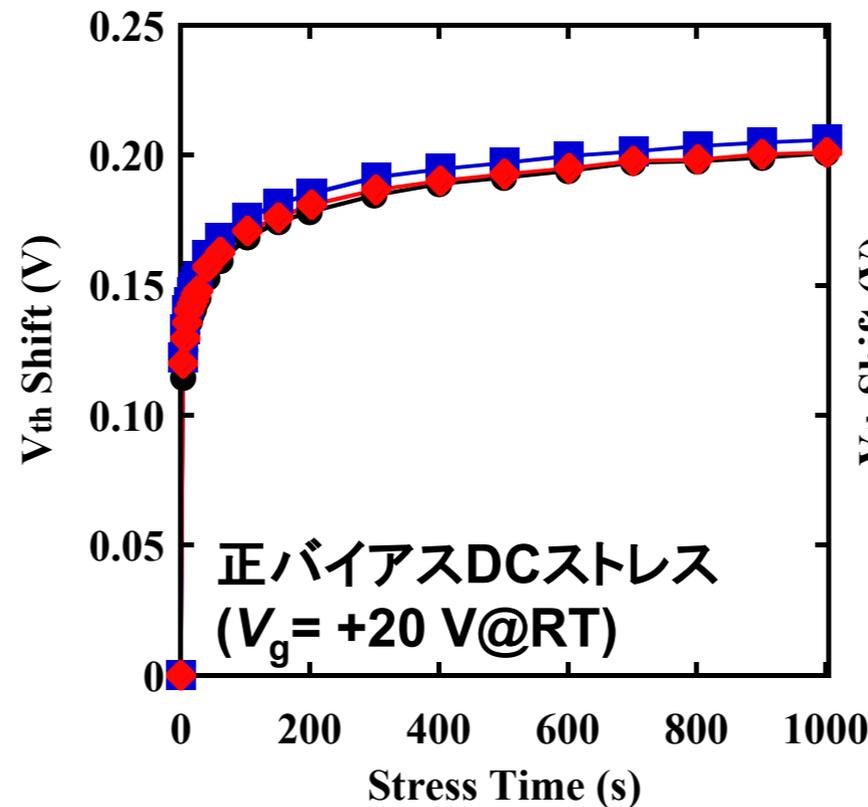
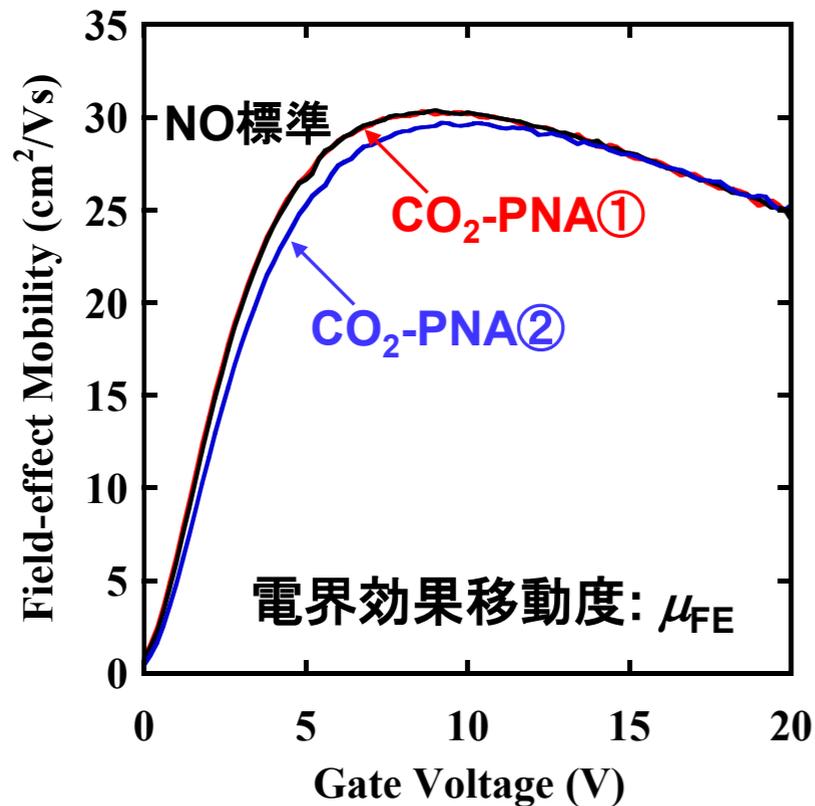
- ・ 量産プロセス対応CO₂処理炉導入 & 立ち上げ
 - ・ CO₂-PNA処理条件探索(TEGチップ)
- ⇒ 水準①~③にCO₂-PNA適用

TEGチップによるCO₂-PNA効果検証

標準NO窒化: NO@1250°C, 60 min

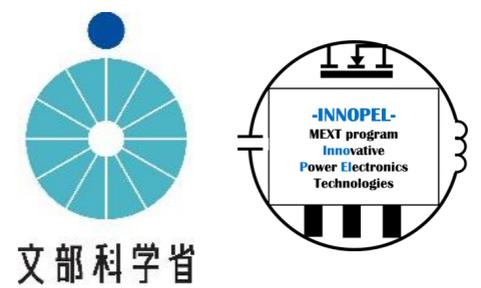
CO₂-PNA①: 標準NO窒化 → CO₂-PNA@1100°C, 60 min 【CO₂-PNA適用2次試作】

CO₂-PNA②: 処理条件最適化(最新データ)



- ・ CO₂-PNAにより負バイアスストレス耐性が大幅に改善 ← NO窒化界面の最大の課題
- ・ 顕著な移動度劣化(On特性)やOff特性、正バイアス耐性への悪影響は無い

1.2kV耐圧アンペア級SiC DMOS試作



ウェハ状態で全数検査

標準NO窒化 (T_{ox} 80nm, NO 60min)

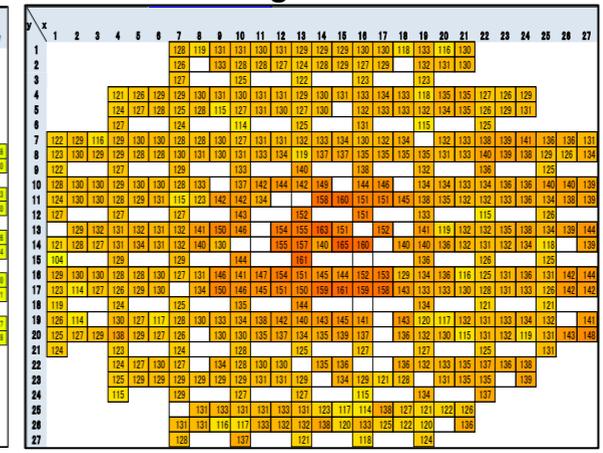
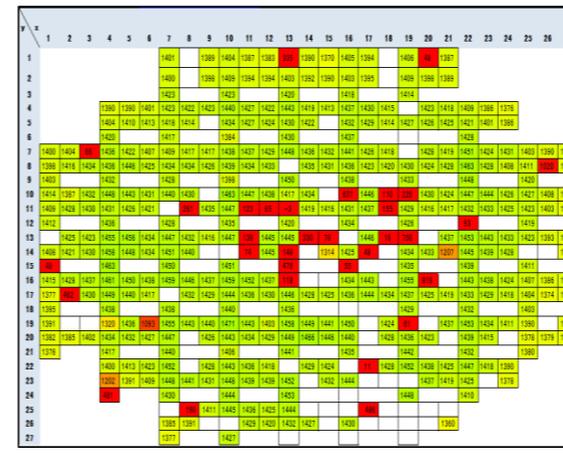
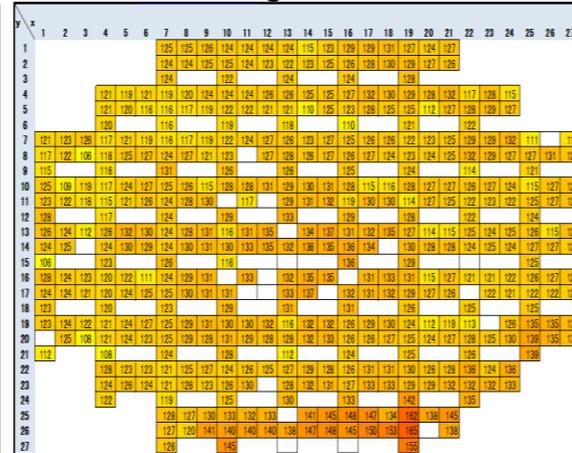
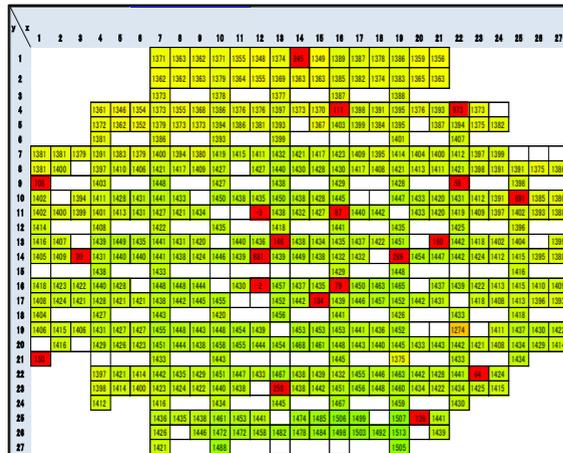
標準NO窒化 \Rightarrow CO₂-PNA適用

耐圧@ $I_d = 1$ mA

オン抵抗@ $V_g = 20$ V, $I_d = 1$ A

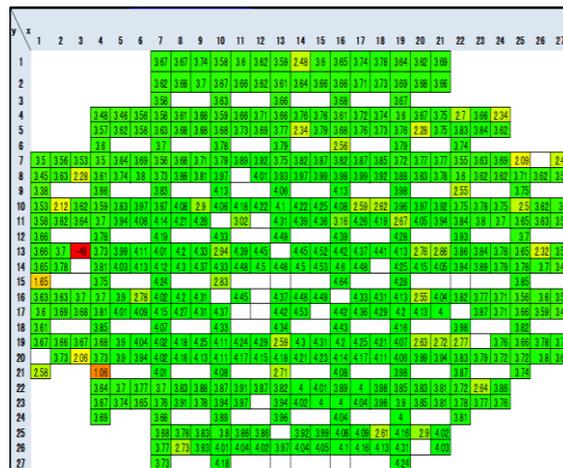
耐圧@ $I_d = 1$ mA

オン抵抗@ $V_g = 20$ V, $I_d = 1$ A



閾値電圧@ $I_d = 18$ mA

閾値電圧@ $I_d = 18$ mA

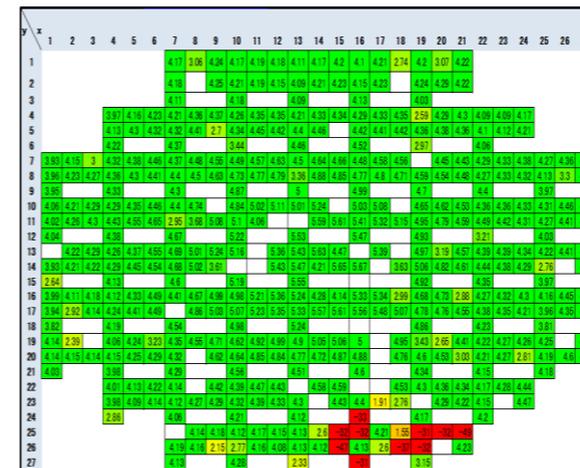


良品数417個/全数483個
 \Rightarrow 歩留まり86%

耐圧: 平均1420 V, σ 31 V

オン抵抗: 平均127.3 m Ω , σ 6.3 m Ω

閾値電圧: 平均 3.9 V, σ 0.26 V



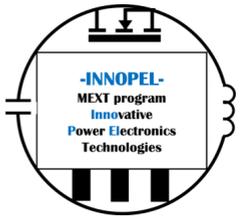
良品数386個/全数483個
 \Rightarrow 歩留まり80%

耐圧: 平均1422 V, σ 27 V

オン抵抗: 平均133.3 m Ω , σ 7.7 m Ω

閾値電圧: 平均4.7 V, σ 0.38 V

特性バラツキ評価(オン抵抗 v.s. 閾値電圧)



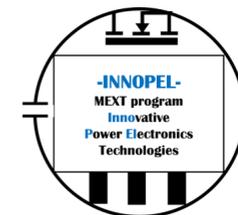
文部科学省

- 標準NO窒化・同一ウェハ内でも特性バラツキが存在
 - 過剰窒化により閾値電圧低下 (NO60 → NO120)
 - 絶縁膜薄層化でオン抵抗と閾値電圧が共に低下し、特性バラツキが軽減 (NO60 → NO60(T_{ox} :50))
 - CO₂-PNAで特性バラツキが高閾値電圧側に平行移動
⇒ 界面近傍(SiO₂側)の余剰窒素除去で閾値電圧上昇
(NO60+CO₂、NO120+CO₂、NO60(T_{ox} :50)+CO₂)
- ・ CO₂-PNA技術の実プロセスへの親和性を確認
 - ・ 閾値電圧バラツキと並列接続時の問題を再確認 (→回路実装評価の必要性)

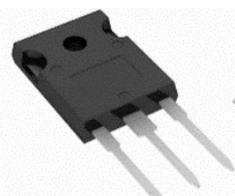
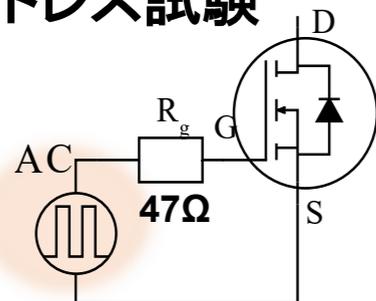
TOパッケージ品のゲートACストレス試験



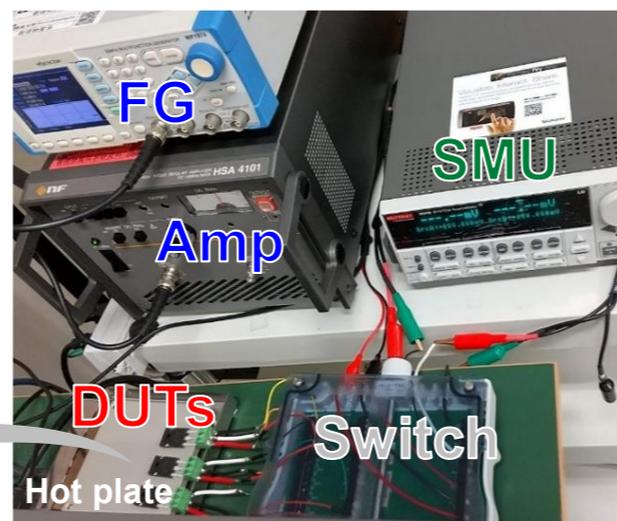
文部科学省



ACストレス試験



TOパッケージした
SiC DMOSFET



ストレス試験条件

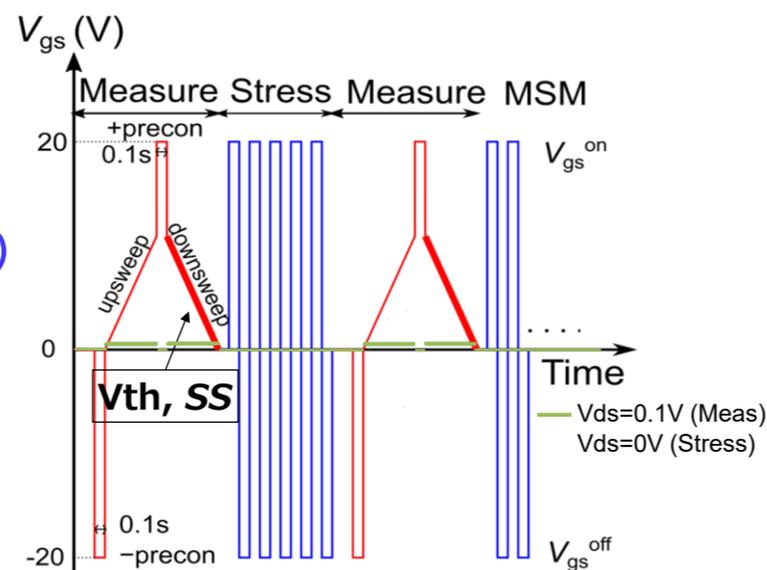
V_{gs} : ± 20 V (バイポーラAC)

V_{ds} : 0V

周波数: 500 kHz

デューティ比: 50%

ストレス時間: 最大20 h

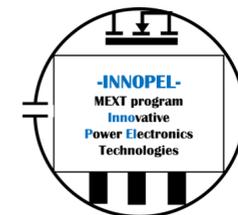


CO₂-PNAによる信頼性改善を高耐圧
アンペア級SiC DMOSで実証

回路実装による課題抽出に向けて

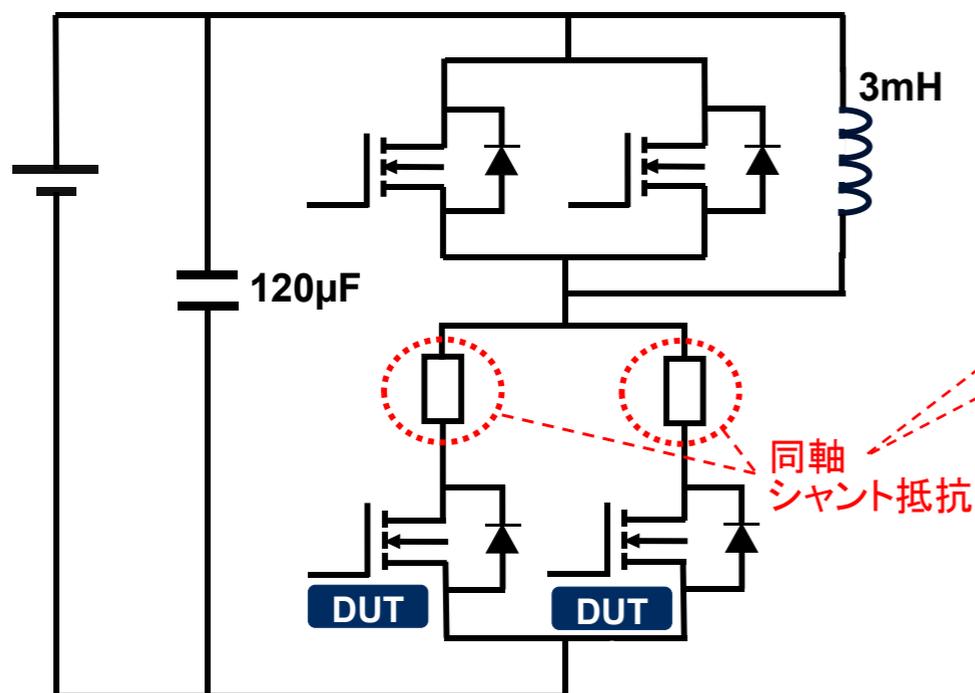


文部科学省

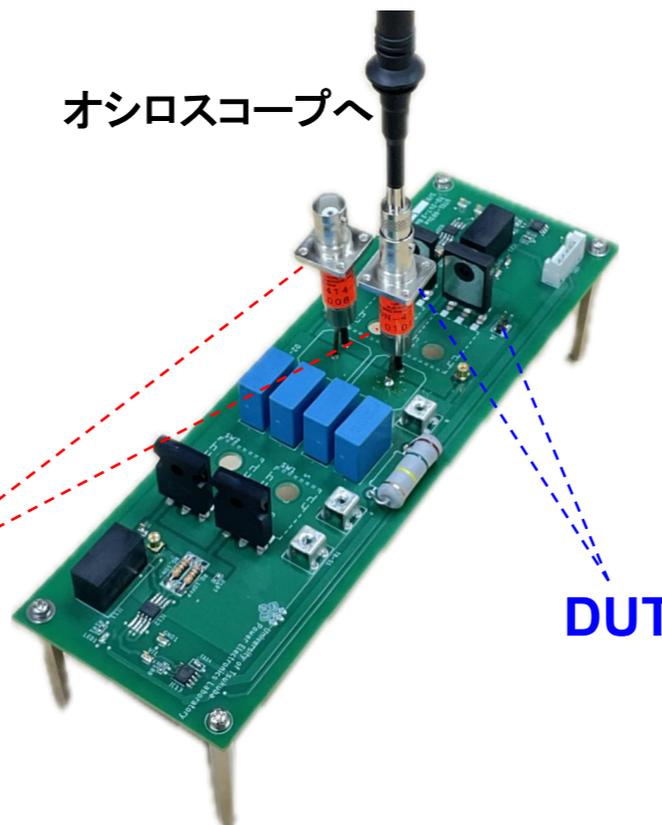


■ 閾値電圧等の特性バラツキが並列接続時の回路特性に及ぼす影響を調査

2並列MOSFETの各ドレイン電流を
同軸シヤント抵抗により測定

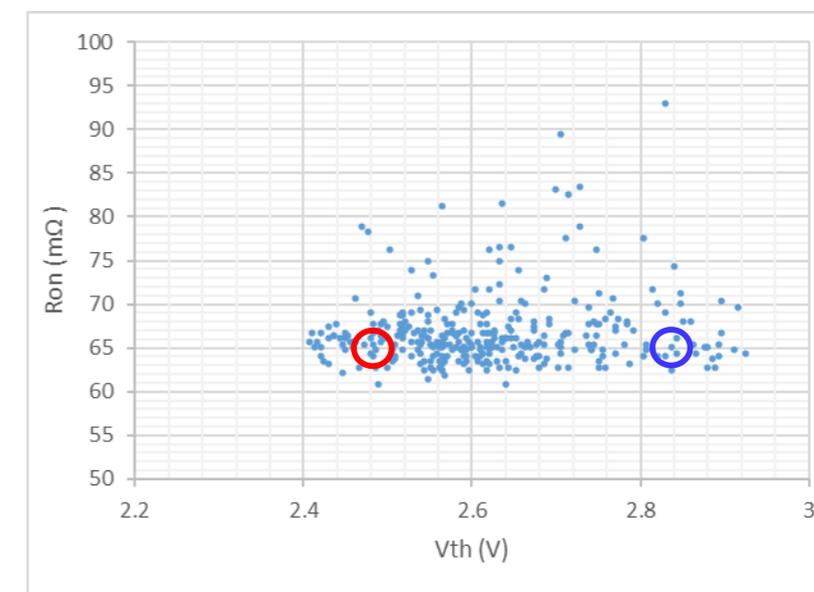


オシロスコープへ



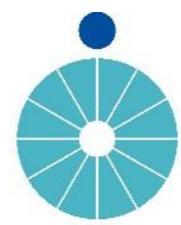
同一ロットのSiC MOSFETから閾値電圧が異なる素子(オン抵抗は同等)を並列実装

	V_{th} (V)	R_{on} (m Ω)
低閾値素子 (173)	2.482	65.4
高閾値素子 (189)	2.837	65.1

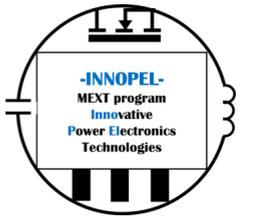


産総研SiC MOSFETを実装して評価回路の動作確認と閾値電圧バラツキの影響を評価

通常電流及び短絡電流の分流



文部科学省



【通常電流】低閾値: 2.482 V、高閾値: 2.837 V

【短絡電流】 対向アームを短絡

【通常電流】 ターンオン&オフ時に低閾値電圧素子に電流が偏り、その後はオン抵抗比(1:1)に収束

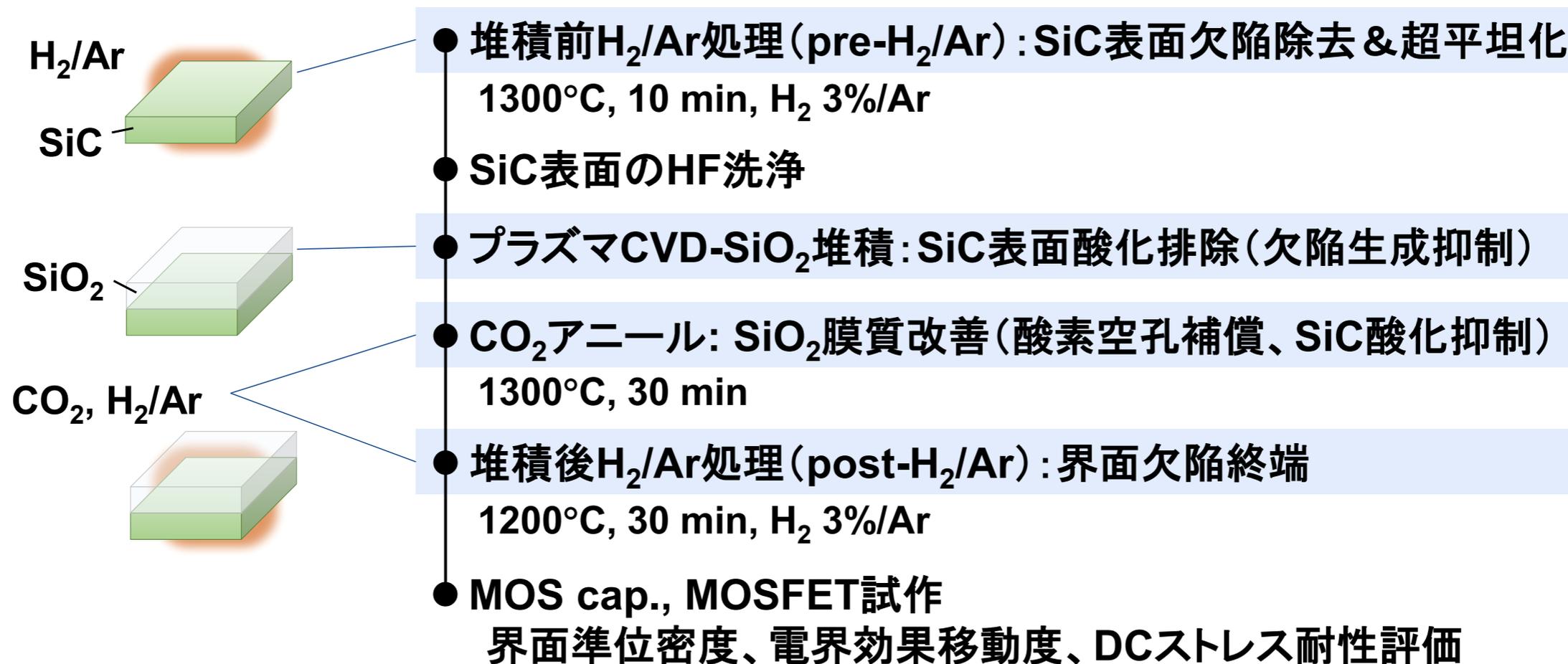
【短絡電流】 事故時の短絡電流(=飽和電流)は閾値電圧差の影響を強く受ける

⇒ 各種DMOS素子の信頼性評価実験を継続

非窒化理想MOS構造の提案

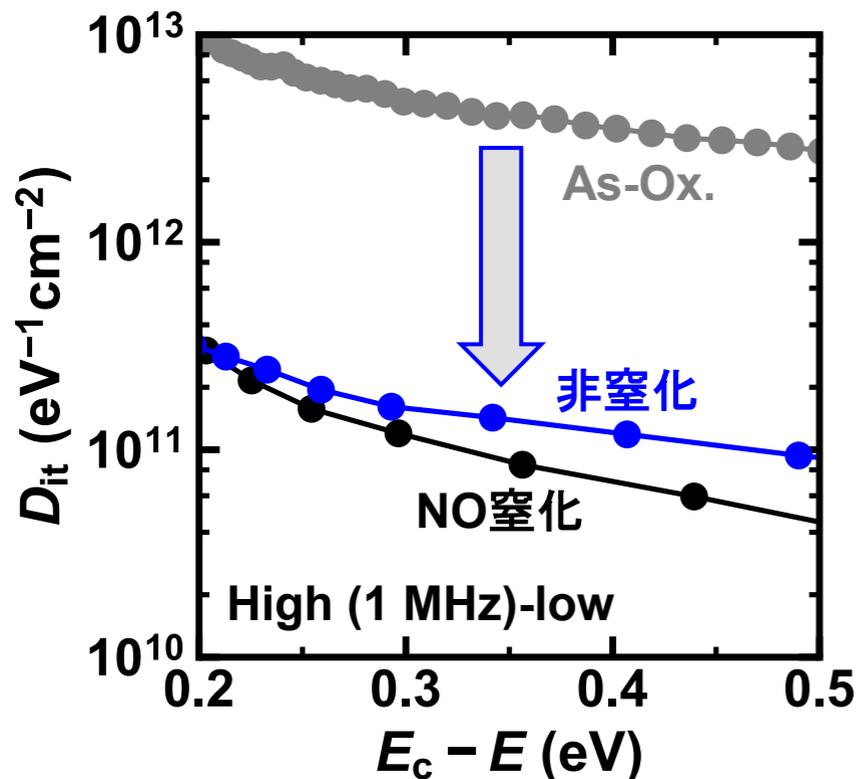
- 【NO窒化の課題】
- ・ 窒素原子による界面欠陥終端に限界
 - ・ SiO_2 への窒素導入に伴う信頼性劣化(閾値電圧変動)

【理想MOS構造形成技術の探索】 T. Kobayashi et al., *APEX* 18, 081002 (2025). 【プレス発表 2025年8月】

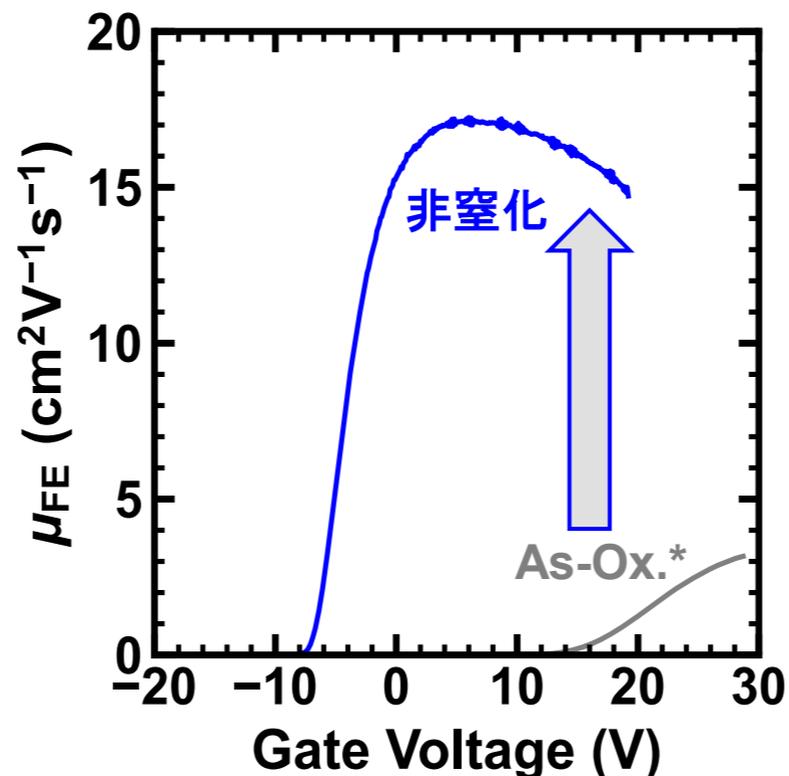


非窒化理想SiC MOSデバイス

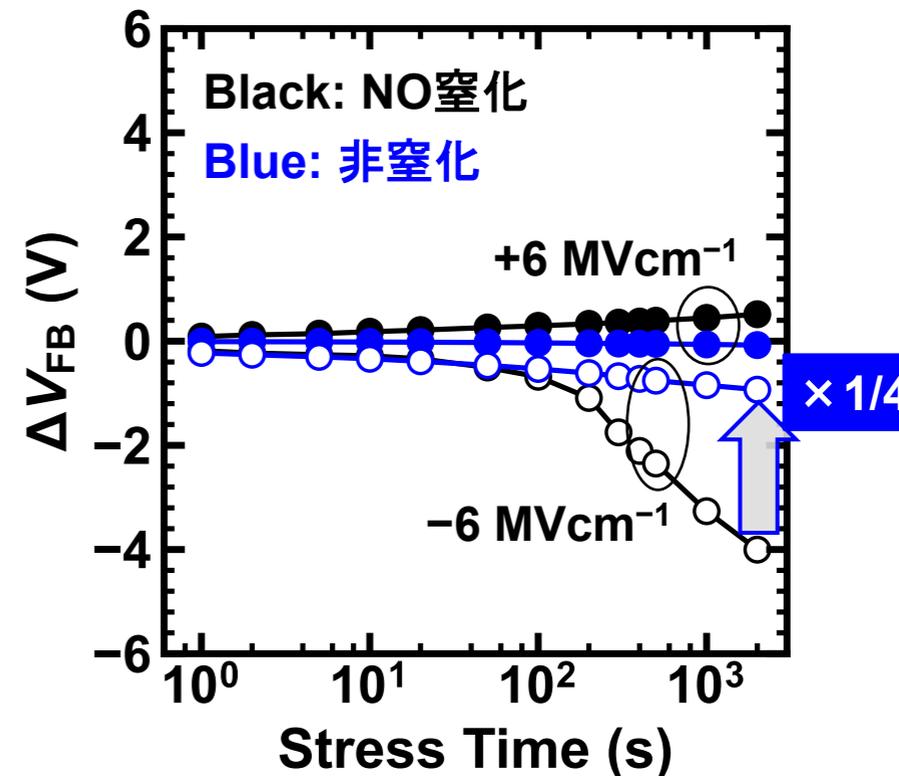
【界面準位密度: D_{it} 】



【電界効果移動度: μ_{FE} 】

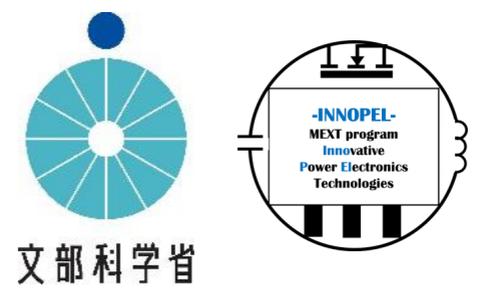


【信頼性(DCストレス試験)】



- ・ 非窒化SiO₂/SiC界面でNO窒化と同等の欠陥密度低減を達成
- ・ 電界効果移動度向上 (←更なる移動度改善が必要)
- ・ 窒化排除により正負両バイアスストレス条件で顕著な信頼性改善

まとめ



- NO窒化SiO₂/SiC構造の詳細な分析評価からMOS界面への窒素導入の問題点を明らかにすると共に、新たな信頼性改善策(CO₂-PNA)を提案した。
- 1.2kV耐圧アンペア級SiC DMOSにCO₂-PNAを適用し、実デバイスでの優位性実証に成功した。
- SiCパワーデバイスの特性バラツキに関して理解を深めると共に、並列実装に際しての課題抽出に向けた評価回路を構築した。
- 非窒化理想MOS構造形成技術を提案し、TEGチップ試作を通じてその優位性実証に成功した。