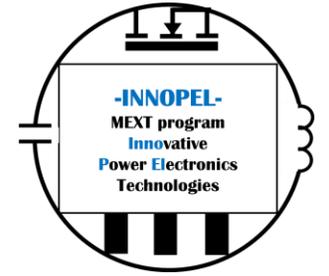


革新的パワーエレクトロニクス創出基盤技術研究開発事業

Innovative Power Electronics Technologies (INNOPEL)



文部科学省



社会実装を目指した

GaN縦型パワーデバイス作製技術の確立

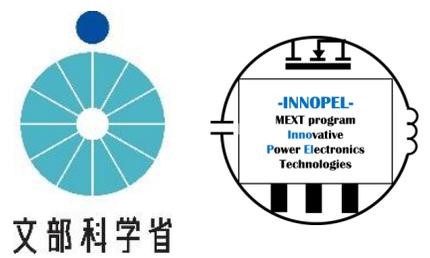
2026年1月28日

天野 浩^{1,2}, 須田 淳^{2,1}

¹名古屋大学未来材料・システム研究所(IMaSS), ²名古屋大学大学院工学研究科



目次



1. はじめに

2. 本プロジェクトの狙い

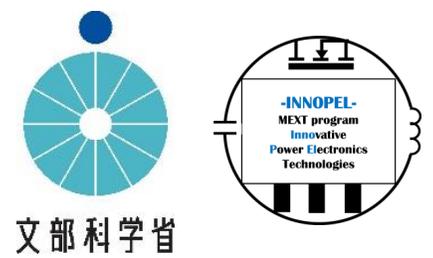
3. 本プロジェクトの成果

4. 今後の展望

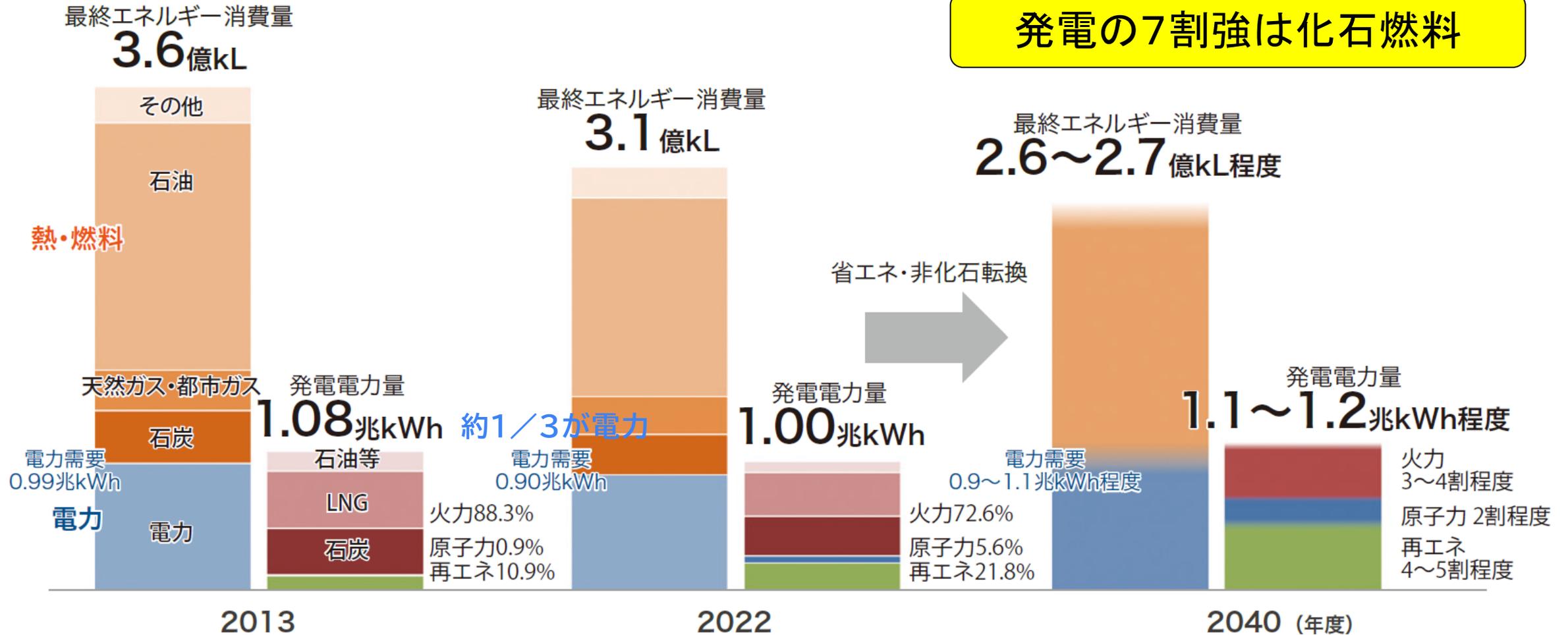
1. はじめに

1. はじめに

我が国のエネルギー事情



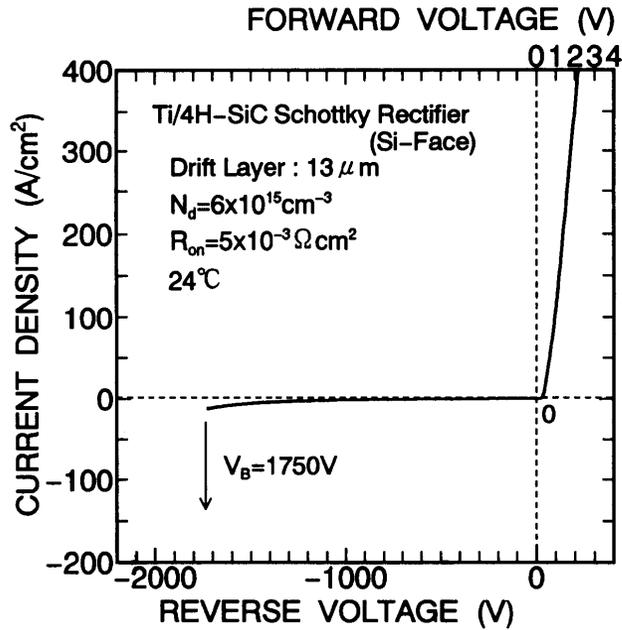
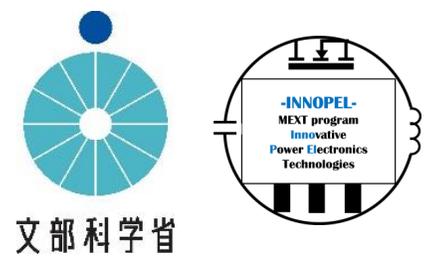
発電の7割強は化石燃料



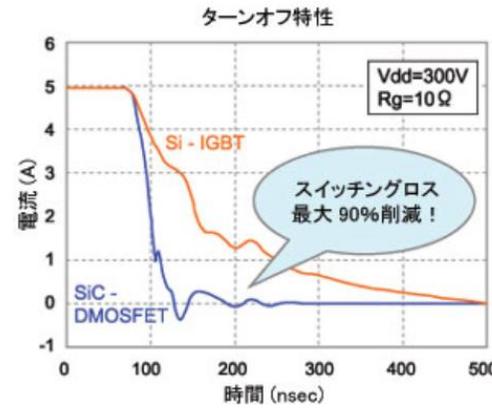
https://www.enecho.meti.go.jp/about/special/johoteikyo/energyissue2024_1.html
<https://www.enecho.meti.go.jp/about/energytrends/202506/html/s-1-1.html>

1. はじめに

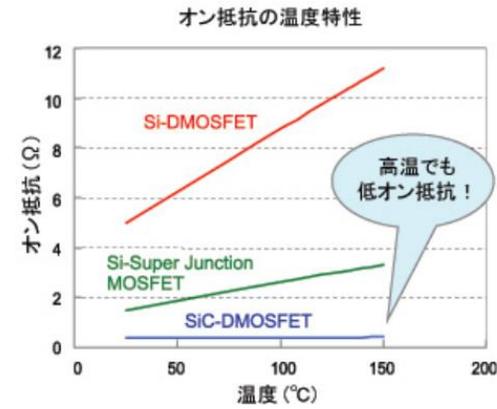
社会実装の先例 SiCパワーデバイス



1995
京都大学
SiC SBDの実証



2010 ローム SiCMOSFET量産開始



2001
Infineon
SiC SBD量産開始



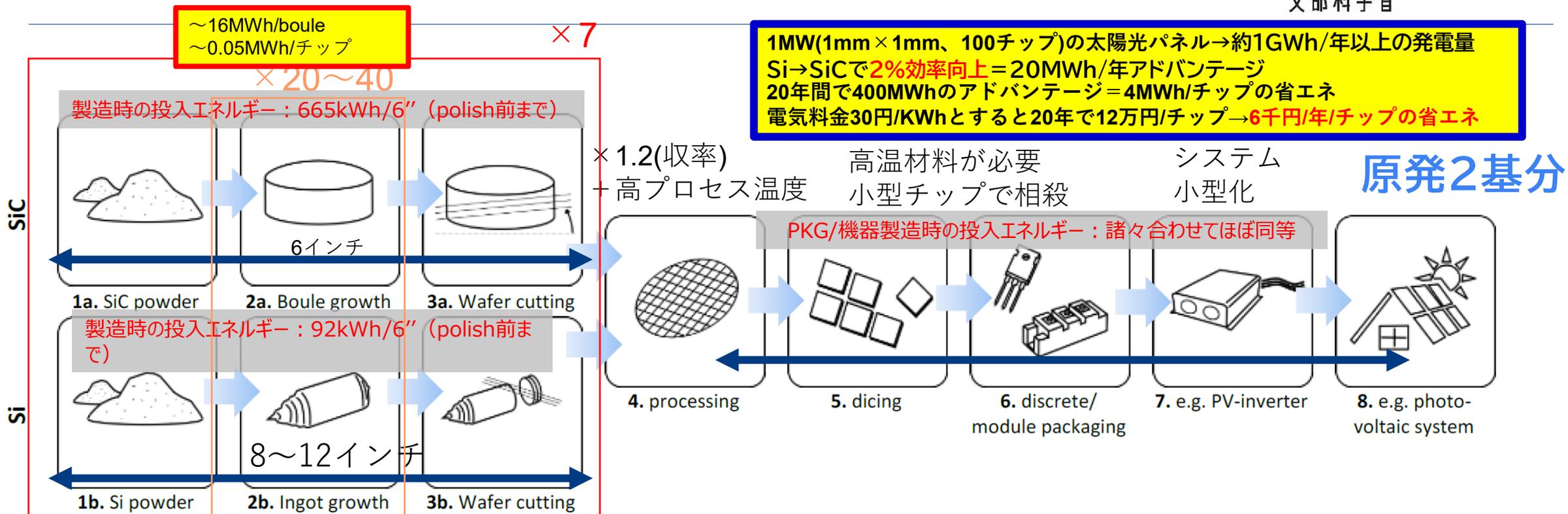
2011
地下鉄銀座線
実地試験



2020
JR東海 N700S

1. はじめに

Siをワイドギャップ半導体(WBG)に置き換える意味



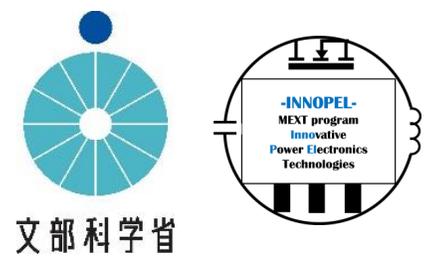
6" wafer面積: 17,600mm²
 チップ面積: 1mmx1mmを仮定
 SiC 取れ数(75%): ~13,200
 Si 取れ数(90%): ~15,800
 チップ当たりの製造エネルギー
SiC: ~0.050kWh/チップ (対Si 8倍)
Si: ~0.006kWh/チップ
 絶対値での差分 Δ0.044kWh/チップ、(Δ4.4kWh/100チップ)

Frontend Wafer Processing	Backend packaging	End Use Application	Use Phase
---------------------------	-------------------	---------------------	-----------

Life cycle thinking" approach to assess differences in the energy use of SiC vs. Si power semiconductors", Diaz Triana, A.; S. Schmidt; S. Glaser; M. Makoschitz, 4E power Electronic Conversion Technology Annex PECTA Task B: Energy and environmental Lifer Cycle Assessment (LCA)

1. はじめに

WBG半導体パワーデバイスのメリット



	Si	GaAs	4H-SiC	GaN	β -Ga ₂ O ₃	Diamond	AlN
禁制帯幅 (eV)	1.12	1.42	3.26	3.42	4.5	5.5	6.0
電子移動度 (cm ² /Vs)	1350	8000	1180	1690	200	4500	300
飽和ドリフト速度 (cm/s)	1×10 ⁷	1×10 ⁷	2×10 ⁷	2×10 ⁷	1.5×10 ⁷	1.5×10 ⁷	2×10 ⁷
絶縁破壊電界 (MV/cm)@1 kV	0.3	0.4	2.5	2.4	(>7)	(>10)	(>10)
比誘電率	11.8	13.1	10.3	10.4	10.24	5.7	8.5

耐圧とオン抵抗のトレードオフ

$$R_{on} \cdot A = \frac{4 V_B^2}{\epsilon \mu E_{crit}^3}$$

真性キャリア密度

$$n_i = \sqrt{N_C N_V} \exp\left(-\frac{E_g}{2k_B T}\right)$$

3大メリット

- ① 大きな絶縁破壊電界と良好な移動度
→ 大幅な低オン抵抗化が可能 → **電力損失低減**
- ② 高温でも小さなリーク電流
→ 高温動作が可能 → **冷却システムの簡素化** → **実装技術も重要**
- ③ 直接遷移、多数キャリアデバイスでトランジスタを構築可能
→ 高速スイッチング → **受動素子の小型・軽量化** → **受動素子、回路・システム**

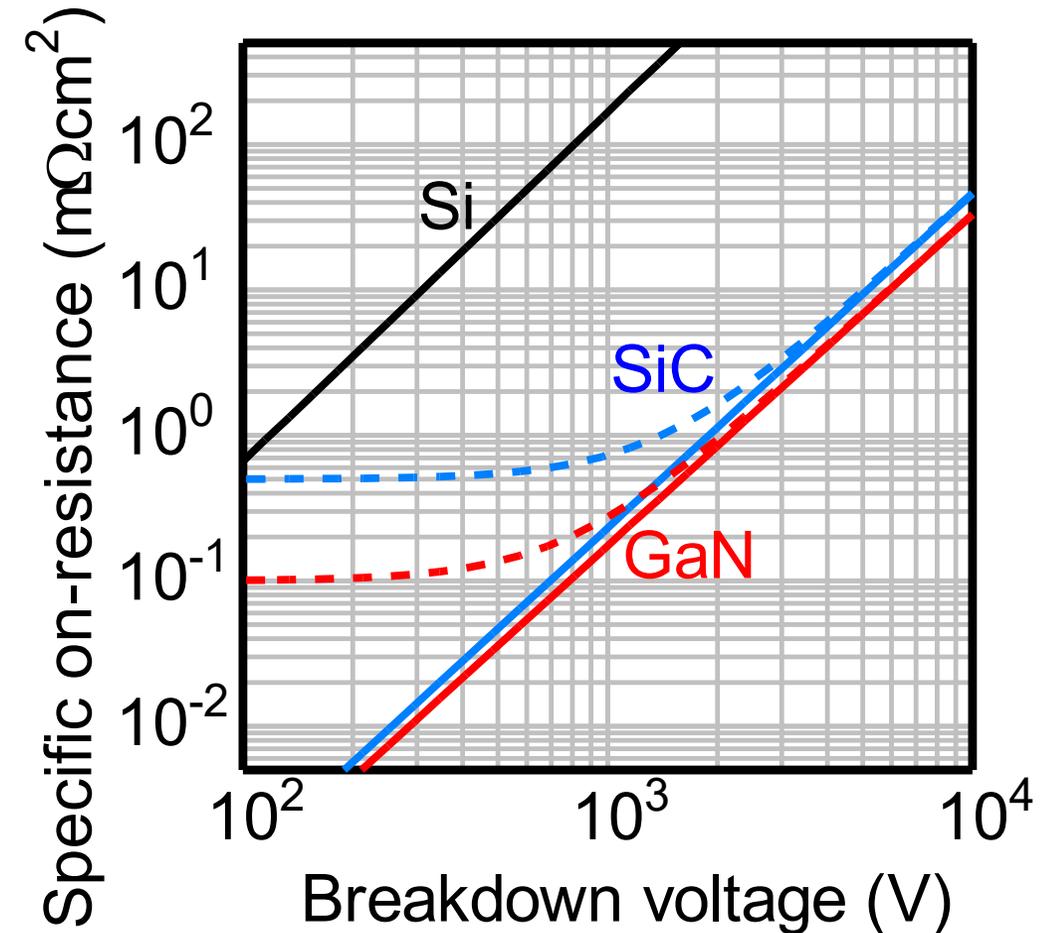
GaN縦型パワーデバイスの魅力・期待

SiC, GaNに共通する特長

- 十分に大きなバンドギャップ
- 十分に大きな絶縁破壊電界 (3.3kVまで)
- 良好な電子移動度
- 室温で十分に活性なp型、n型が実現可能

GaN縦型パワーデバイスの特長(期待)

- 高い電子移動度 (対SiC x1.5)
- 高いチャネル電子移動度 (対SiC x5 : 検証)
→ SiCよりさらなる低損失化
- 液相からのバルク成長可能
(ウエハ国内企業世界トップシェア)
→ 製造コスト・エネルギー低減、大量生産



GaNパワーデバイス

GaN … SiCと並ぶ次世代パワーデバイス材料として期待

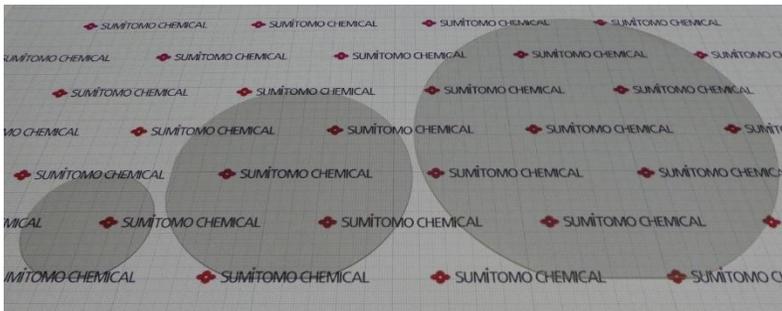
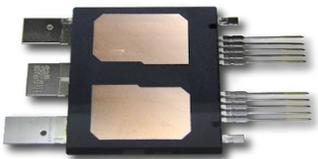
GaN/Si横型パワーデバイス (普及段階)

小容量、高周波化に最適。USB充電器に普及開始
次なるターゲットはEV用OBC

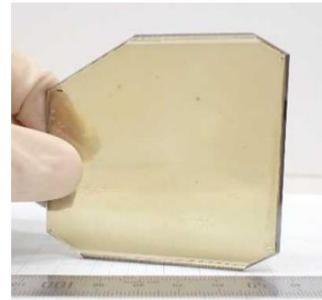


GaN/GaN縦型パワーデバイス (研究段階)

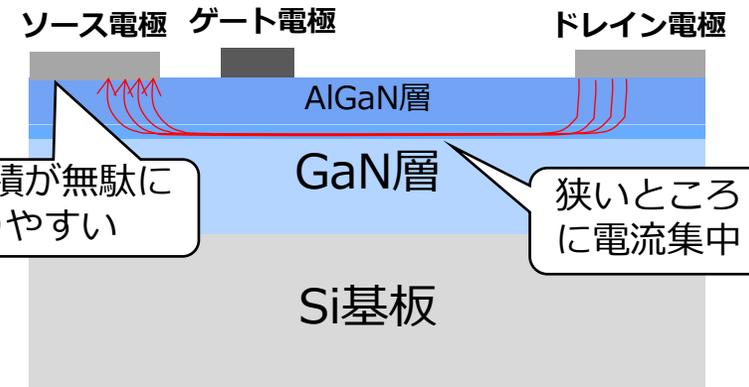
大容量、高耐圧化、耐アバランシェが可能。
Si IGBTを置換しうる存在。EV応用が期待
我が国が研究開発で世界をリード
GaN基板も日本が世界トップ(三菱ケミ, 住化)



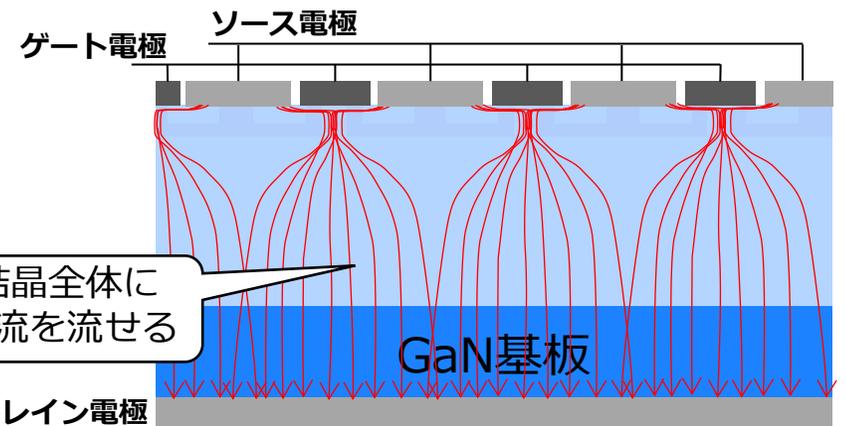
住友化学プレスリリースより
2,4,6インチサイズGaNウエハ



三菱ケミカル・日本製鋼所プレスリリースより
低圧酸性アモノサルマル法により成長したGaNバルク結晶



横型パワーデバイス断面図
AlGaIn/GaN境界層を面内(横方向)に電流が流れる

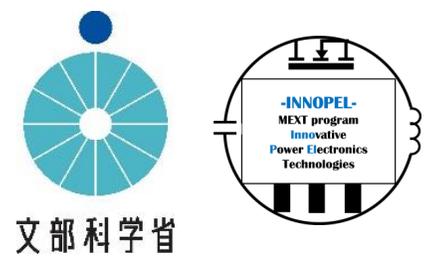


縦型パワーデバイス断面図
素子全面を貫通して(縦方向に)電流が流れる

2. 本プロジェクトのねらい

2. 本プロジェクトの狙い

GaN縦型パワーデバイス研究の立ち上がり



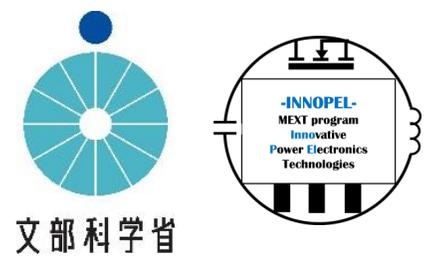
- 2010 GaN縦型パワーデバイスの可能性を示す結果は散見されるが、さまざまな技術が未確立
- 2013 米国エネルギー省 ARAPA-e SWITCHESプロジェクト (GaNバルク基板、GaN縦型デバイス)
- 2014 内閣府戦略的イノベーション創造プログラム(SIP)
次世代パワエレ/GaN縦型パワーデバイス基盤技術

GaN縦型を作製するための結晶技術、結晶技術、MOS技術などを開拓
GaN物性値の解明、イオン注入の難しさの原理解明、DMOSFET、UMOSFETの試作
- 2016 文科省・環境・エネルギー課「省エネルギー社会に資する次世代半導体技術開発」
オールジャパン・産官学連携のGaNの総合研究プロジェクト
高性能GaN縦型に向けてそれぞれの技術のさらなる研究を展開
イオン注入p型を世界で初めて実現、MOS移動度改善、高品質結晶成長

2010年頃の「ほぼすべての技術が未確立」な状態から10年間で大きく進展
我が国(本PJ、派生プロジェクト)が縦型GaNパワーデバイス研究を世界的に先導

2. 本プロジェクトの狙い

GaN縦型パワーデバイス実用化に向けて



2021/3 MEXT-GaN終了

GaN横型パワーデバイスは急速に普及拡大(企業の目前の関心)

SIP, MEXTの縦型GaN技術を社会実装に繋げるには？

- ・イオン注入をデバイス製造レベルの技術へ
 - ・MOS界面の課題解決
 - ・コンタクト技術などデバイス周辺技術の構築
- 将来のコスト低減・技術進展の予測が可能

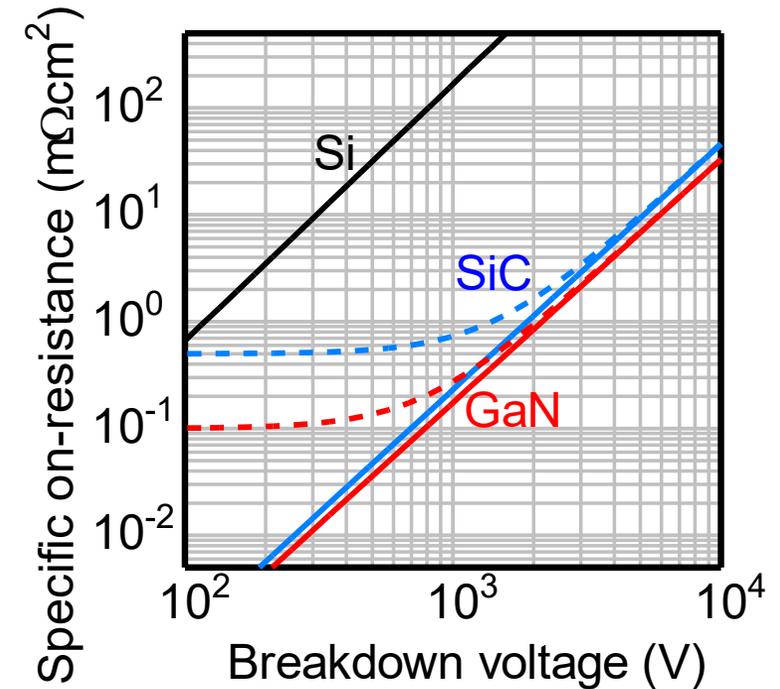
本プロジェクトにおける取組み：

課題a HVPEによる低コストデバイスエピ成長技術の開発

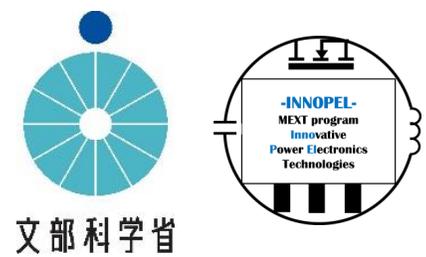
課題b 高制御性・産業適合イオン注入技術の開発

課題c 高信頼性MOS界面技術の開発

課題d JBSダイオード, DMOSFET, UMOSFET試作



全体線表

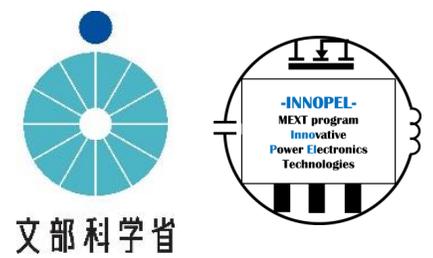


	R2年度	R3年度	R4年度	R5年度	R6年度	R7年度	
課題a 低コストデバイス活性層エピタキシャル成長技術		a-1: HVPEによるGaN縦型パワーデバイスのドリフト層の高速成長				★	
		a-2: HVPEによるp型GaNのドーピング制御				キラー欠陥抑制しつつ 1e16, 10μm, >30μm/h実現	
				a-3: HVPEによるpn多層構造の作製技術の開発		トレンチMOSFET用pn多層成長確立★	
			a-4: HVPE層における転位の挙動、デバイス信頼性と転位の関係解明				
課題b 高制御性・高品質・産業適合イオン注入技術	b-1: 超高压アニール設備プロト開発	個別研究に活用しつつ、標準条件での「アニール定期便1回/月」を実施					
		b-2: 産業適合性の探求 (6インチ化可能な数千気圧への低減&キャップアニールの新手法)				産業用アニール手法明確化★	
		b-3: JTEのためのp型イオン注入技術の確立		実効アクセプタ密度±10%制御性★			
		b-4: DMOS p-bodyのためのp型イオン注入技術の確立		実効アクセプタ密度±10%制御性★			
			b-5: イオン注入によるp+コンタクト領域の形成		技術見極め(d-4に統合)★		
課題c 高信頼性MOS界面技術の開発		c-1: 価電子帯端付近の界面準位の評価方法確立					
			c-1': 上記を用いた各種絶縁膜/ゲートスタック、界面制御層の比較			>200cm ² /Vs >+3V しきい値変動抑制★	
		c-2: テスト用横型MOSFETを用いたしきい値変動の評価方法確立					
			c-2': 上記を用いたしきい値現象のメカニズム解明				
課題d デバイス作製技術 回路、実装グループ連携		d-1: イオン注入を活用したデバイス PND, JBS	回路システム連携			1200V 10A 標準JBS確立★	
		d-2: 上記 b,cの縦型DMOSFETへのインテグレーション	回路システム連携			1200V 10A 標準DMOSFET確立★	
		d-3: 上記 b,cの縦型トレンチMOSFETへのインテグレーション	回路システム連携			1200V 10A 標準トレンチMOSFET★	
		d-4: コンタクト技術の開発				回路システム連携★	
		d-5: 表面・表面電極技術の開発				<1e-2Ωcm ² pコンタクト確立★	
						技術確立★	

3. 本プロジェクトの成果紹介(抜粋)

3. 本プロジェクトの成果紹介

Mgイオン注入による局所ドーピング技術



縦型パワーデバイス構造の作製には
局所ドーピング技術が必須

- Siイオン注入 + 熱処理によるn型伝導については複数報告
- Mgイオン注入 + 熱処理によるp型伝導では成功例なし(2013)

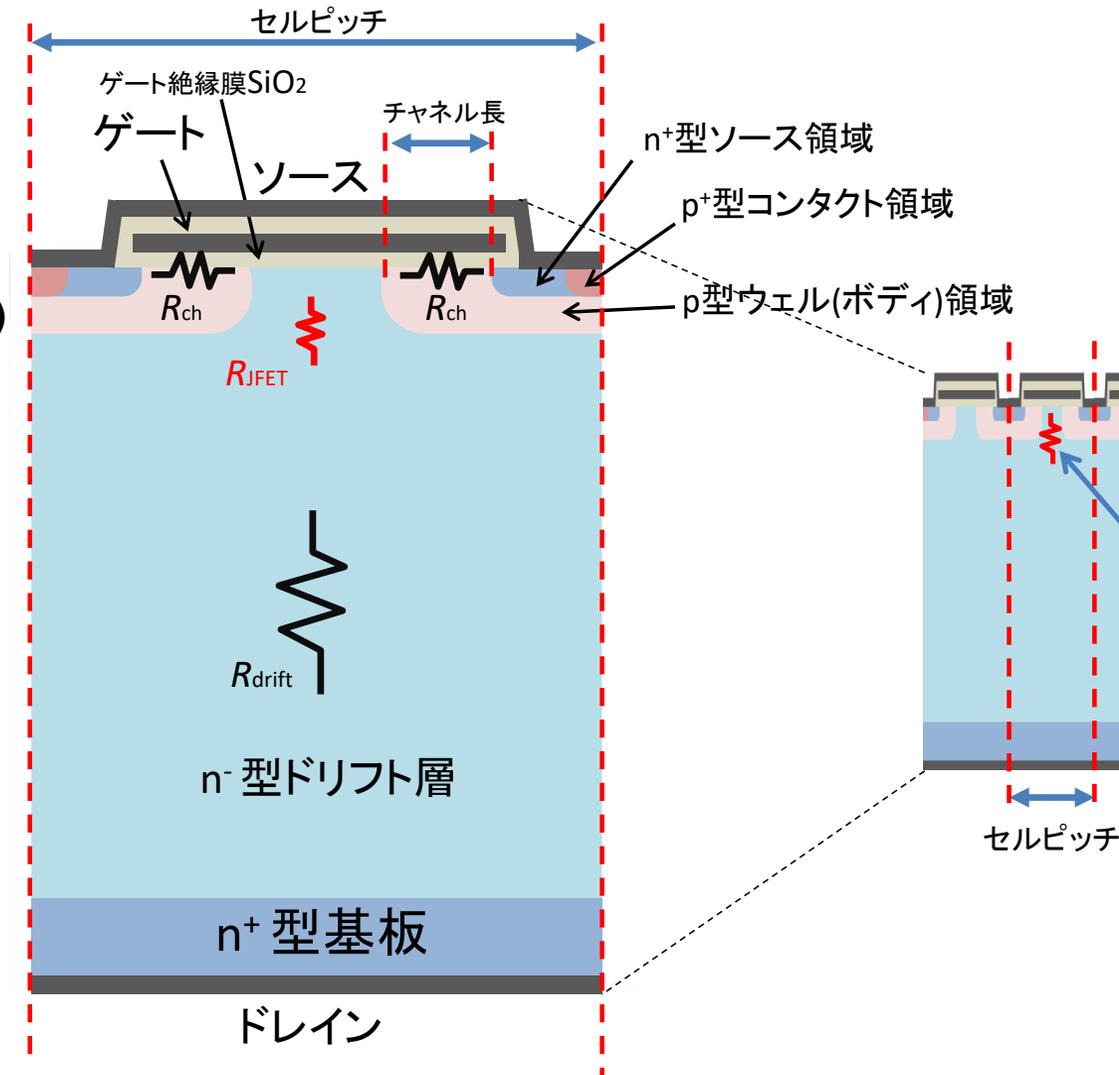
縦型GaNパワーデバイスを敬遠する一因にもなっていた
(横型GaNパワーデバイスはp型局所ドーピング不要のため)

2014年からのSIP-GaN

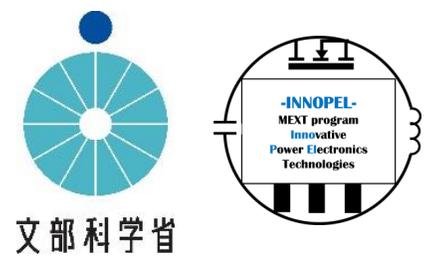
なぜp型が難しいのかを原子レベルで解明

- イオン注入によりGaとNの空孔欠陥ペアが生成
- 熱処理により複数の欠陥ペアが凝集
- その凝集欠陥は熱的に安定

期間内にはp型伝導確認できずMEXT-GaNに持ち越し



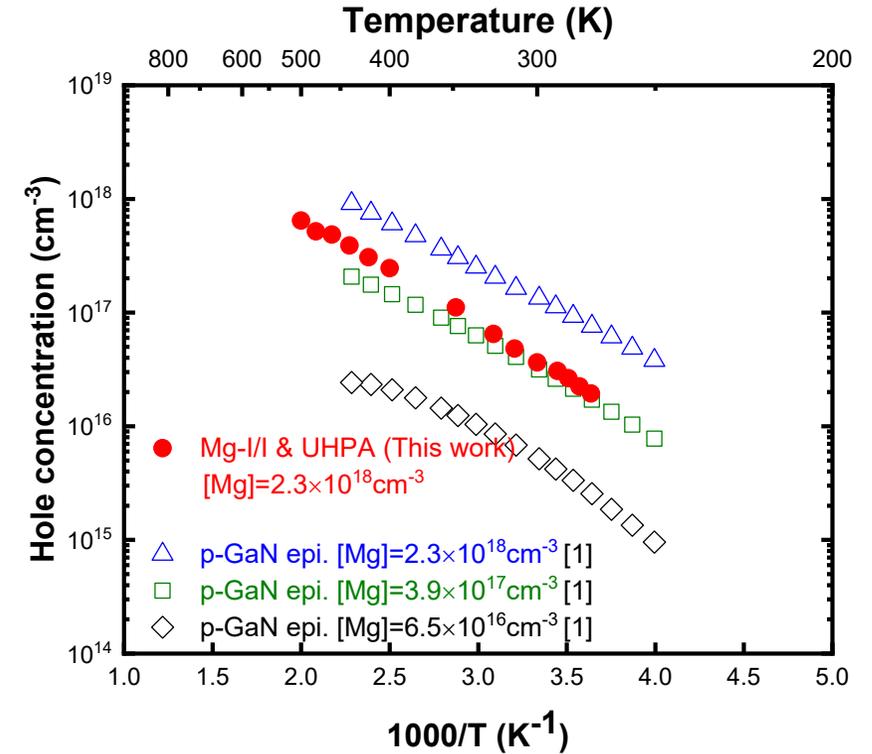
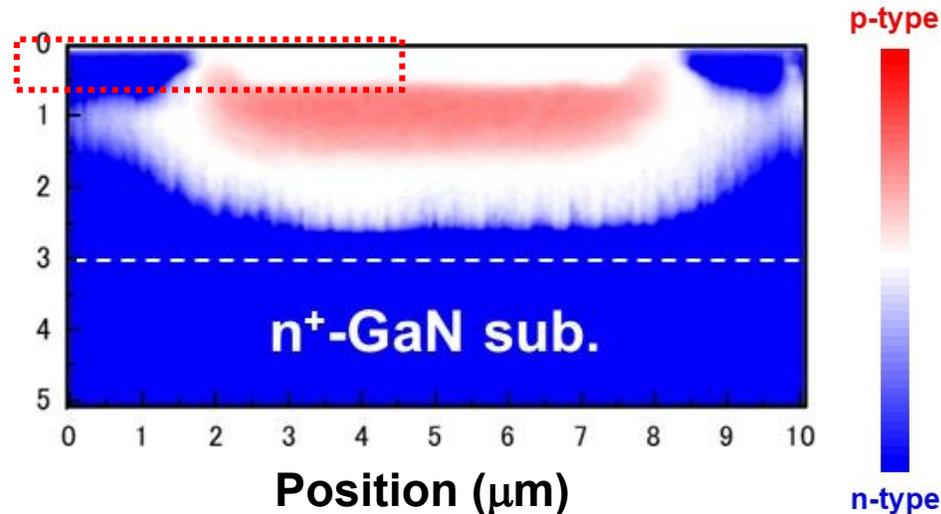
3. 本プロジェクトの成果紹介



世界初のMgイオン注入による明確なp型伝導

複合欠陥を分解、消滅させるには高温で熱処理をしたい
しかし、GaNは高温では金属Gaと窒素(N₂)に分解してしまう

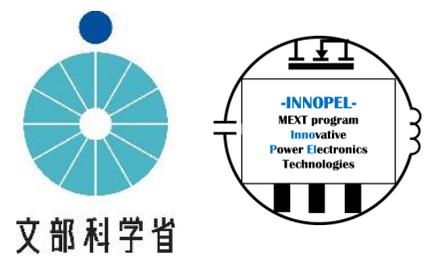
当時、名古屋大学に招聘教授として滞在していた
ポーランド超高压物理研究所のボチコウスキ教授と
連携して超高压窒素雰囲気下1000MPa(1万気圧=1GPa)で
1400°Cの熱処理に挑戦



-50°C~250°Cの広い範囲で極めて明瞭なp型伝導
エピタキシャル成長で作製したp-GaNと同等の特性
走査プローブ顕微鏡でも局所p型化を確認
縦型GaNの道筋を切り開く成果 (2019)

3. 本プロジェクトの成果紹介

INNOPEL: Mgイオン注入を社会実装に繋ぐ



大型超高圧処理装置の実現可能性

実際に設計を行い書類審査に通るか検証→国内で4インチ可能
国内の高圧装置を改造して2インチウエハでの実験環境構築→成功、期間中活用

より低い圧力で実現できないか

Mg活性化過程を温度、圧力、時間で詳細に明らかにし
より低温、低圧でMg活性化を実現→1300°C、500MPa可能

熱処理中のMg拡散現象の抑制

2019年の実験、p型化は良好だったが、Mgが拡散によりかなり広がっていた
→窒素イオンも連続注入することで拡散抑制に成功

開発したMgイオン注入のデバイス適用

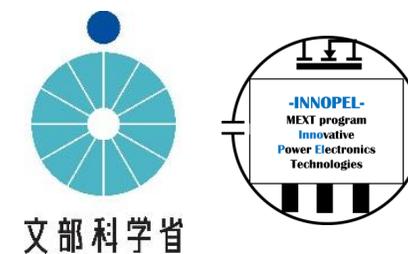
ジャンクションショットキーバリアダイオード
DMOSFETデバイスへのMgイオン注入技術の適用
→良好なJBSダイオードの作製に成功 デバイス応用の第一歩



株式会社
超高温材料研究センター
(JUTEM)
980 MPa加圧装置

3. 本プロジェクトの成果紹介

GaN MOS界面技術

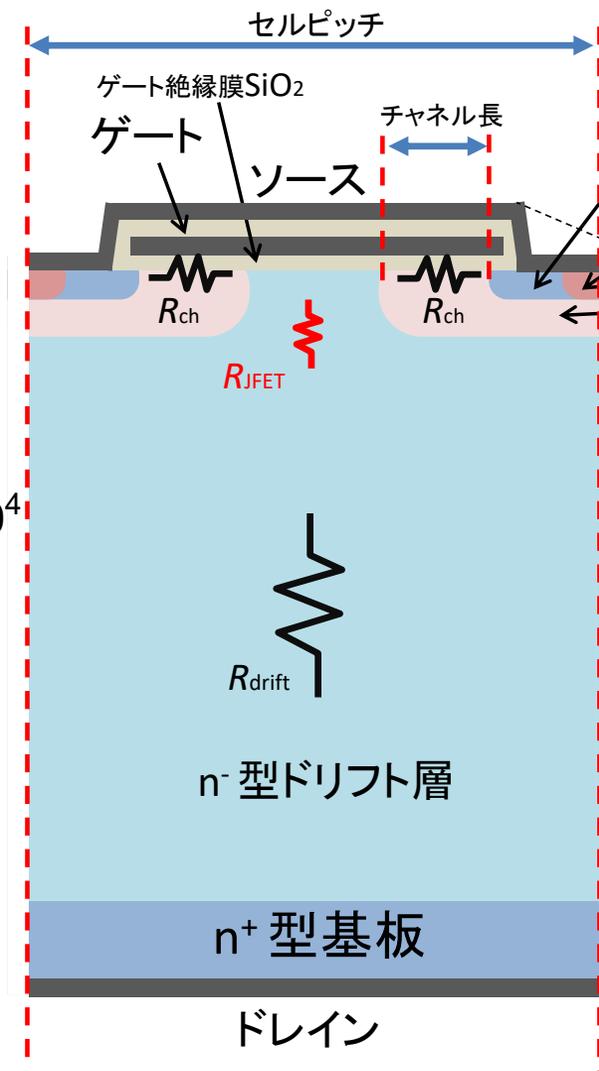
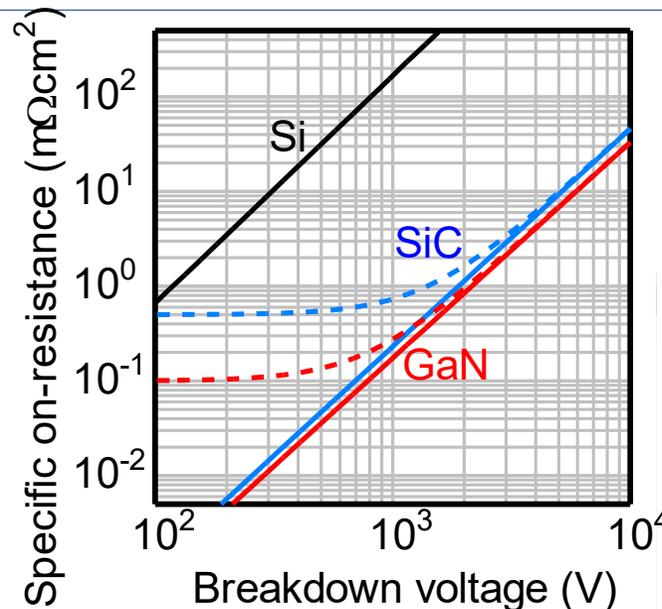


SiCに対する優位性
ドリフト層 抵抗を30~40%低減

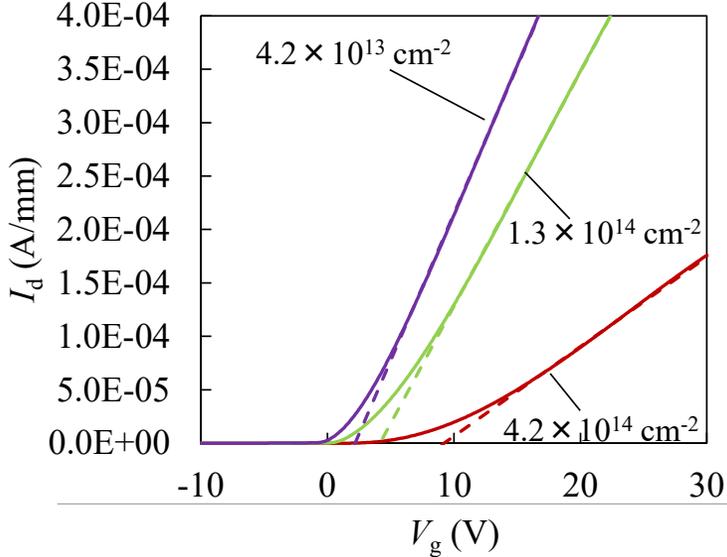
MOSチャンネル抵抗を低減できれば、
600~1.2kV耐圧デバイスで50~75%低減可能

SIP-GaN終了時点で $120\text{cm}^2/\text{Vs}$ の移動度

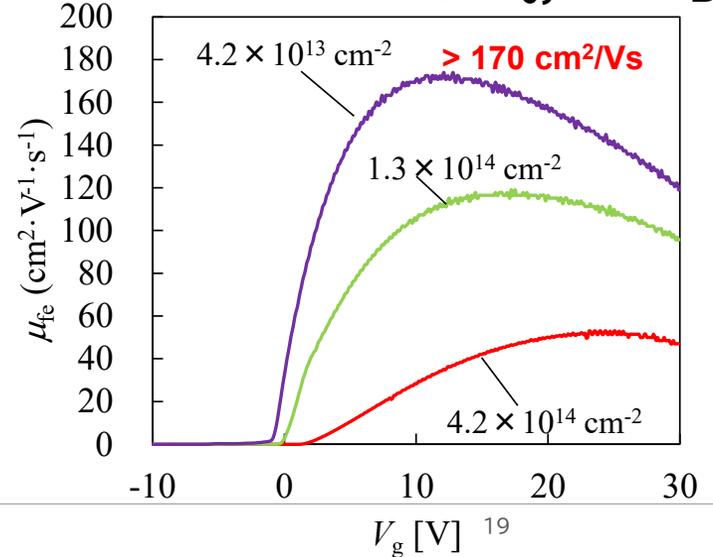
INNOPEL: 移動度向上、MOS信頼性に取り組んだ



Transfer characteristics

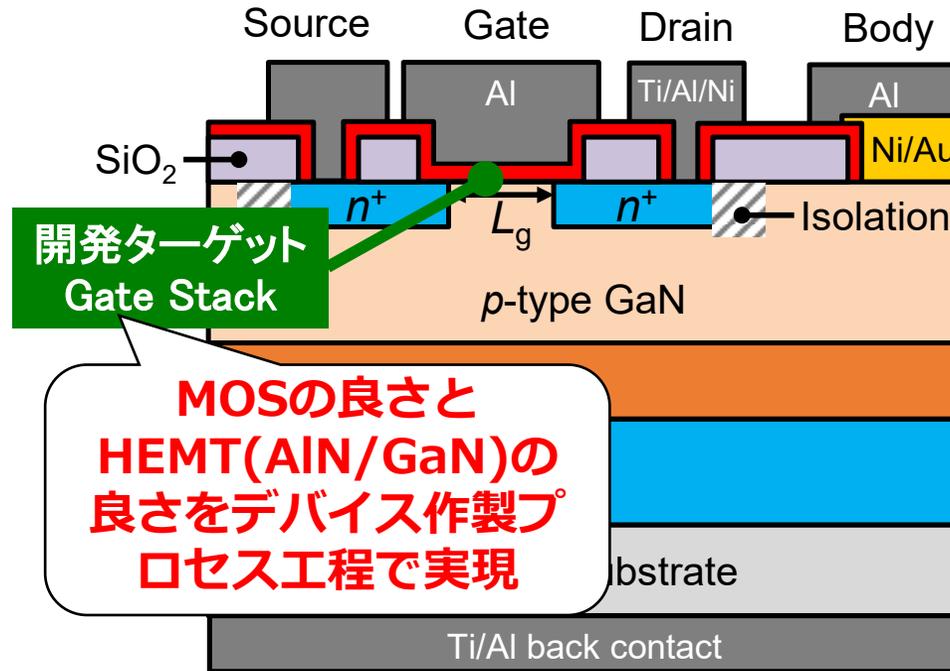


Mobility



¹⁹

AlSiO/AIN/p-GaN MOSFET (豊田中研)



■ パワーMOSFET Gate Stack 三大要件

1. ゲート酸化膜寿命
ALD-AlSiO > 20年@150 °C
(独自技術 2020年までに構築)
2. 高移動度と閾値電圧 $V_{th} > 0V$ の両立
AlSiO単膜では移動度 $< 50 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$
→ 本事業の目標 $> 150 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$
3. バイアス/高温下でのしきい電圧安定性
→ 本事業で取り組み

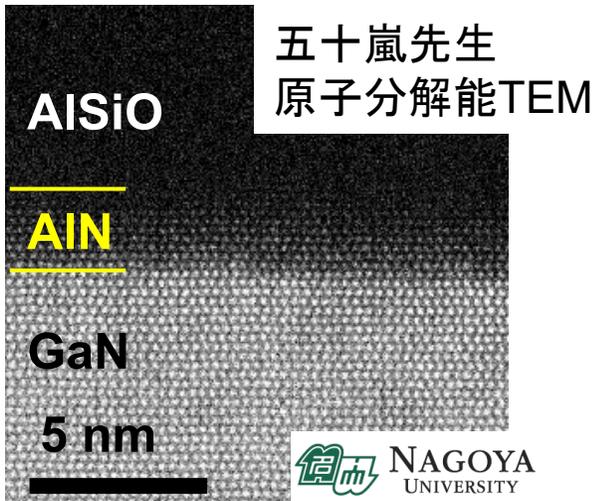
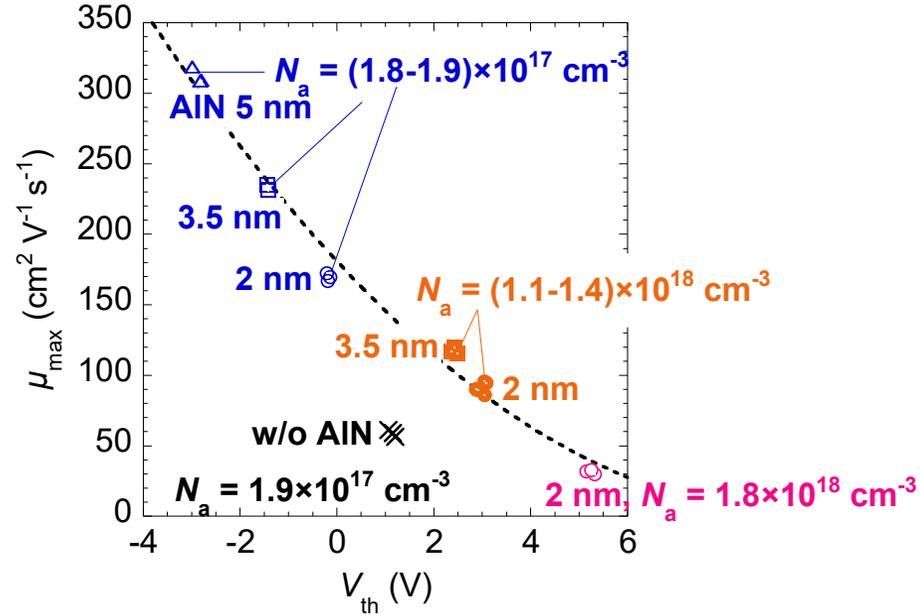
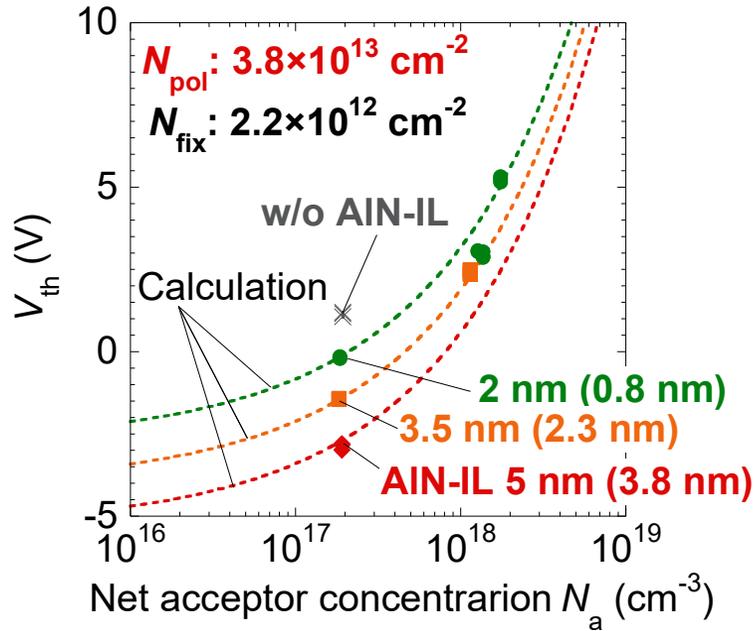
■ 主な成果

- 原子層堆積(ALD)AIN界面層の導入で**チャネル移動度 $> 200 \text{ cm}^2 \text{V}^{-1}\text{s}^{-1}$**
- 分極+ドーピング制御で、移動度 - V_{th} 制御を実現
- AlSiO/AIN/p-GaN構造は、**正バイアスストレスでの V_{th} 変動がほぼない**

■ 残課題: トレンチ構造への展開、しきい値(D-mode)と移動度の両立

AlN界面層技術

* 原子層堆積法 (Atomic Layer Deposition)
 ** 堆積後熱処理 (Post-Deposition Anneal)



■ AlN界面層技術

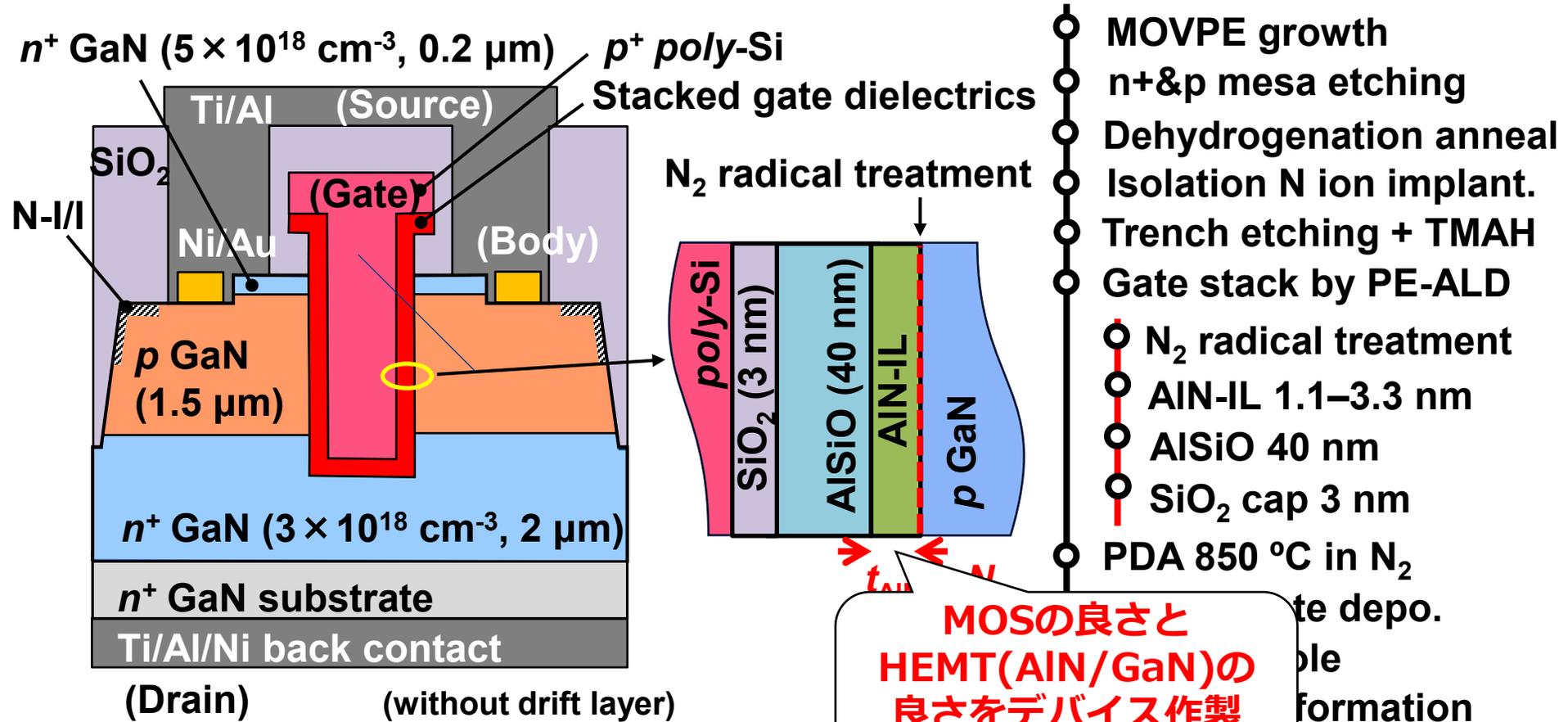
- ALD*の250 °C成膜で結晶品質のAlN形成
- PDA**温度制御で V_{th} 低下させる固定電荷を低減
- AlNの自発分極とp型ドーピングで V_{th} を制御
- 原子レベルで急峻なAlN/GaN界面で高移動度

➔ 高移動度と $V_{th} > 0$ を両立

IEDM2023で発表

Fabrication of GaN MOS with AlN interlayer on *m*-plane GaN

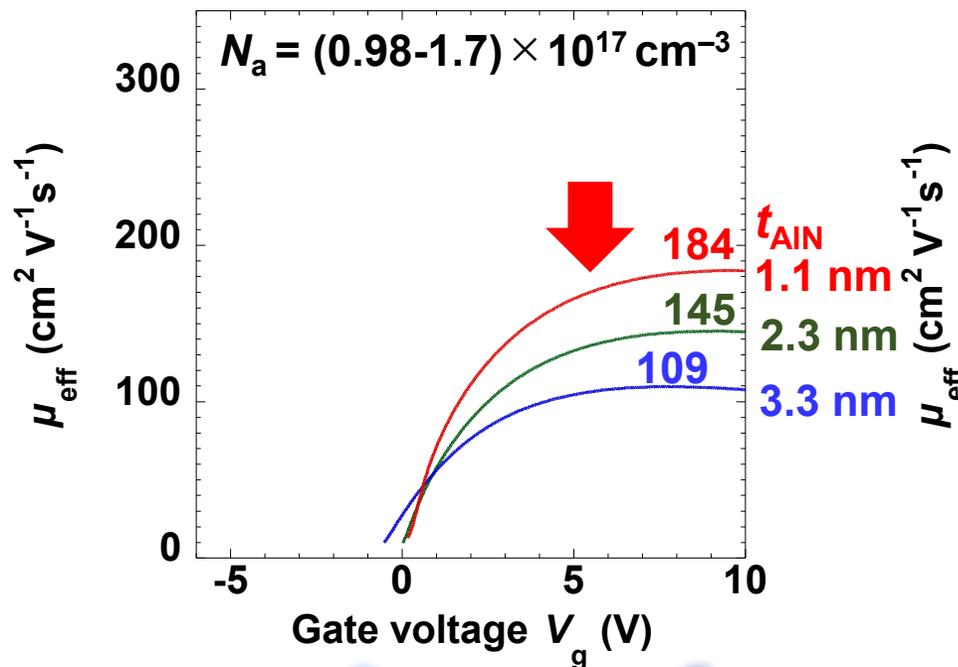
側壁の*m*面は無極性



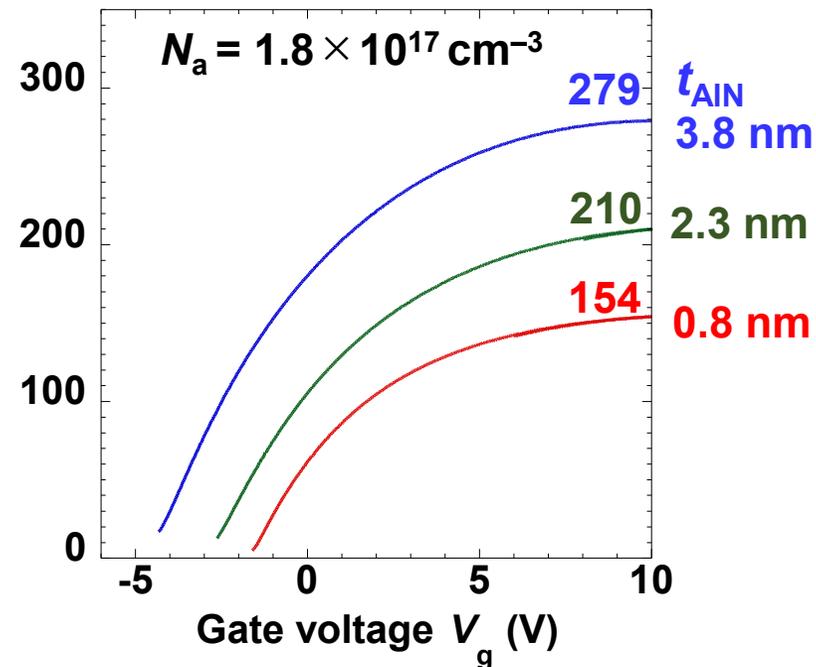
MOSの良さと
HEMT(AIN/GaN)の
良さをデバイス作製
プロセスで実現

Effective mobilities with various AlN thickness

(a) on *m*-plane



(b) on *c*-plane



m-plane: $\mu_{\text{eff}} \downarrow$, *c*-plane: $\mu_{\text{eff}} \uparrow$ with increasing AlN-IL thickness

$t_{\text{AlN}} = 1.1$ nm on *m*-plane: $\mu_{\text{eff}} = 184$ cm² V⁻¹ s⁻¹ & $V_{\text{th}} = +0.82$ V (E-mode)

ノーマリOFFで移動度184 cm²/Vs
(INNOPLE必達目標>150 クリア)

3. 本プロジェクトの成果紹介

MOS界面へのAl導入(富士電機チーム)

MOS界面作製プロセスにおいて
界面にAlGaN中間層を形成

移動度の大幅向上
ノーマリオンなら600 cm²/Vs
ノーマリオフでも150 cm²/Vs

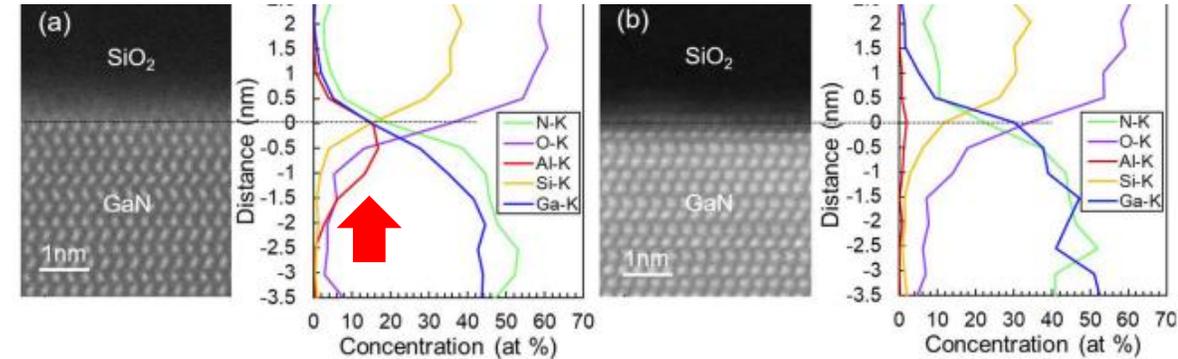
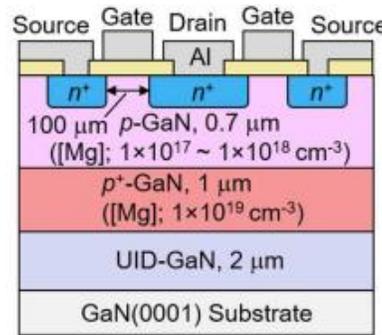


Fig. 1. Schematic of fabricated lateral

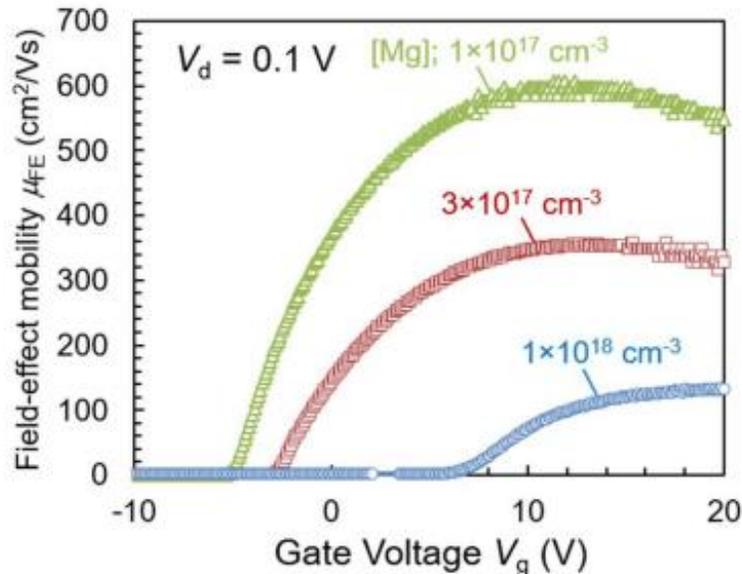


Fig. 10. Dependence of μ_{FE} - V_g characteristics on Mg concentration in the p -type body layer, where V_d was 0.1 V.

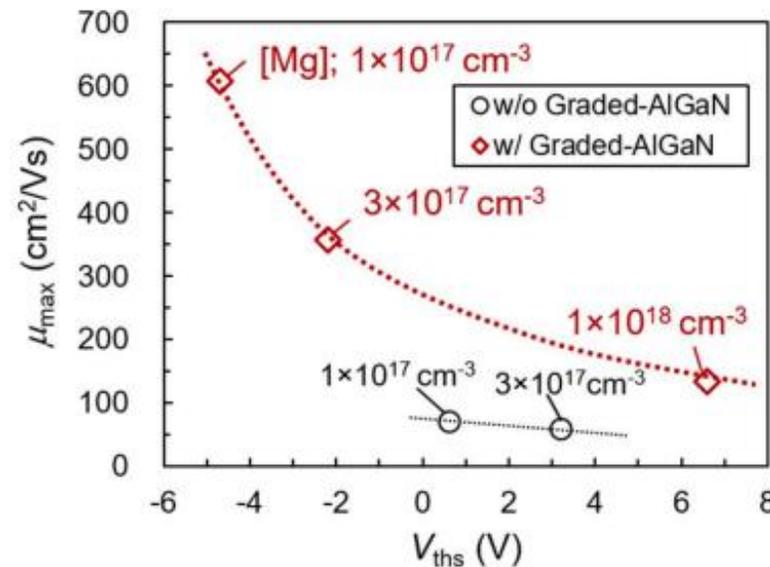
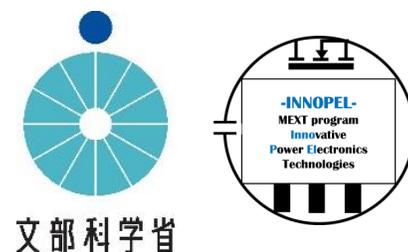


Fig. 11. Correlation between μ_{max} and V_{th} for various Mg concentrations in the p -type body layer. V_{th} was defined as the V_g at which 1/1000 of maximum I_d flows.

and depth profiles of N, O, Al, Si, and Ga near the GaN/SiO₂ interface, determined for (a) annealing condition (A), and (b) annealing condition (B). The dashed line is derived from the point where the maximum Si concentration became half, determined by the Cliff-Lorimer method.

3. 本プロジェクトの成果紹介

ポスター発表にお越しく下さい



文部科学省

	社会実装を目指したGaN縦型パワーデバイス作製技術の確立 ~全体概要~	須田 淳、天野 浩(名古屋大学)
課題a	np独立ノズル型GaN-HVPE炉の成長部設計	藤元直樹(名古屋大学)
	np独立ノズル型HVPEを用いたGaN中の不純物制御手法の開発	本田善央(名古屋大学)
	np独立ノズル型HVPEを用いた高耐圧GaN pnダイオードの作製	西脇千裕(名古屋大学)
	HVPE法によるGaNドリフト層の光学的評価	本田善央(名古屋大学)
	チャネリング注入を用いたデバイス終端技術	成田哲生(豊田中央研究所)
課題b	GaNへのMg/N注入で生じる空孔型欠陥の焼鈍特性	上殿明良(筑波大学)
	光学特性評価からみるGaNのp型活性化と点欠陥の制御	秩父重英、嶋紘平(東北大学) 上殿明良、石橋章司(筑波大学) 田中亮、高島信也、上野勝典(富士電機) 成田哲生(豊田中研) 加地徹、須田淳(名古屋大学)
	Mg+Nイオン注入を用いたp型GaNへのコンタクト形成の検討	堀田昌宏, 加地 徹, 須田 淳(名古屋大学)
	GaNへの高濃度Mg+N注入の欠陥形成メカニズムのTEM解析	五十嵐信行、狩野恵美(名古屋大学)
	Mg+Nイオン注入によるGaN母相Mg高濃度化の3DAP/TEM/CL/TLM評価	埋橋 淳(NIMS)
課題c	パルスレーザーアニールを用いたイオン注入GaNへのコンタクト抵抗低減	宮嶋孝夫(名城大学)
	パワーデバイスへ向けたGaN-MOS特性の高度化	上野勝典、星野雄斗、田中 亮、高島信也(富士電機)
	AlSiO/GaN界面へのAlN層導入によるMOSFETの特性向上	井口紘子(豊田中央研究所)
	MOS界面での正孔捕獲挙動の理解と欠陥低減手法の提案	原 征大、渡部平司(大阪大学)
	第一原理量子論で見たGaN-MOSFETのホールトラップの原子電子レベルの起源	白石賢二、押山 淳(東北大学)
課題d	GaN MOS界面のサブバンドギャップ光支援C-V測定による評価	赤澤正道、佐藤威友(北海道大学)
	ダミーSiO ₂ プロセス(GaN最表面の修飾GaO層作製)	生田目俊秀、色川芳宏(NIMS)
	JBSおよびトレンチMOSFETの試作	加地 徹、兼近将一、北川和輝、上杉 勉、成田哲生、須田 淳(名古屋大学)
	プレーナゲート型GaN縦型MOSFET向けイオン注入技術開発とプロセスインテグレーション	田中 亮、菅沼奈央、上野勝典、高島信也(富士電機)
	GaNトンネル接合を用いた低抵抗オーミック電極形成技術	竹内哲也(名城大学)
	GaNスパッタリングを用いた低抵抗オーミック電極形成技術	新井 学(名古屋大学)

4. 今後の展望

今後の縦型GaNパワーデバイス戦略

GaN縦型ならではの特長

- 高いバルク移動度
- 高いチャネル移動度
- 液相からのバルク成長可能 ← 産業界の進展
 - 低オン抵抗or高速スイッチング
 - 低コスト化の可能性
 - 材料からデバイスまで国産可能

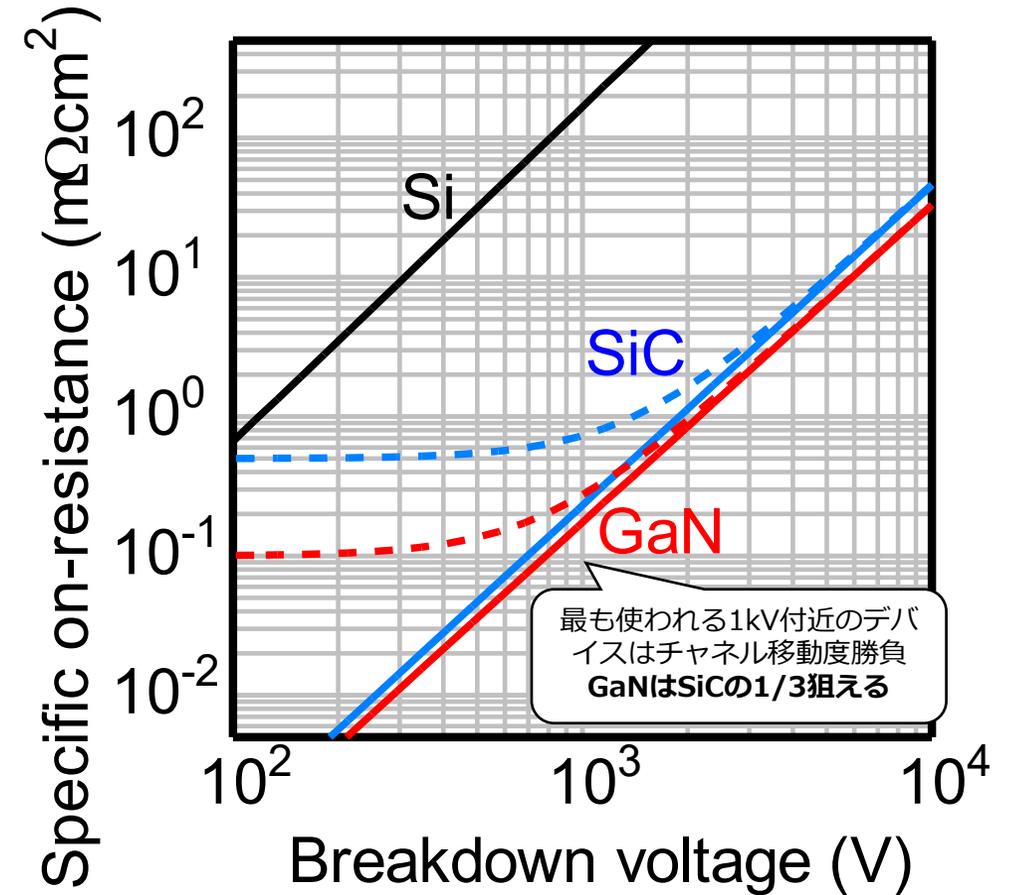
産業にバトンタッチするまであと一步
国として行うべき産学連携、学術協同研究

イオン注入

Mg + N共注入 & 500MPaアニール
さらに先の技術(深い注入, 超接合(SJ))

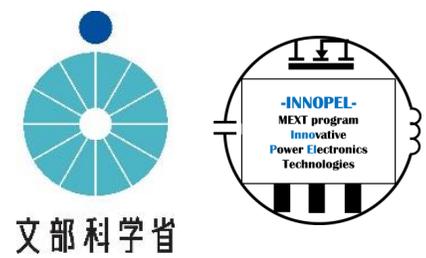
ゲートスタックMOS

さらなる移動度の改善(GaNにより更なる高効率化)
信頼性(しきい値変動抑制など)の向上



$$R_{\text{on}} = \frac{1}{A} \cdot \frac{4 V_b^2}{\epsilon \mu E_{\text{crit}}^3} + R_{\text{ch}} + R_{\text{sub}}$$

研究開発施設整備の重要性



世界唯一6インチ対応高純度超高圧アニール装置の開発・設置の提案

INNOPELでの原理検証はJUTEMセラミック用加圧装置内に小型加熱炉を設置して進めてきた

- ・もともとがセラミック材料ようなので純度が不十分→制御性に問題あり
- ・サイズが2インチに限定→4インチウエハは1/4にカットして実験せざるを得ない

低オン抵抗高密度(fine pitch、高密度)縦型デバイスは4インチフルウエハでないと作製できない(露光の限定)

GaNの特性をフル活用したデバイスの試作は、現状では極めて困難

INNOPEL成果：980MPaから500MPaへの低圧化 →低圧ならより大型の装置が可能になる

世界唯一6インチ対応の超高圧アニール装置を開発・設置を強く要望

本格的GaNパワーデバイスの研究を加速

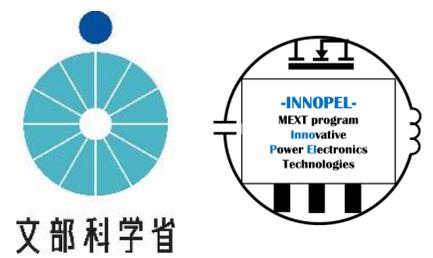
- 環境制御活性化処理の技術の研究開発
- 超低オン抵抗縦型デバイスの安定的な試作、開発

産官学に供用して活用



4. 今後の展望

GaN縦型パワーデバイスの実用化に向けて



イオン注入、MOSに関する協調的基礎研究 → 国プロ SIP、MEXT(次世代半導体、INNOPEL)

バルクGaNの進展 → 企業が本腰(アモノサーマル、Na-Flux、HVPE、NEDOプロ支援)

信頼性 → 名大+トヨタグループ連携プロジェクトなど

高純度高速エピ技術 → 住友化学QF-HVPE 1600 cm²/Vs、量産炉で高純度検証完了(NEDOプロ支援)
INNOPELプロジェクトでpn接合HVPE技術など



産業界にバトンタッチするまで最後にもうひと踏ん張り！

引き続きご支援よろしく申し上げます