

次世代計算基盤に係る調査研究
新計算原理調査研究チーム
令和6年度成果報告書

新計算原理調査研究チーム

慶應義塾大学 天野英晴，富士通株式会社 近藤正雄
理研 RQC 柚木清司
理研 R-CCS 佐藤三久
九州大学 谷本輝夫
東北大学 小松一彦，日本電気株式会社 百瀬真太郎

本報告書は、文部科学省の科学技術試験研究委託事業による委託業務として、学校法人慶應義塾が実施した「次世代計算基盤に係る調査研究（新計算原理調査研究）」の成果を取りまとめたものです。

目次

第1章	量子および疑似量子アニーラの調査	5
1.1	今年度の取り組みの概要	5
1.2	アニーリング方式の量子コンピュータの性能評価	5
1.2.1	アニーリング基本ベンチマークによる性能評価	6
1.2.1.1	富士通 デジタルアニーラ	6
1.2.1.2	Fixstars Amplify AE	6
1.2.1.3	NEC Vector Annealing	6
1.2.2	ベンチマーク	7
1.2.2.1	巡回セールスマン問題	7
1.2.2.2	最大カット問題	9
1.2.2.3	二次割当問題	10
1.2.2.4	二次ナップザック問題	11
1.2.2.5	最大独立集合問題	13
1.2.3	量子機械学習による性能評価	14
1.2.4	並列アニーリングマシンの性能評価	20
1.3	量子アニーリング・疑似量子アニーリング技術の活用	30
1.3.1	アカデミック分野における量子/疑似量子アニーリングの活用	30
1.3.2	産業分野における量子アニーリング・疑似量子アニーリングの活用	30
1.3.2.1	通信分野	31
1.3.2.2	マルチメディア分野	31
1.3.2.3	物流業界	31
1.3.2.4	交通分野	32
1.3.2.5	製造分野	32
1.3.2.6	金融業界	33
1.3.2.7	宇宙・防衛分野	33
1.3.3	まとめ	34

第 1 章 量子および疑似量子アニーラの調査

1.1 今年度の取り組みの概要

国立大学法人東北大学および日本電気株式会社と連携し、量子アニーリングならびに疑似量子アニーリングマシンに関する調査を行った。

量子および疑似量子アニーリングマシンにおける性能に関する調査を行うために、TSP、Maxcut、QAP、QKP、MIS に代表される NP 困難な組み合わせ最適化問題を基本ベンチマークとして、それらの評価に取り組んだ。特に、今年度新たに富士通デジタルアニーラを評価対象のプラットフォームとして追加し、Fixstars Amplify Annealing Engine や NEC Vector Annealing の性能評価および性能分析を行った。クラスタリングの評価においては、富士通デジタルアニーラの評価を追加し、機械学習分野における TTS や精度の比較を行った。また、マルチノードでの実行が可能な並列ベクトルアニーラの評価を行った。1,700 都市もの大規模な TSP を高精度かつ高速に解くことができることを示した。これによって、次世代計算基盤において、大規模な組み合わせ最適化問題を解ける可能性があることへの示唆を与えた。

さらに、既に商用化されている技術である量子アニーリングおよび疑似量子アニーリングの活用状況について、アカデミック分野および民需分野での調査を実施した。調査の結果、アカデミック分野よりも民間企業の分野でのアニーリング導入が進んでいることが明らかになった。一方で、アカデミック分野においても膨大な組み合わせの中から最適な組み合わせを探索することが求められる場合があり、今後は HPC と量子アニーリング・疑似量子アニーリングのハイブリッドな活用による実効性能向上が期待されていることが分かった。

1.2 アニーリング方式の量子コンピュータの性能評価

まず、量子アニーリング分野についての調査を行った。この分野における顕著な成果の一つとして、Science 誌に掲載された、実用的なベンチマークに基づいて量子超越性 (Supremacy) を示す成果が挙げられる [14]。磁性材料の研究や磁気メモリ、スピントロニクスデバイスの設計に応用可能な物理現象である磁気スピン系のシミュレーションをベンチマークとして使用し、Frontier や Summit で約 100 万年を要する計算を、量子プロセッサ (QPU) を用いることで約 20 分で求解可能であることを実証している。この計算は 100 万分の 1 ワット未満の消費電力で実現されており、実用的なベンチマークに基づいた世界初の量子超越性 (Supremacy) を示す成果として高く評価されている。

1.2.1 アニーリング基本ベンチマークによる性能評価

2024 年度の本調査研究においては、既に商用化されており、かつ組合せ最適化問題の最適化で社会実装が進んでいる技術である疑似量子アニーリングについて、ベンチマークを用いた性能評価を実施した。

疑似量子アニーリングソルバとして、富士通デジタルアニーラ、Fixstars Amplify AE、及び NEC Vector Annealing を用いたベンチマーク比較を実施した。富士通デジタルアニーラ、及び Fixstars Amplify AE はクラウド環境によりアニーリングの利用が可能なサービスであり、NEC Vector Annealing はオンプレミスによる利用が可能なソフトウェアである。このため本調査研究におけるアニーリングのベンチマーク評価においては、富士通デジタルアニーラ、及び Fixstars Amplify AE はクラウド環境での性能評価を実施し、NEC Vector Annealing はオンプレミス環境での性能評価を実施した。

1.2.1.1 富士通 デジタルアニーラ

富士通の疑似量子アニーリング製品であるデジタルアニーラ (DA) はクラウドにて提供される計算サービスである。最新のデジタルアニーラは第四世代であり、第三世代がアニーリング専用エンジンである DAU (Digital Annealing Unit) によるアニーリングを行っていたのに対して、アニーリングを GPU により実行する方式となっている [26]。アニーリングに利用している GPU に関して公開されている情報がないため詳細は不明であるが、Nvidia、もしくは AMD の GPGPU を利用しているものと想定される。

1.2.1.2 Fixstars Amplify AE

Fixstars の疑似量子アニーリング製品である Fixstars Amplify Annealing Engine (AE) は GPU 上で動作し、クラウドにて提供される計算サービスである [10]。クラウドで利用される GPGPU は Nvidia V100、A100、及び H100 であり、利用契約によって提供される GPGPU プラットフォームが異なる [29]。本調査研究において GPGPU は Nvidia A100 を用いて性能測定を行った。

1.2.1.3 NEC Vector Annealing

NEC の疑似量子アニーリング製品である NEC Vector Annealing (VA) [23] は同社のベクトル型スーパーコンピュータである SX-Aurora TSUBASA の計算コンポーネントである Vector Engine (VE) で動作する Vector Annealing V3.0、及び X86 プロセッサを有する X86 サーバで動作する Vector Annealing V4.0X がある。VA はオンプレミスでの利用が可能であり、本調査研究の基本ベンチマークにおいては、オンプレミス版の VA V4.0X を X86 サーバで動作させることにより性能検証を行った。ハードウェア性能による違いについても議論するため、VA の性能評価には Intel Xeon プロセッサ搭載サーバ、及び Intel Xeon MAX 搭載サーバの 2 種を用いた。評価に用いたマシンの諸元は表 1.2 の通りである。

1.2.2 ベンチマーク

例えば High Performance Computing (HPC) の領域ではプロセッサやアクセラレータ、またスーパーコンピュータシステムの性能を計測・比較するため LINPAC、STREAM、HPCG などのベンチマークが一般的に用いられている。HPC 向けベンチマークではある計算結果に到達するまでの単位時間当たりの演算量や、実行時間が計測指標となるため、プロセッサやシステム間の性能比較を容易に行うことができる。

一方で、量子アニーリング、及び疑似量子アニーリングのベンチマークの場合、ある問題のアニーリング処理により出力される解の精度、及び処理に要した時間という二つのパラメータがあるためアニーリングソルバ間の比較が容易ではない。例えば、あるアニーリングソルバは解の精度が高いが実行時間が長い、別のアニーリングソルバは実行時間が非常に短い解の精度が劣るなどがあり、単純な比較ができない。さらに HPC のようにアニーリングソルバを比較するための標準的なベンチマークが定まっていないため、論文に掲載されているアニーリング結果と別の論文のアニーリング結果の比較ができないなど、アニーリングソルバ間のベンチマーク比較をさらに難しくしている。

アニーリングは出力する解にランダム性があり、得られた解が常に適切なものであるとは限らない。このため 99%の確率で適切な解が得られる時間である Time To Solution (TTS) がアニーリングベンチマークの性能指標として広く使われている。本調査研究においては TTS によるベンチマーク比較を行う。本調査研究では、アニーリングの性能測定に一般的に用いられる NP 困難問題である巡回セールスマン問題、最大カット問題、二次割当問題、二次ナップザック問題、及び最大独立集合問題をベンチマーク問題として用いた。ベンチマーク評価結果を以下に述べる。

1.2.2.1 巡回セールスマン問題

巡回セールスマン問題 (Traveling Salesman Problem、TSP) は、セールスマンが各都市を一度ずつ訪問し、出発した都市に戻ってくる際の総移動距離を最小化する組み合わせ最適化問題である。ベンチマークセットとして、TSPLIB [25] のうち 5 つのインスタンス (eil51、kroA100、ch150、kroA200、pr226) を用いた。各インスタンス名の数値は TSP の都市数を表し、数値が大きいほど変数規模が大きい。TTS 計算の基準とする解精度 (最適解からの誤差) は eil51 で 0% (最適解)、kroA100 で 1%、ch150 で 5%、kroA200 で 6%、pr226 で 20%とした。

ソルバ毎の設定として、NEC VA ではコア数を 40、始温度を 10-20、終温度を 300 - 800、num_sweeps を 5000 - 15000、onehot フリップオプションを有効化、制約項の重みを距離行列の最大値の 0.01 - 0.1 倍、speed モードによる実行とし、富士通 DA では time_limit_sec を 5 - 1200、target_energy を問題毎に設定した解精度のエネルギー、制約項を two_way_one_hot_groups により指定し、Fixstars Amplify AE では timeout を 3000 - 900000(msec)、制約項の重みを距離行列の最大値の 0.1 - 0.5 倍とした。

図 1.1 に TSP のベンチマーク結果を示す。横軸は TSP の各ベンチマーク問題であり数字は巡回地点数を表している。縦軸は TTS であり、対数表示となっている。TTS であるため、数値が小さ

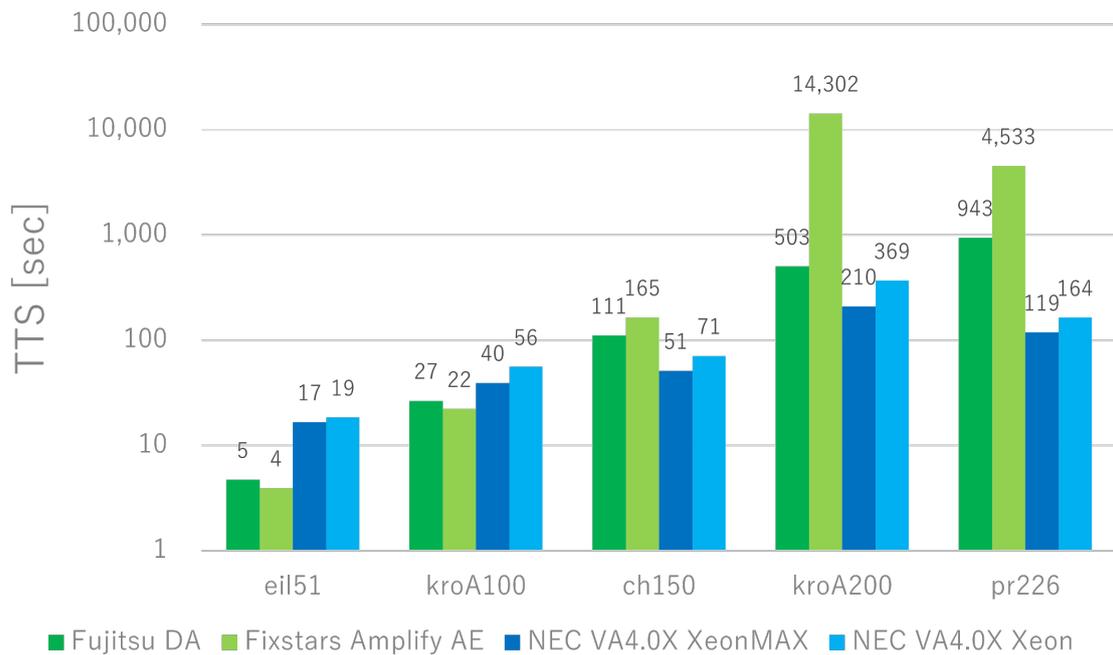


図 1.1 TSP ベンチマーク結果

いほど短時間で目標としている解精度に到達可能であることを意味している。

ベンチマーク問題 eil51、及び kroA100 においては GPGPU 上に実装されている富士通 DA、及び Fixstars Amplify AE の性能が X86 プロセッサ上に実装されている NEC VA よりも TTS が小さい。このことから TSP において地点数が 100 程度までであれば、NEC VA よりも富士通 DA、及び Fixstars Amplify AE の方が性能的に優位であることがわかった。さらに富士通 DA と Fixstars Amplify AE の比較では、Fixstars Amplify AE の方がわずかながら TTS が小さい結果となった。アニーリングアルゴリズムや計算機への実装は各社とも詳細を公表していないため、得られた性能傾向となるかの詳細は不明であるが、富士通 DA、及び Fixstars Amplify AE はアルゴリズムの実装が比較的規模の小さい問題が得意なものであると言える。

巡回地点数が 150 以上である中規模・大規模なベンチマークである ch150、kroA200、及び pr226 については、富士通 DA、及び Fixstars Amplify AE に対して NEC VA が TTS で優位な結果となった。大規模な問題であるほど演算性能、及びメモリ帯域の観点で X86 プロセッサに対して GPGPU が優位と考えられるが、X86 プロセッサ上に実装されている NEC VA が TTS で優位な結果となった。また、GPGPU 実装の富士通 DA と Fixstars Amplify AE は小規模問題では Fixstars Amplify AE の方が富士通 DA に対して TTS が優位であったが、中規模・大規模の問題については富士通 DA に対して Fixstars Amplify AE が TTS が圧倒的に大きい結果となっている。各社ともアニーリングアルゴリズムや実装の詳細を公表していないため理由は不明であるものの、ハードウェア性能よりもアニーリングアルゴリズムや実装が強く TTS に影響しているものと考えられる。

次に TSP の NEC VA 実行における Xeon プロセッサと Xeon MAX プロセッサの違いについて述

べる。二つのプロセッサにおける性能差分は eil51 で 112%、kroA100 で 140%、ch150 で 139%、kroA200 で 176%、pr226 で 138%であった。Xeon プロセッサと Xeon MAX プロセッサはプロセッサのコアやキャッシュのアーキテクチャはほぼ同等であるものの、メモリ帯域が大きく異なっており Xeon MAX プロセッサは Xeon プロセッサに対してメモリ帯域が大きく、Xeon MAX の HBM メモリと Xeon の DDR メモリの帯域差は約 1.8 倍である。さらに、Xeon プロセッサノードは 2CPU 構成なのに対し、Xeon MAX プロセッサノードは 1CPU 構成となっている。このハードウェア構成の違いが TTS の差分として見えていると考えられる。

HPC において疑似量子アニーリングを活用していく上で、疑似量子アニーリングを実行する適切なハードウェアの議論は必須である。今回の調査研究においては NEC VA についてハードウェアによるベンチマーク結果の違いを検証したが、ハードウェア性能と疑似量子アニーリングの実効性能の関係についてより詳細な調査研究をすることが今後の課題である。

1.2.2.2 最大カット問題

最大カット (Maxcut) 問題は、無向グラフに対して、頂点集合を 2 つの部分集合に分け、異なる集合に属する頂点間の辺 (cut) に対応する重みの総和を最大化する組み合わせ最適化問題である。ベンチマークセットとして、Gset [12] のうち 6 つのインスタンス (G11、G32、G65、G72、G81) を用いた。各インスタンス名の数値が大きくなるほど変数規模が大きい。TTS 計算の基準とする解精度は、G11 で 0% (最適解)、G32 で 0.5%、G65 から G81 では 1%とした。ソルバ毎の設定として、NEC VA ではコア数を 40、始温度を 5-10、終温度を 30-50、num_sweeps を 2000-8000、speed モードによる実行とし、富士通 DA では time_limit_sec を 300-600、target_energy を問題毎に設定した解精度のエネルギー、Fixstars Amplify AE では timeout を 3000-900000(msec) とした。

図 1.2 に Maxcut 問題のベンチマーク結果を示す。横軸は Maxcut の各ベンチマーク問題であり数字は Maxcut 問題における頂点数を表している。縦軸は TTS であり、対数表示となっている。TTS であるため、数値が小さいほど短時間で目標としている解精度に到達可能であることを意味している。

G11 から G81 までのベンチマーク問題において、TTS は NEC VA、Fixstars Amplify AE、富士通 DA の順で小さい結果となった。GPGPU 実装の Fixstars Amplify AE と富士通 DA で比較すると、問題規模が小さい G11 では Fixstars Amplify AE に対する富士通 DA の TTS の差がそれぞれ 310 倍なのに対して、G32、G65、G72、及び G81 では TTS 差はそれぞれ 3.6 倍、3.1 倍、2.5 倍、4.4 倍であり TTS の差分が小さくなる傾向がある。

NEC VA は G11 から G81 までのいずれの場合においても富士通 DA、Fixstars Amplify AE と比較して TTS が最も短い結果となった。TTS 差分の例として、G81 における NEC VA の Xeon MAX の TTS を 1 とした場合の TTS は、富士通 DA が 57.0、Fixstars Amplify AE が 12.8、NEC VA の Xeon 実行が 2.2 であった。NEC VA は Xeon MAX 上での実行時だけではなく、Xeon プロセッサ上での実行においても GPGPU 実装である富士通 DA、及び Fixstars Amplify AE よりも TTS が小さい結果となっている。他のベンチマーク同様に、アニーリングアルゴリズムやプロセッサへの実装は各社それぞれであり、アルゴリズム、プログラム実装、及び実行マシンのハードウェア性能が

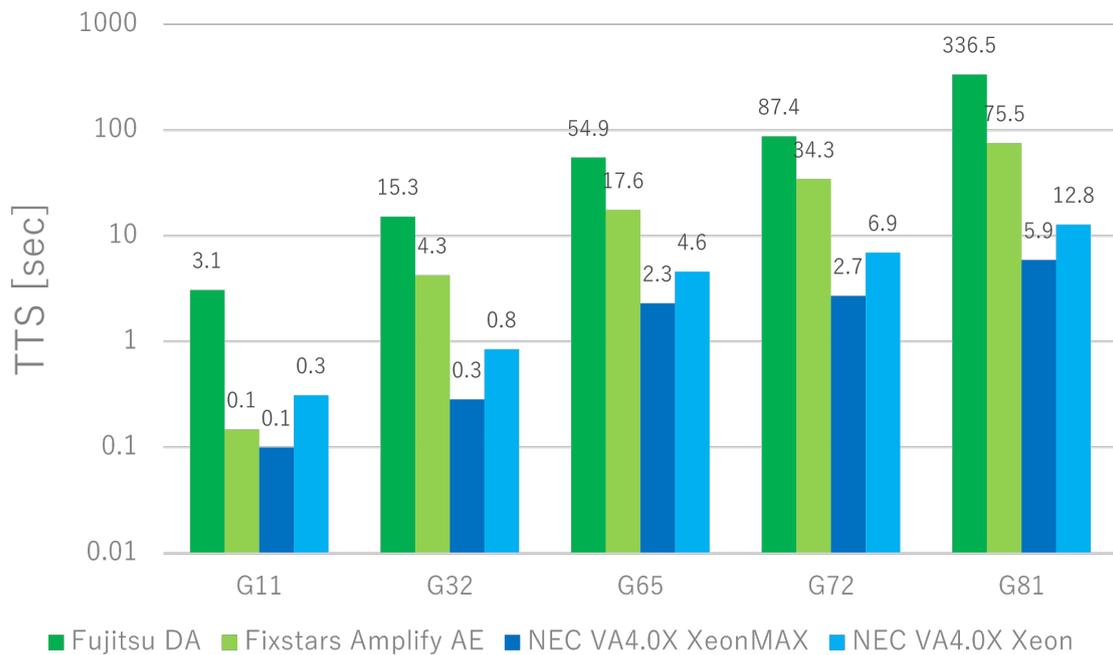


図 1.2 Maxcut ベンチマーク結果

TTSに影響しているものと考えられる。

Maxcut ベンチマークにおけるハードウェア性能による TTS 差分について NEC VA の Xeon 実行、及び Xeon MAX 実行を比較することにより議論する。Maxcut ベンチマークにおいては G11 から G81 までのいずれの場合においても TTS は Xeon に対して Xeon MAX での実行の方が小さく G11、及び G32 の比較的問題規模が小さい場合の TTS 差は 2.7 から 3.0 倍程度、G65、G72、及び G81 の場合の TTS 差はそれぞれ 2.0、2.6、2.2 倍であった。Xeon ノードの DDR メモリに対する Xeon MAX ノードの HBM メモリ帯域は約 1.8 倍であり、メモリ帯域差以上の TTS 差分が得られている。Xeon ノードが 2CPU 構成でありメモリ空間が NUMA 型であるのに対して、Xeon MAX はシングル CPU 構成であり UMA 型のメモリアクセスが可能となっているなどのハードウェア構成の違いが TTS 差分として表れているものと思われる。

1.2.2.3 二次割当問題

二次割り当て問題 (Quadratic Assignment Problem、QAP) は n 個の施設を n 個の場所に割り当てる際に、割り当てにおける各施設間のコストの総和を最小化する組み合わせ最適化問題である。施設間のコストは、すべての施設ペアについて、施設間の流量と、それぞれが割り当てられた場所間の距離の積の総和として計算される。

ベンチマークセットとして、QAPLIB [21] のうち 6 つのインスタンス (tai12b、tai20b、tai50b、tai80b、tai100b、tai150b) を用いた。各インスタンス名の数値は QAP の施設数を表し、数値が大きくなるほど変数規模が大きい。TTS 計算の基準とする解精度は全てのインスタンスに対し

て 1%とした。ソルバ毎の設定として、NEC VA ではコア数を 40、始温度を 10、終温度を 100、num_sweeps を 10-800、onehot フリップオプションを有効化、constraint モードによる実行とし、富士通 DA では time_limit_sec を 60-300、target_energy を最適解のエネルギー*1.01、制約項を two_way_one_hot_groups により指定し、Fixstars Amplify AE では timeout を 5000-900000(msec)、制約項の重みを距離行列と輸送量行列の積の最大値の 1.0-20 倍とした。

図 1.3 に QAP のベンチマーク結果を示す。横軸は QAP のベンチマーク問題で各ベンチマーク名の数字部分が大きいほど問題規模が大きいことを示している。縦軸は TTS であり、対数での表示となっている。tai12b では NEC VA、Fixstars Amplify AE、富士通 DA の順で TTS が小さい。tai20b においては、富士通 DA と Fixstars Amplify AE の TTS が最も小さく、NEC VA の TTS が一番大きい結果となっており、tai20b と比較しても大きく傾向が異なっている。tai50b、tai80b、及び tai100b においては TTS が小さい順に富士通 DA、NEC VA、Fixstars Amplify AE という順になっており、tai12b、及び tai20b の小さい問題規模の場合に対して Fixstars Amplify AE の TTS が他のアニーリングソルバに対して相対的に大きくなっている。tai150b では富士通 DA が最も TTS が小さく、次に NEC VA の TTS が小さい結果となった。Fixstars Amplify AE は十分な解精度に到達せず TTS が得られなかったためグラフへのプロットをしていない。このようにアニーリングにおいては十分な解精度が得られない場合があり、この場合は TTS でのベンチマーク比較ができない。このようなケースを含めてどのようにアニーリングソルバ間の性能を比較するかについては今後の課題である。

次にアニーリングにおけるハードウェア性能の影響について議論する。NEC VA の Xeon、及び Xeon MAX を比較した場合、演算性能はほぼ同等、メモリ帯域は Xeon MAX が大きい。一方で、QAP ベンチマークにおいては tai12b から tai150b までのいずれの場合においても Xeon MAX が Xeon よりも TTS が長い結果となった。ハードウェア性能のみを考えた場合 Xeon MAX の TTS が Xeon に対して短くなるのが期待されるが、キャッシュ、及びメモリ階層の違いや、2CPU 構成が 1CPU 構成なのかなどハードウェアアーキテクチャが関係していると思われる。富士通 DA や Fixstars Amplify AE を含めたアニーリングソルバとハードウェアによる性能差異についての分析は今後の課題である。

1.2.2.4 二次ナップザック問題

二次ナップザック問題 (Quadratic Knapsack Problem、QKP) とは、 n 個のアイテムから重さの制約を満たす組み合わせを選び全体利益を最大化する組み合わせ最適化問題である。各アイテムには重さ (整数) があり、選んだ組み合わせにおける合計の重さが与えられたナップザック容量をこえないことが重さの制約である。利益とは非負整数で、あるアイテムを選んだ場合に生じる単体利益と異なるアイテム 2 個を同時に選んだ場合に生じる相互作用利益があり、これらの合計が全体利益となる。

ベンチマークセットとして、先行研究 [1] で作成された QKP インスタンスのうち 10 のインスタンスを用いた。各インスタンス名のアンダースコアに続く最初の数値はアイテム数 (変数量)、その次の数値は利益行列の密度を表す。例えば、jeu_100_25_1 は 100 変数、密度 25% のインスタン

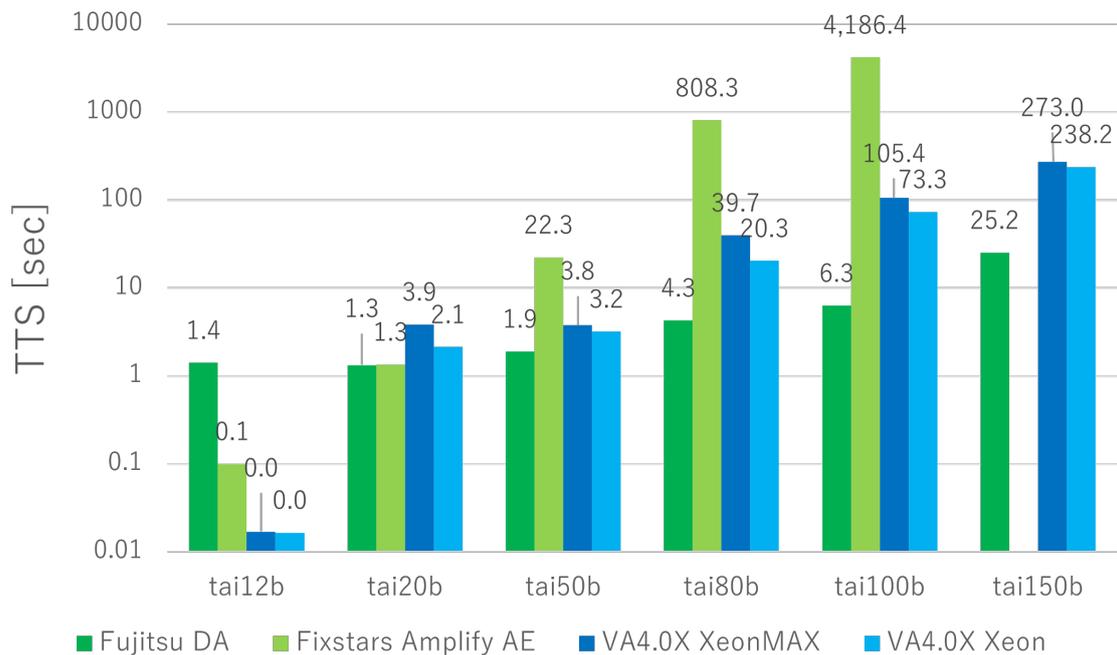


図 1.3 二次割当問題 (QAP) ベンチマーク結果

スであることを示す。TTS 計算の基準とする解精度は、全てのインスタンスで最適解とした。

ソルバ毎の設定として、NEC VA ではコア数を 40、始温度を 0.1-5.0、終温度を 40-2000、num_sweeps を 5-60000、weighted_sum フリップオプションを有効化、constraint モードによる実行とし、富士通 DA では time_limit_sec を 5、target_energy を最適解のエネルギー、制約項を Inequalities により指定し、Fixstars Amplify AE では timeout を 5000-900000(msec)、制約項の重みを 1.0 とした。

図 1.4 に QKP のベンチマーク結果を示す。横軸は QKP の各ベンチマーク問題であり、縦軸は TTS で対数で表示している。QKP ベンチマークでは問題ごとに疑似量子アニーリングソルバの傾向が大きく異なっている。評価に用いた QKP ベンチマークは合計で 10 あり、うち富士通 DA の TTS が最も小さいベンチマークは 4 ケース、Fixstars Amplify AE の TTS が最も小さいベンチマークは 0 ケース、NEC VA の TTS が最も短いベンチマークは 6 ケースという結果になった。また QAP ベンチマークでは求める解の精度に到達できない場合があり、解の精度が不十分であるため TTS が算出できないケースは富士通 DA が 0 ケース、Fixstars Amplify AE は 6 ケース、NEC VA は 2 ケースであった。

疑似量子アニーリング実行に使われているハードウェア性能の観点ではアニーリングソルバ間の TTS の大小はどの問題においても似た傾向になることが期待されるが、問題によっても GPGPU 実装の富士通 VA、及び Fixstars Amplify AE と、X86 CPU 実装の NEC VA でベンチマーク問題ごとに傾向が大きく異なるため、ハードウェア性能差分以上にアニーリングアルゴリズムとその実装が大きく影響していると考えられる。

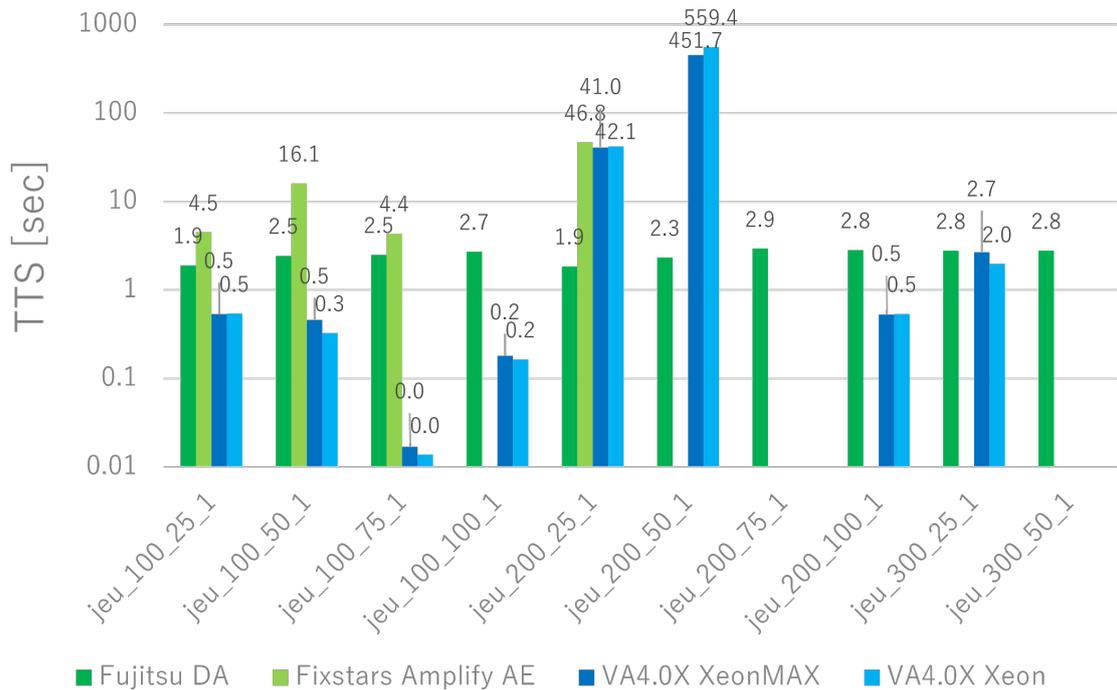


図 1.4 二次ナップザック問題 (QKP) ベンチマーク結果

NEC VA による Xeon MAX、及び Xeon の同一アニーリングソルバ実行時の比較においてもノードあたりの演算性能はほぼ同等、ノードあたりのメモリ帯域は Xeon MAX が Xeon の 1.8 倍であるが、ベンチマーク問題ごとに TTS の大小は異なっている。これはベンチマーク問題ごとにハードウェアのコア内の演算器構成、キャッシュ階層、メモリ帯域の何が TTS に寄与するかが変わること示している。富士通 DA、及び Fixstars Amplify AE や、それ以外の疑似量子アニーリングソルバも含めて、アニーリングを高速実行可能なハードウェア構成がどのようなものであるかについては継続した議論が必要である。

1.2.2.5 最大独立集合問題

独立集合とは、与えられた無向グラフの隣接する頂点を含まない部分頂点集合である。最大独立集合 (Max Independent Set, MIS) 問題は、位数、すなわち独立集合の要素数が最大となる場合を求める組み合わせ最適化問題である。

ベンチマークセットとして、BHOSLIB [2] のうち 8 つのインスタンスを用いた。各インスタンス名の frb に続く数値が大きくなるほど変数規模が大きい。TTS 計算の基準とする解精度は、全てのインスタンスにおいて最適解とした。ソルバ毎の設定として、NEC VA ではコア数を 8、始温度および終温度を 10、num_sweeps を 1、andzero フリップオプションを有効化、constraint モードによる実行とし、富士通 DA では time_limit_sec を 5、target_energy を最適解のエネルギー、制約項を PenaltyBinaryPolynomial により指定し、Fixstars Amplify AE では timeout を 5000-600000(msec)、

制約項の重みを 1.0 とした。

図 1.5 に MIS 問題のベンチマーク結果を示す。横軸は MIS の各ベンチマーク問題で、右側の問題ほど問題規模が大きいため frb30-15-1 が最も問題サイズが小さく frb100-40 が最も問題サイズが大きい、縦軸は TTS で対数で示してある。

富士通 DA は問題サイズによらず TTS は 1 から 2 秒程度である一方、Fixstars Amplify AE、及び NEC VA は問題規模が大きくなるのに従って TTS が大きくなる傾向であり、かつこの二つの疑似量子アニーラーではいずれの問題の場合も NEC VA の方が TTS が小さい。ベンチマーク問題 frb30-15-1 から frb59-26-1 では NEC VA が最も TTS が小さい。ベンチマーク問題 frb30-15-1 から frb50-23-1 においては、Fixstars Amplify AE は NEC VA よりも TTS が大きいものの、富士通 DA よりも TTS が小さい。本 MIS 評価において最も問題規模が大きい frb100-40 においては Fixstars Amplify AE、及び NEC VA よりも富士通 DA の TTS が小さいという結果である。

Fixstars Amplify AE、及び NEC VA は問題規模に応じて TTS が大きくなるのに対して、富士通 DA の実行時間は変わらない結果となっているが、これはアニーリングアルゴリズムの実装やクラウドシステムへの実装によるものではないかと考えられる。より大きな問題での TTS 評価を実施し TTS がどのように変わっていくかを確認することが今後の課題である。

NEC VA による Xeon MAX、及び Xeon の同一アニーリングソルバ実行時の比較においてもノードあたりの演算性能はほぼ同等、ノードあたりのメモリ帯域は Xeon MAX が Xeon の 1.8 倍であるが、ベンチマーク問題ごとに TTS の大小は異なっている。これはベンチマーク問題ごとにハードウェアのコア内の演算器構成、キャッシュ階層、メモリ帯域の何が TTS に寄与するかが変わること示している。富士通 DA、及び Fixstars Amplify AE や、それ以外の疑似量子アニーリングソルバも含めて、アニーリングを高速実行可能なハードウェア構成がどのようなものであるかについては継続した議論が必要である。

1.2.3 量子機械学習による性能評価

次に、実際に利用可能な量子および疑似量子アニーリングマシンを用いて、機械学習の一つであるクラスタリングをベンチマークプログラムとして、評価を行った。特に、今年度は国産アニーリングマシンの一つである Fujitsu Digital Annealer を新規で評価を行った。また、各ベンダーが提供している環境に合わせてアップデートを行った。具体的には、NEC Vector Annealing や Fixstars Amplify Annealing Engine のバージョンのアップデートを行い、機能追加などに対応し、最新のバージョン、環境に合わせて実験データを取り直した。性能評価には、表 1.1 に示す量子効果を活用した量子アニーリングマシンや、従来のデジタルプロセッサを活用して量子効果を模擬した疑似量子アニーリングマシンや疑似分岐マシン、そして疑似量子アニーリング向けの専用回路で実現したマシンなどのイジングマシンを用いた。D-Wave 2000Q、D-wave Advantage、D-wave Advantage 2 prototype、および CQM ソルバーを含む D-wave Leap Hybrid [13] は、クラウドサービス D-Wave Ocean SDK を介して利用した。D-Wave Neal は、Intel Xeon Gold6126、92GB のメモリを搭載するサーバにて実行した。NEC Vector Annealing (VA) [23] は、Intel Xeon Gold 6126 および NEC Vector Engine Type 20B からなるベクトルスーパーコンピュータ SX-Aurora TSUBASA [16] にて

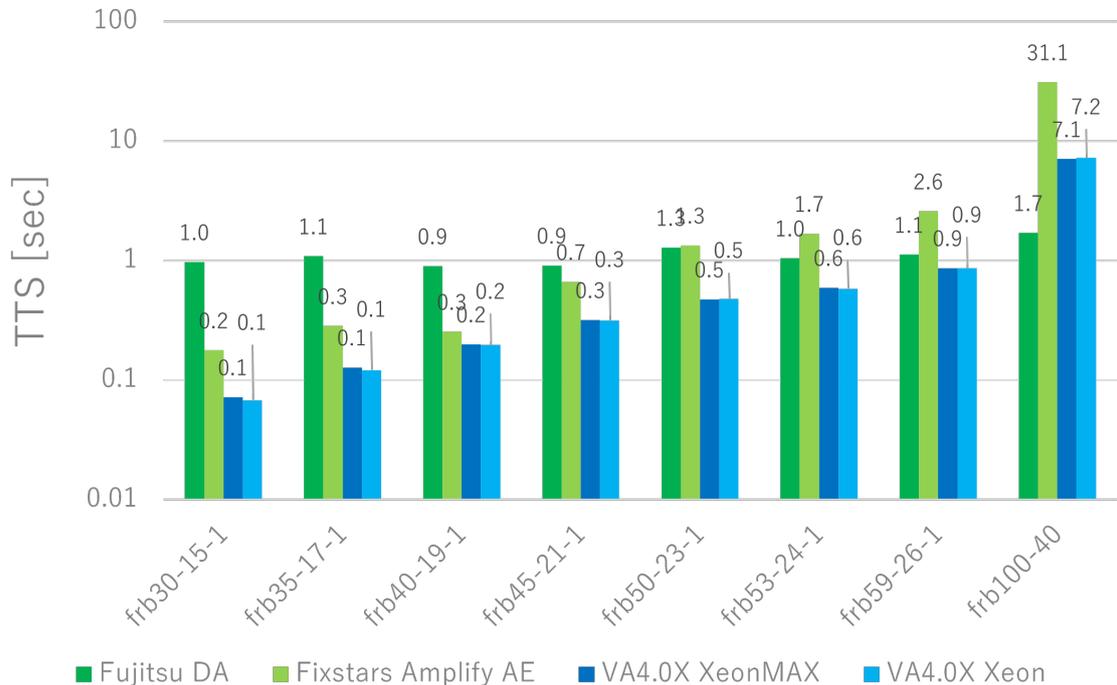


図 1.5 最大独立集合問題 (MIS) ベンチマーク結果

実行した。Fixstars Amplify Annealing Engine (AE) は、NVIDIA A100 GPU で実行され、Amplify SDK を介して利用した。Hitachi CMOS アニーラ [24] は、Amplify SDK を利用してクラウドサービスを介して利用した。Toshiba SQBM [11] は、Microsoft Azure Quantum を介して利用した。Fujitsu Digital Annealer (FDA) [27] は、富士通のクラウドサービスを介して利用した。

表 1.3 に各イジングマシンに使用される各種パラメータを示す。量子アニーラのアニーリング時間は、D-wave Advantage を使用してハイパーパラメータ調整を行い、0.5 マイクロ秒から 2000 マイクロ秒の間から探索し、最も高い性能を示した 20 マイクロ秒を、各量子アニーラのアニーリング時間として選択した。すなわち、D-wave 2000Q と Advantage 2 prototype のどちらも、D-wave Advantage と同じアニーリング時間 20 マイクロ秒を利用した。Simulated Annealing machine (SA) [15] においては、表 1.3 に示す範囲でハイパーパラメータの調整を行った。D-wave Neal と Hitachi CMOS Annealer に関しては、初期温度と最終温度をそれぞれ 10 と 0.02 に設定し、反復回数を 10 とした。VA に関しては、初期温度を 1000 に、最終温度を 0.02 に設定し、反復回数は 1 から 100 回の範囲で探索を行い、反復回数は解を見つけることが可能な最も少ない回数とした。VA は制約条件の外部定義を用いた。AE については、反復回数を 100 に設定し、アニーリング時間については 1 から 100,000 秒の間の、解を見つけるのに必要な最小時間を用いた。Toshiba SQBM においては、dSB アルゴリズムを使用し、反復回数は SQBM に搭載されているオートチューニング機能により自動設定した。FDA では、アニーリング時間を問題サイズに応じて 1.3 秒と設定した。

実験には、人工的に作成したデータセットを利用して、組み合わせクラスタリングを実行した。

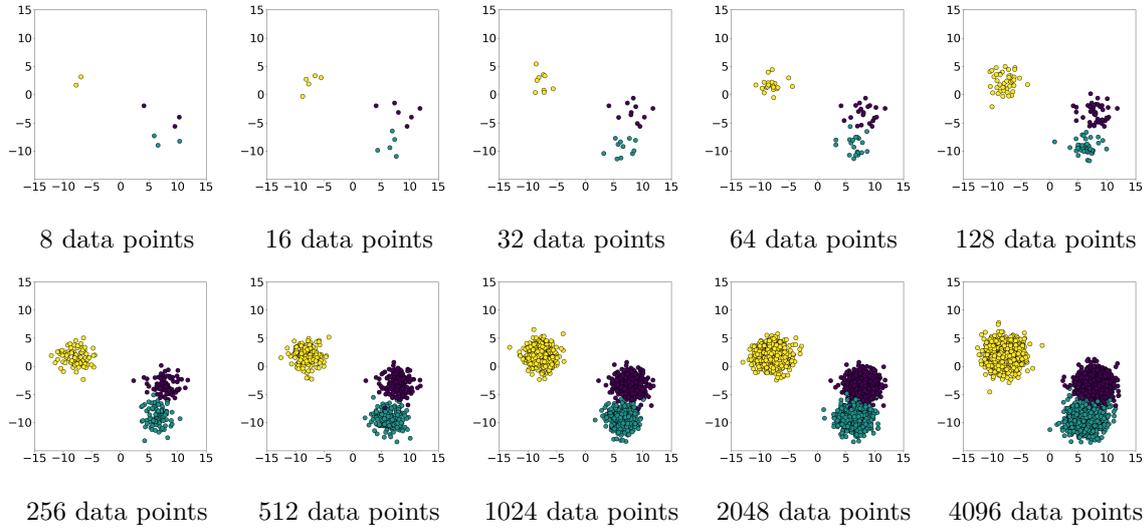


図 1.6 評価に用いた人工データセット。

図 1.6 に示すように、クラスタ数を 3 に設定し、データ点数を 8 から 4096 まで変化させた。データセットは scikit-learn の make blob モジュールで作成した [20]。人工データセットはクラスタ中心とクラスタ分散を元に正規分布に則ってランダムに生成する。各アニーリングマシンで得られた最良のデータを *Lowest* とラベル付けした。全ての実験は、VA および FDA では 10 回、その他のイジングマシンでは 100 回の解が得られるまで行った。

評価に用いる指標として、TTS に加えて、解の品質、実行時間、違反率も用いてその分析を行った。TTS は、基準解と同等またはそれ以上に高品質な解を得るまでにかかる計算時間の指標であり、1 回のアニーリング時間 $\tau_{execute}$ と基準解を得るまでにかかるアニーリング回数 R を用いて、次式で表される。

$$TTS = \tau_{execute} R. \quad (1.1)$$

ここでアニーリング時間 $\tau_{execute}$ は 100 回の試行の平均を取ることで算出する。また、解の品質の評価指標として、同一クラスタ内距離総和を全てのクラスタ間で足しあわせた値である *Cost* を用いる。*Cost* は値が小さいほど距離が小さいデータ点同士が同じクラスタに属しており、解の品質が高いことを示す。

図 1.7 に各イジングマシンで実行した時の TTS を示す。基準解は、最も精度の高いクラスタリングの解とした。データ数が 8 の場合には全てのアニーリングマシンにおける TTS が算出できているのに対し、データ数が増えるにつれて TTS を算出できるアニーリングマシンが減少している。まず、データ数が 8 の場合に注目すると、VA、AE の TTS が小さい。これは、これらのアニーリングマシンにおいて、精度が高い解を短時間で求められたためである。

次に、データ数が大きい場合を見ると、VA と AE、FDA 以外では算出できていない。この要因として、ビット数不足が考えられる。D-wave 2000Q、D-wave Advantage、Hitachi CMOS annealer においては、全結合ビット数がそれぞれ 64 ビット、124 ビット、176 ビットと少なく、データ数がそれぞれ 32、64、128 以上の場合にビット数が不足する。これはビット数が少ないことに加え、全

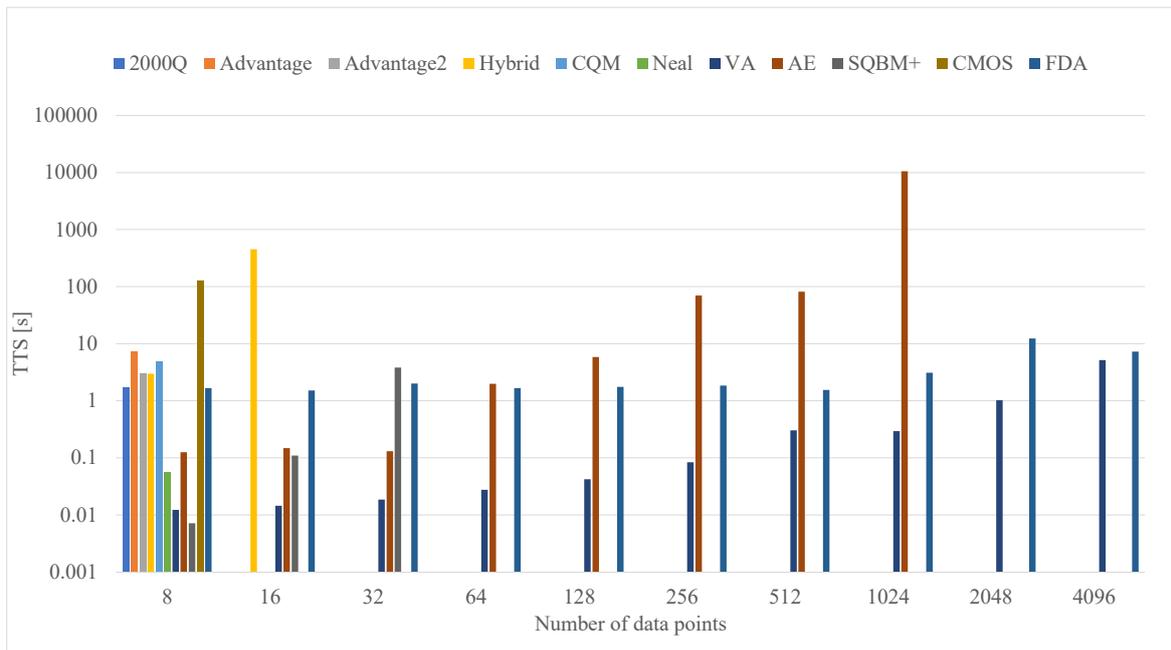


図 1.7 データ点数を変化させた時の各イジングマシンの TTS。

結合でないネットワークを持つマシンはエンベディングが必要になり、より大きなビット数を消費してしまうためである。将来のマシンにはビット数が増加する予定となっており、これにより大きな問題においても解けることができるようになることが想定される。

また、疑似量子アニーリングマシン同士で性能を比較すると、局所解からの脱出機構を持つ VA や AE、FDA の性能が高いことが分かる。これは、局所解を脱出して大域的な解を探索することが出来たためだと考えられる。

TTS の算出ができない要因を詳細に調査するために、クラスタリングの精度を表す Cost の分析を行った。図 1.8 に基準解によって正規化されたコストの箱ひげ図を示す。横軸はデータ数、縦軸は正規化された Cost を示している。この図から、TTS を大規模なデータポイントでも計算できる VA と AE、FDA が、基準解と同等の Cost を達成していることが分かる。さらに、100 回の試行で得られる解の変動はほとんどないことが分かる。このような高品質な解によって、VA と AE、FDA においては小さい TTS を達成している要因であることが分かる。

すべてのイジングマシンで TTS が算出できたデータ点数が 8 の場合を見てみると、D-wave 2000Q、D-wave Advantage、D-wave Advantage2 Prototype、D-wave Neal および Hitachi CMOS Annealer の分散が、他のアニーラよりも大きいことが分かる。これは、これらのイジングマシンで得られる解に大きな変動があることに加え、基準解に到達できるケースが少なく、コストの平均値が高いためだと考えられる。その原因の 1 つとして接続性が考えられる。D-wave 2000Q、D-wave Advantage、D-wave Advantage2 Prototype、および Hitachi CMOS Annealer は、完全結合ではなく、それぞれ独自のグラフ構造を採用している。そのため、埋め込み時にスピンの複製され、より

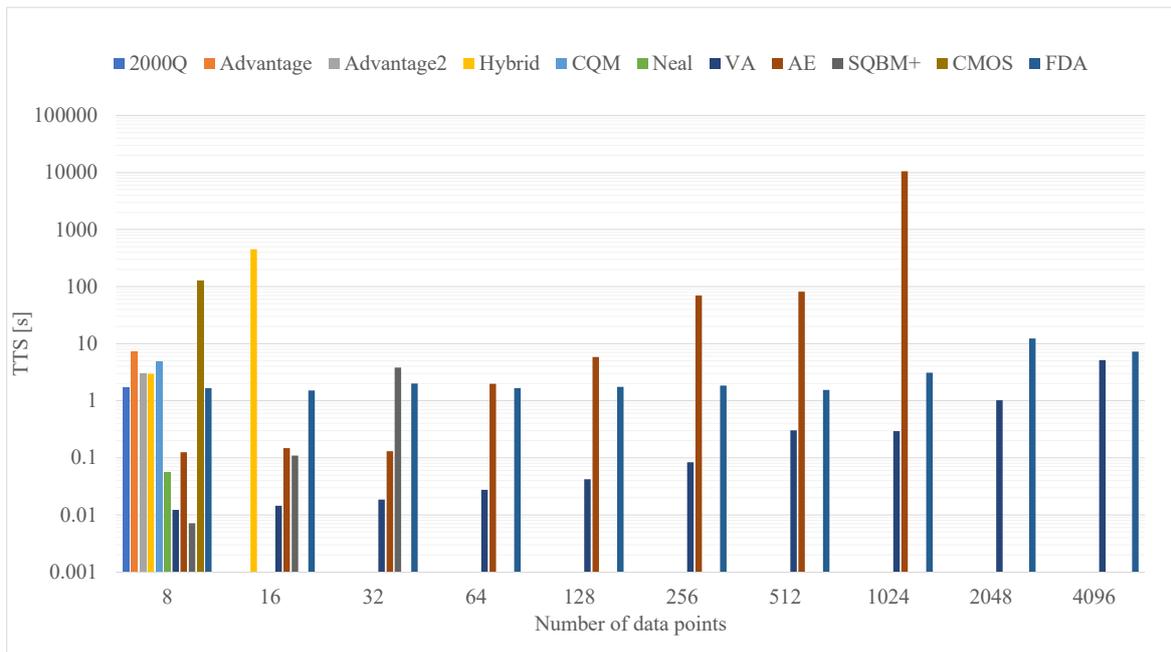


図 1.8 Lowest ラベルのデータで正規化した Cost。

多くの量子ビットが必要となる。また、チェーンの強度が低いため、複製されたスピン同士が一意に決まりにくくなってしまう。

データポイントが 16 以上の場合、ほとんどのイジングマシンが基準解と同じ品質を達成できないことが分かる。解が得られたとしても、TTS を計算するための精度には達していない。また、D-wave 2000Q、Advantage、Advantage2 Prototype では 32 以上、Hitachi CMOS Annealer では 128 以上の場合、ビット数が不十分であるためクラスタリングが実行できなかったためである。

次に、SA 同士のコストを比較すると、VA、FDA、AE、Toshiba SQBM+、D-wave Leap Hybrid、D-wave Leap CQM、および D-wave Neal の順番にコストが低いことが分かる。これらの SA はデジタル計算機で実装されているため、ビットの精度はほぼ同等であり、主な違いは、局所解からの脱出メカニズムが実装されているかどうかである。Toshiba SQBM+では、個々のビットが独立して反転し、複数のスピンが確率的に同時に反転できるため、1 つの局所解から別の局所解への脱出が可能となっている。VA は、外部で制約を定義することで、制約を満たす解の間を移動することが可能である。このことから、局所解からの脱出メカニズムを持つ SA が、低コストの解を見つけることができたと考えられる。

図 1.9 に制約の違反率を示す。横軸はデータ数、縦軸は制約を違反する解の割合を示す。この図から、SA では制約の違反がないか少ないのに対し、D-wave 2000Q、D-wave Advantage、D-wave Advantage2 Prototype、および Hitachi CMOS Annealer では、制約違反が多いことが分かる。この要因として、量子ビット間の接続性が考えられる。D-wave Advantage 2 Prototype の制約違反率は、D-wave 2000Q や D-wave Advantage よりも低い。Advantage 2 Prototype で使用される Zephyr

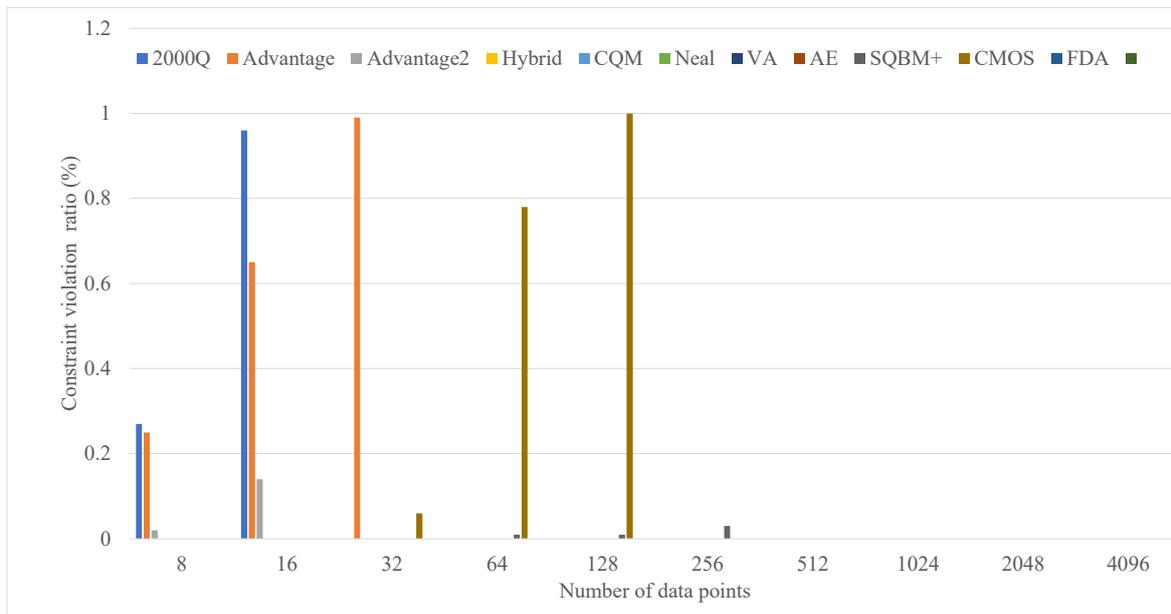


図 1.9 制約の違反率。

グラフは、D-wave 2000Q の Chimera グラフや D-wave Advantage の Pegasus グラフよりも多くの結合をもっている。一般的には、量子ビット間の接続が少ない場合、埋め込みの際に少ない接続を補うために量子ビットが複製されるため、同じ問題でもより多くの量子ビットが必要となる。これによって、複製された量子ビットに関する制約も必要となり、問題自体が難しくなってしまう。

図 1.10 に、各イジングマシンにおける実行時間を示す。横軸はデータ数、縦軸は実行時間を示す。データ数が小さな場合、D-Wave Neal の実行時間は他のイジングマシンよりも短いことが分かる。しかしながら、図 1.8 に示されているように VA の Cost が D-Wave Neal よりも低いため、図 1.7 のように VA の TTS が D-Wave Neal よりも小さくなっている。データ数が増えるにつれて、VA と D-Wave Neal の実行時間が逆転している。その結果、VA は短時間で高精度な結果を得られるため、TTS が小さくなる。

これらの評価を通じて、ビット数、ビット精度、接続方式、局所解からの脱出能力の 4 つの観点がいジングマシンの性能を評価する際に、重要であることが分かった。ビット数については、不足すると実行ができなくなるため、重要な要素である。ビット精度については、エネルギー関数を正確に捉えるためには十分なビット精度が必要であることが分かる。また、接続方式については、量子アニーリングマシンなど低い接続性を持つマシンでは制約違反率が高く、クラスタリングの品質が低下することが明らかになった。これは、エンベディングの際に、ビットが複製されるため、結果的に多くのビット数が消費され、問題自体が困難になったためだと考えられる。そのため、全結合の接続が理想的であることが分かった。最後に、局所解からの脱出能力については、VA や FDA、SQBM+などのイジングマシンは局所解から脱出できるような機構を持っており、高精度な解を見つけている。このように、脱出機構の有無が重要であることが明らかになった。

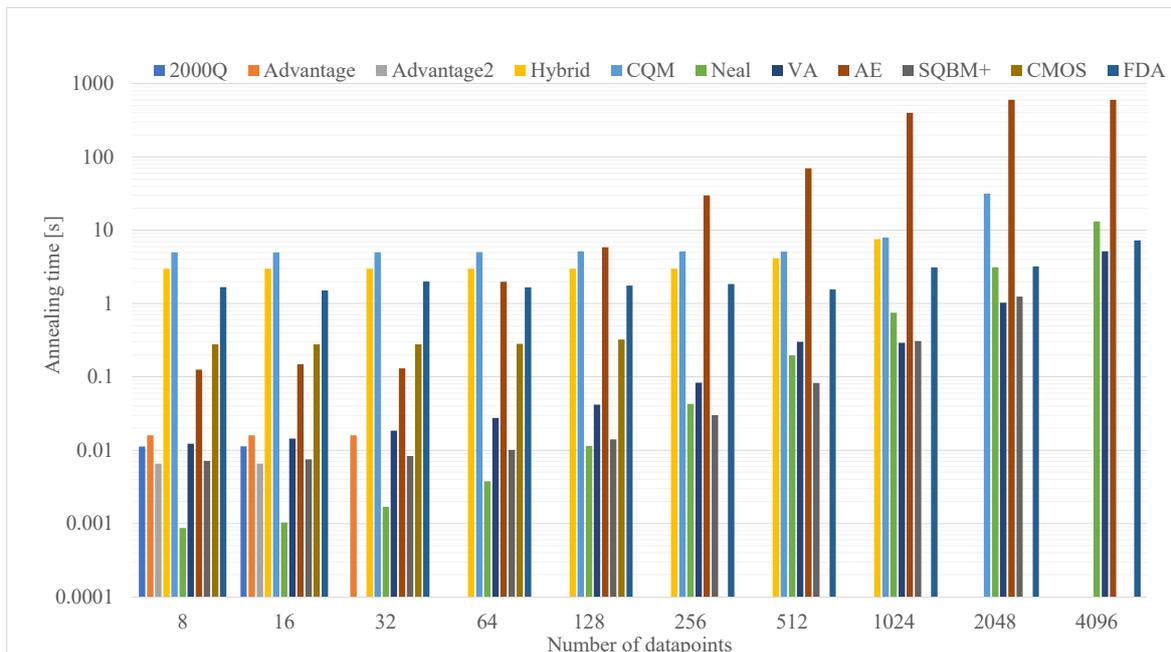


図 1.10 実行時間。

1.2.4 並列アニーリングマシンの性能評価

近年、大規模問題に対して高い性能を実現するために並列処理を活用する並列アニーリングマシンが大きな注目を集めている。複数のプロセッサによる並列処理を用いることで、実世界の応用に近い大規模問題を高速に解くことが可能である。

VA は、MPI を用いることで複数の計算ノード上で並列プロセスとして実行可能である。VA はシミュレーテッドアニーリング (SA) に基づいて設計・実装されており、ノードレベルおよびコアレベルにおける階層的な並列処理を行う。QUBO 行列は、コアレベルとノードレベルという二つの階層に分割され、それぞれに割り当てられる。コアレベルの並列処理では、各ノード内の複数のコアを用いて複数の解 (レプリカ解) を並列に計算し、ベクトルプロセッサのベクトル命令を利用した行列-ベクトル積の演算が実行される。

ノードレベルの並列処理においては、QUBO 行列がノード数に応じた部分行列へと分割され、それぞれの部分行列が各ノードに割り当てられる。図 1.11 は、行列 $Q_{i,j}$ および変数がどのように分割され、各ノードに割り当てられるかを示している。全変数のうち $1/n$ (ここで n はノード数) が各ノードに割り当てられ、各ノードは自身に割り当てられた変数のみを更新する。変数 x_i を更新する際、VA は x_i を反転させたときのハミルトニアンの変化量 (差分) を計算する。このハミルトニアン差分の計算は行列-ベクトル積によって行われ、式 (1.2) に示されている。

$$\Delta H_i = (1 - 2x_i)(Q_{i,j} + \sum_{i \neq j} Q_{i,j}x_j) \quad (1.2)$$

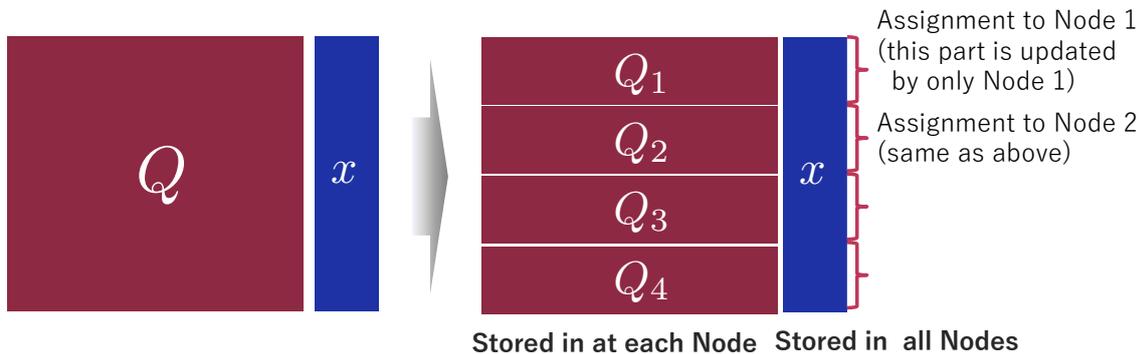


図 1.11 行列 $Q_{i,j}$ の分割と各ノードへのスピンの割り当て。

各ノードが自身に割り当てられた変数に対するハミルトニアン差分の計算を並列に実行する。ノード内の各コアは複数の解候補をサンプリングすることでレプリカを探索し、より多くのコアを用いてより多くのレプリカを扱うことで、サンプル数が増加し解の精度が向上する。1つのコア内では、ベクトル命令を用いて差分計算に必要な行列-ベクトル積を効率的に実行する。各ノードは自身に割り当てられた変数のみを更新するが、差分計算には全変数の情報が必要となる。このため、MPIを用いたノード間通信によって、変数更新の結果を他ノードと送受信する必要がある。

しかしながら、単純なデータ集約は並列処理においてボトルネックとなりやすい。この課題を克服し、ノード間の通信時間およびオーバーヘッドを隠蔽するために、VAでは変数更新に先立ってハミルトニアン差分の投機的計算を実行する。各ノードは、他ノードからの更新結果を受け取る前に一時的なハミルトニアン差分を計算する。この一時的な差分は他ノードでの変数更新を反映していないため、補正計算が必要となる。他ノードからの通信を通じて更新された変数を受信し、それに基づいて補正処理を実施する。また、通信データ量を削減するため、全ノード間通信 (all-to-all) ではなく、変数が更新された要素のみを対象として送信を行う。さらに、通信遅延を隠蔽するために、差分計算、データ送信、変数更新、データ受信の4段階から成るパイプライン処理を構成している。

図 1.12 は、変数の割り当て後における各ノードの処理詳細を示している。通信回数を削減するため、ノード 1 は割り当てられた変数の中からランダムに p 個を選び、これらを同時に更新する。一方で、ノード 1 が変数を更新している間に、ノード 2 は自身に割り当てられた範囲内の p 個の変数を用いて、一時的なハミルトニアン差分を同時に計算する。この一時的な差分は、ノード 1 から更新済みの変数を受信した後に補正される。補正計算の計算量は最大で $O(p)$ に抑えられるため、変数数に比して推測回数 p が十分小さければ、補正処理の増加による影響を受けずに効率的な並列化が可能である。ノード 2 で更新された変数は次のノード 3 に送信され、同様の処理が全ノードで繰り返され、最後のノードからノード 1 へと結果が送信される。

VAにおけるパイプライン処理の概要を図 1.13 に示す。左から右への処理ステージの流れは、時間軸に沿った処理の進行を表している。補正計算の後、変数が更新され、その結果が他のノードへ

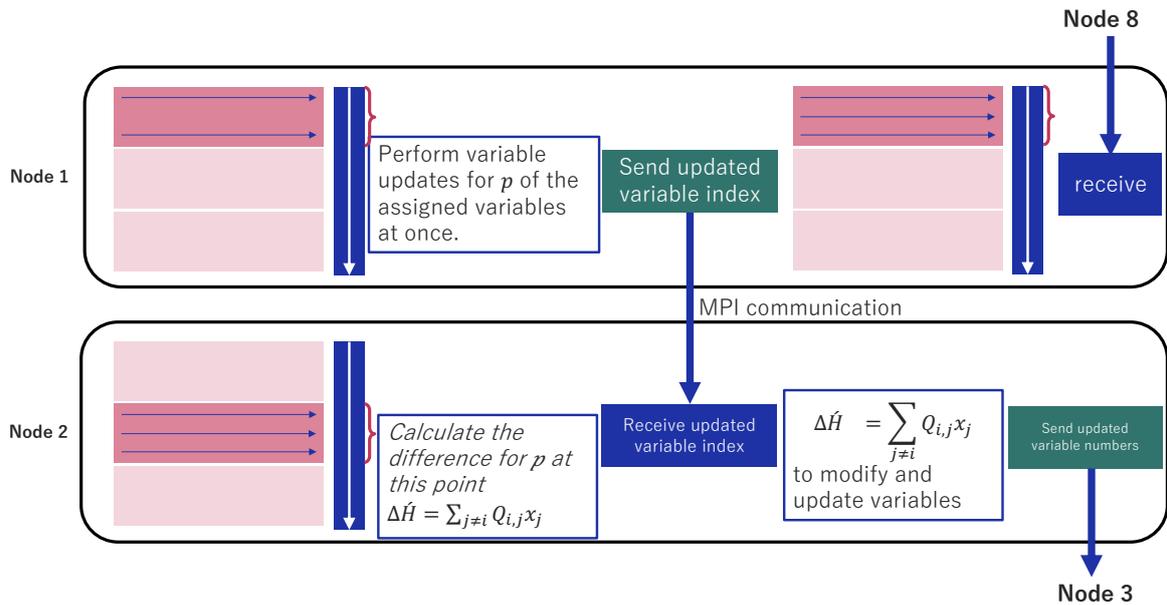


図 1.12 各 VE における処理。

送信される。各ノード間の通信はパイプライン状に段階的に処理され、時間差で通信が行われるため、一時的な差分計算中のノードが通信に関与せずに計算を継続できる。この方式により通信の重複が回避され、全体の処理時間が短縮される。

VA は、ハミルトニアン差分の計算を投機的に実行し、その後に更新された変数を用いて補正を行うという発想により並列処理を実現している。複数ノード上で動作する VA においては、QUBO 行列を分割して各ノードに割り当てることで、総メモリ容量を拡張し、単一ノードでは扱えない大規模な問題の解決が可能となる。例えば、単一ノードでは通常 10 万変数（スピン）程度が上限であるのに対し、複数ノードを用いた VA ではこの制約を打破することができる。

VA はノード間の通信遅延をパイプライン化によって隠蔽しつつ並列処理を行うため、パイプラ

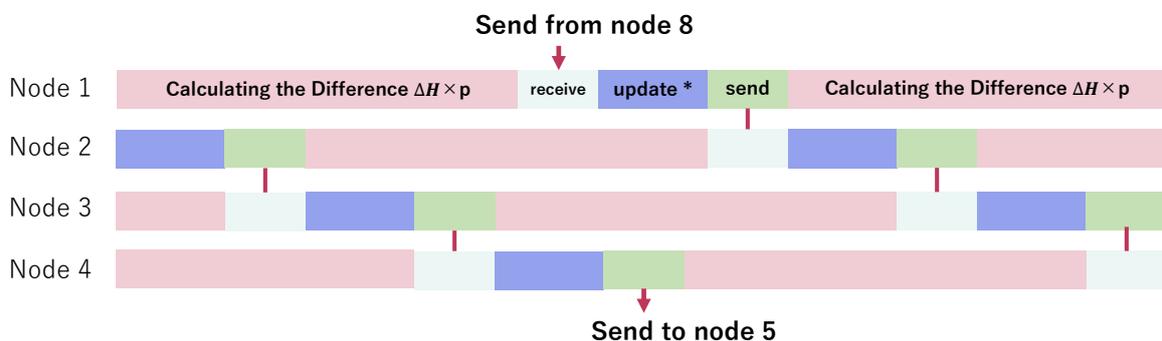


図 1.13 VA におけるパイプライン処理。

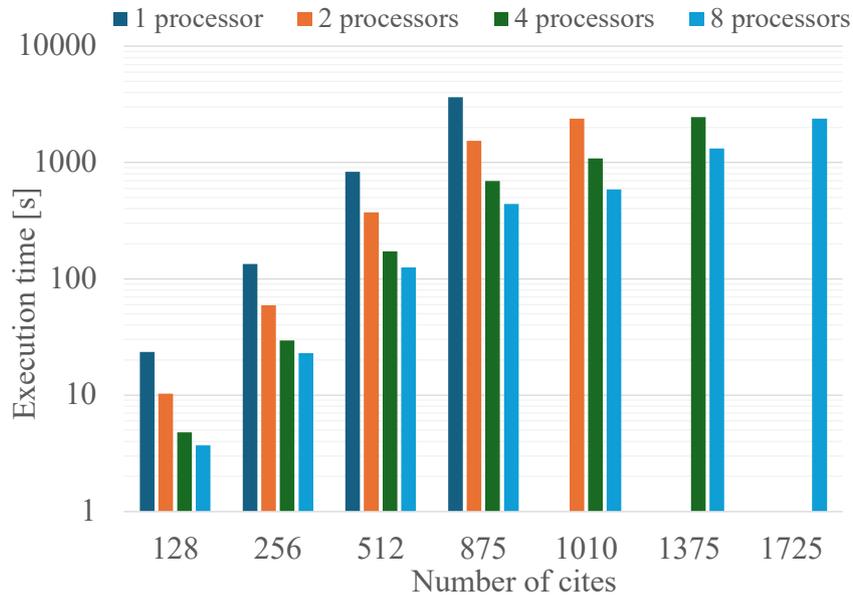


図 1.14 Execution Time by VA on multiple VEs.

インの効率は複数ノードを用いた際のスピードアップに大きく影響する。たとえば、ハミルトニアン差分計算の計算量が十分に大きい場合、通信時間をうまく隠蔽できるため、パイプライン効率が高まり、並列処理の効率も向上すると期待される。すなわち、問題規模がノード数に対して十分に大きいとき、高い並列効率が得られる可能性が高い。一方で、分割された QUBO 行列に偏りがある場合、ノード間の負荷が不均衡となり、パイプライン効率が低下する可能性がある。

また VA の解精度は並列化の進行に伴い低下する傾向がある。これは、各ノードが自身に割り当てられた領域内の変数のみを更新するため、全体の変数組合せ空間を網羅的に探索できなくなるからである。並列度が高まるにつれて探索されない領域が拡大し、その結果として解精度の低下が生じると考えられる。

これを確かめるために、人工的に生成されたデータセットおよび TSPLIB [22] の 2 種類のデータセットを用いて実験を行った。人工データは、柔軟に都市数を変更可能なデータを得るために用いた。データ生成には `numpy.rand.randint` を用い、都市の 2 次元座標を 0 から 1000 の範囲で一様分布に従って生成し、都市間の距離を計算後に整数に丸めた。TSPLIB は広く知られたベンチマーク用データセットである。TSPLIB からは `rat195`、`rat575`、`rat783`、`d198`、`d493`、`d657` の 6 つのデータセットを選定し、データ特性の違いを検証した。`rat195`、`rat575`、`rat783` は都市の配置が一様分布であり、`d198`、`d493`、`d657` は都市配置に偏りがある。

表 1.4 には、本評価に用いたパラメータを示している。ここで、 $\max(d_{i,j})$ は TSP における最大の都市間距離を表す。これらのパラメータは事前実験に基づいて選定された。各データセットに対してアニーリング処理を 100 回試行し、問題を解いた。評価指標は、VA の実行時間およびセールスマンが移動した経路の総距離である。表 1.5 には、VA の評価に使用したソフトウェアおよびハードウェア環境を示している。

実行時間および実用的な問題規模を評価するため、図 1.14 に複数の VE で処理された VA 上における人工的に生成した TSP データセットの実行時間を示す。凡例には使用された VE の数が示されている。プロットが存在しない場合は、メモリ容量不足によりそのデータを実行できなかったことを意味する。例えば、単一の VE では 1010 都市を超える TSP は解くことができない。1 つの VE で実行可能な最大都市数は 875 であり、2、4、8 個の VE を使用することで、それぞれ 1,100、1,375、1,725 都市まで実行が可能となる。TSP では都市数の 2 乗がバイナリ変数数に対応するため、1,700 都市の問題は非常に大規模であり、スケールの大きな飛躍を示す。したがって、複数の VE を用いた VA は、より多くのバイナリ変数を持つ大規模問題を解くことが可能であることが分かる。

1、2、4、8 台の VE で実行可能な最大都市数はそれぞれ 875、1010、1375、1725 である。これらの都市数を用いた実験において、各 VE あたりの計算量は、おおよそ同程度であると考えられる。これは、QUBO 行列が VE 数に基づいて部分行列に分割されているためである。これを検証するために、各 VE に割り当てられる非ゼロ要素数を分析する。全要素数ではなく非ゼロ要素数を評価する理由は、TSP における QUBO 行列がスパースであるためである。 n 都市、 v 個の VE に対する TSP における非ゼロ要素数は $(2n^3 - n^2)/v$ で与えられる。都市数 875、1010、1375、1725 に対して 1、2、4、8 台の VE を用いた場合の非ゼロ要素数は、それぞれ 6.68、6.64、6.49、and 6.42×10^8 となり、各 VE あたりの処理量はほぼ同等であることが確認できる。

ゼロ要素数が同一であると仮定すれば、各 VE で実行されるハミルトニアン差分計算の量も同等であると予測される。したがって、非ゼロ要素数がほぼ同一であることから、実行時間もほぼ同等になると考えられる。しかしながら、1 つの VE のみが 2~8 個の VE と比較して実行時間が長く、1、2、4、8 個の VE による最大都市数における実行時間は、それぞれ 3.65、2.39、2.46、 2.38×10^3 秒である。この差異は補正計算に起因していると考えられる。VE 数が 2 以上の場合、パイプライン処理により補正計算の遅延が隠蔽され、差分計算がボトルネックとなる。一方、単一の VE では補正計算が隠蔽されないため、2 個以上の VE に比べて実行時間が長くなる傾向があるためである。

さらに、単一の VE に対する並列処理の高速化率について評価を行った。図 1.15 は、都市数 128、256、512、および 875 における VA の高速化率を示している。最も大規模な問題である 875 都市においては、高速化率が非常に高く、8 個の VE で 8 倍以上の高速化が達成され、いわゆるスーパー・スケラビリティが得られている。一方、中規模の問題である 512 都市および 256 都市においては、最大で 4 個の VE までスケラブルな高速化が得られるものの、8 個の VE では高速化率が 5~7 倍程度にやや低下している。問題サイズが大きい場合には、並列度が高くても高速化率が高くなる。このことは、VE を用いたパイプライン処理の効率が実行時間に大きな影響を与えることを示唆している。875 都市のような十分に大きな問題においては、ハミルトニアン差分計算の影響が大きく、パイプライン処理によって補正計算による通信時間を効果的に隠蔽できる。一方で、小規模な問題においては、VE 数が増加するにつれてハミルトニアン差分計算の規模が小さくなり、通信時間および補正計算が重ならずに通信時間を十分に隠蔽できなくなるため、高速化率が低下する。この結果より、VE 数が多い場合には、それに見合う十分な規模の問題が必要であることが確認できた。

次に、複数の VE を用いた VA における解の精度について検証を行った。図 1.16 は、複数 VE を

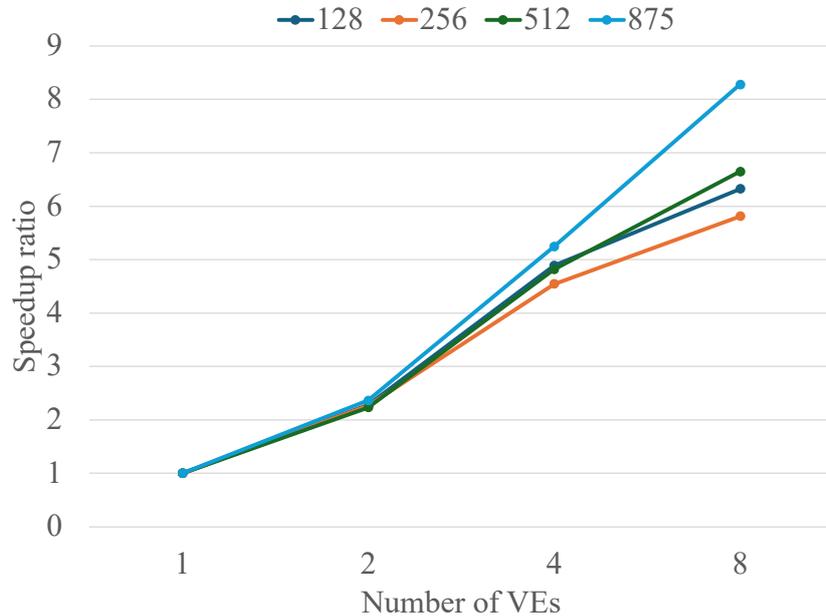


図 1.15 速度向上率。

用いた VA によって得られた TSP の距離を示している。横軸は都市数、縦軸は TSP の経路長を示しており、値が小さいほど良好な解であることを意味する。距離は各データセットにおいて得られた最小距離で正規化されている。単一 VE で実行可能な 875 都市以下の問題においては、VE 数の増加に伴い若干の精度低下が見られる。これは各 VE が割り当てられたサブマトリクス内の変数のみを更新するため、全変数の組合せ空間を十分に探索できないことによる。しかし、より大規模な都市数の問題に対しては、解の精度は比較的高く保たれている。たとえば、1375 都市のケースにおいては、VE 数が増加しても解の精度はほとんど変化しない。このことは、問題規模が十分に大きい場合には、VE を複数使用しても QUBO 行列の分割による影響が小さく、多様な変数組合せの中から有効な解が得られることを示唆している。以上より、問題規模を大きく設定することで、解の品質低下は深刻ではないことが分かった。

最後に、都市の分布の違いが性能に与える影響を、TSPLIB を用いて検証した。図 1.17 は、TSPLIB を用いた評価におけるストロングスケール性を示している。人工的に生成したデータと同様に、rat757 のように都市数が多い場合には、スーパースケラビリティが得られ、8 台の VE を用いた場合でも高い速度向上率が達成できることが確認された。

一方で、d198、d494、d657 のようなデータにおけるスピードアップ率は、rat195、575、783 に比べて低く、とりわけ 8 台の VE を使用した場合には、d198 および d494 の速度向上率は 4 台の VE とほぼ同等にとどまっている。

この原因は、データセットにおける都市の分布の違いに起因していると考えられる。図 1.18 は都市データセットの可視化を示しており、青いプロットは都市の位置を表している。d198、d493、および d657 では、原点に 1 都市のみが存在し、他の都市は原点から離れて集中しているのに対し、rat195、rat575、および rat783 では都市がほぼ均等に分布している。d198、d493、d657 のように、

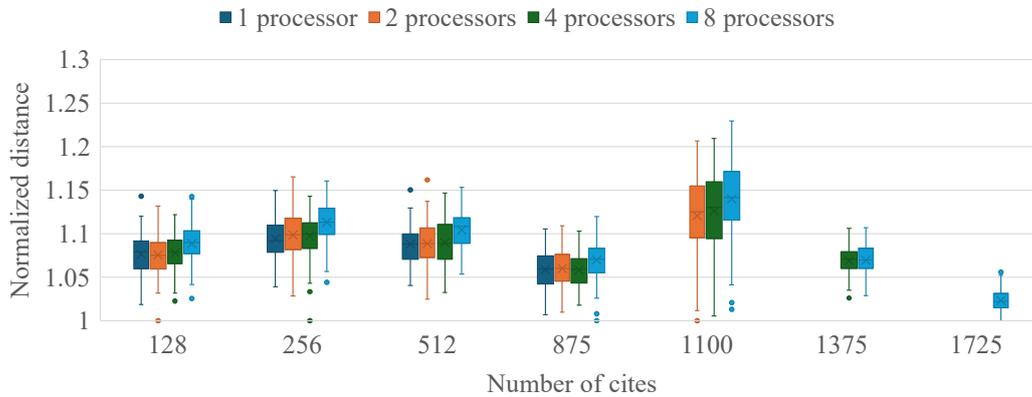


図 1.16 マルチ VE による精度。

都市の分布に偏りがある場合、QUBO 行列の各 VE への割り当ても偏る可能性がある。その結果、補正計算の割り当て量において VE 間で処理負荷が不均等になると考えられる。これにより、パイプラインによる計算で通信を隠蔽することができず、VE 間の通信と処理が不均衡となり、並列化効率の低下につながったと考えられる。すなわち、QUBO 行列の要素の偏りがパイプライン効率に影響を及ぼし、最終的に VA 処理の効率低下を引き起こしていると考えられる。

以上の評価の結果、通信および補正計算のオーバーヘッドを十分に隠蔽できた場合に、VA によるスピードアップが極めて効果的であることが明らかとなった。一方で、QUBO 行列の要素に偏りがある場合には、スピードアップ率が低下する傾向も観測された。

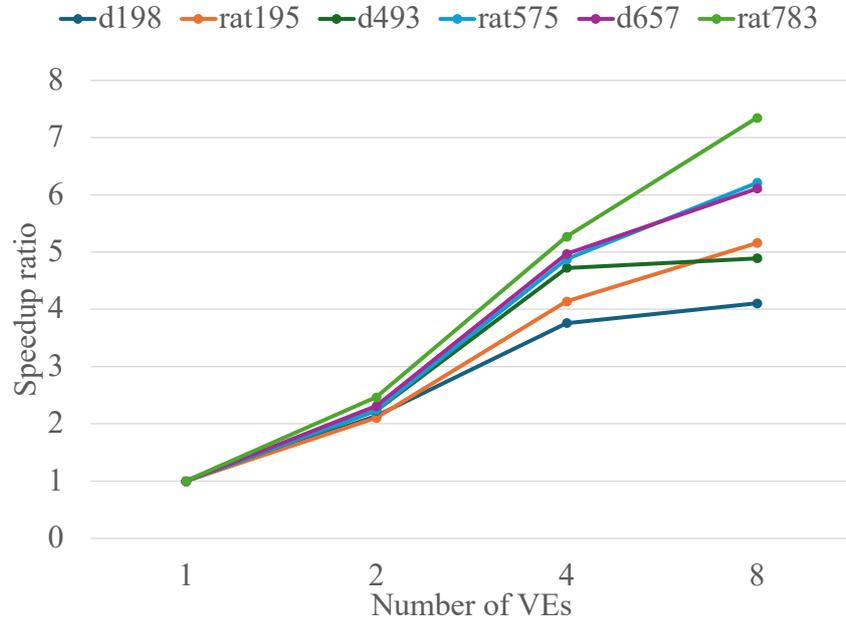


図 1.17 Tsplib におけるスケーラビリティ。

表 1.1 性能評価に用いたイジングマシン。

Ising machines	Hardware	Max bits	Full bits	Connectivity	Bit precision
D-wave 2000Q	QPU	2,048	64	Chimera	5 - 6 bit (Analog)
D-wave Advantage	QPU	5,760	124	Pegasus	5 - 6 bit (Analog)
D-wave Advantage2 Proto	QPU	563		Zephyr	5 - 6 bit (Analog)
D-wave Hybrid and CQM	QPU & digital	N/A	N/A	N/A	N/A
D-wave Neal	Xeon 6126	N/A	N/A	Full	64 bit
NEC Vector Annealer	VE Type 20B	100,000+	100,000	Full	32 bit
Fixstars Amplify Annealing Engine	GPU A100	262,144+	131,072	Full	32/64 bit
Toshiba SQBM+	GPUs	10,000,000	31,000	Full	Digital
Hitachi CMOS Annealer	GPU	61,952	176	King	3 bit
Fujitsu Digital Annealer	GPU	100,000	100,000	Full	Digital

表 1.2 VA ベンチマーク評価に用いた Xeon サーバ。

	Xeon サーバ	Xeon MAX サーバ
CPU	Intel Xeon Gold 6430	Intel Xeon Max 9460
CPU 動作周波数	2.1GHz	2.2GHz
コア数/CPU	32	40
倍精度演算性能/CPU	2.15TFlops	2.81TFlops
メモリ帯域/CPU	281.6GB/s	HBM 1TB/s, DDR 307.2GB/s
CPU 数/ノード	2	1
コア数/ノード	64	40
演算性能/ノード	4.30TFlops	2.81TFlops
メモリ帯域/ノード	563.2GB/s	HBM 1TB/s, DDR 307.2GB/s

表 1.3 性能評価に用いたイジングマシンのパラメータ。

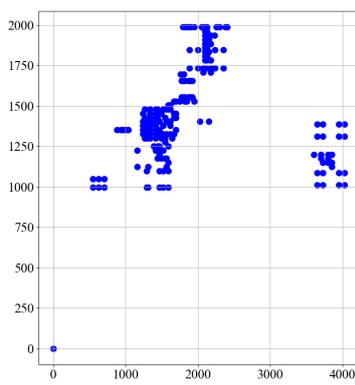
Ising machines	Initial temp.	Final temp.	#. iterations	Annealing time
D-wave 2000Q	N/A	N/A	N/A	20 μ sec
D-wave Advantage	N/A	N/A	N/A	0.5-2000 μ sec
D-wave Advantage 2 prototype	N/A	N/A	N/A	20 μ sec
D-wave Hybrid and CQM	N/A	N/A	N/A	N/A
D-wave Neal	10-1000	0.2-0.0002	10-10000	N/A
NEC Vector Annealer	10-10000	0.2-0.0002	10 - 100	N/A
Fixstars Amplify Annealing Engine	N/A	N/A	100	1 - 600000
Toshiba SQBM	N/A	N/A	Auto	N/A
Hitachi CMOS Annealer	10-1000	0.2-0.0002	10-10000	N/A
Fujitsu Digital Annealer	N/A	N/A	N/A	1 - 3 sec

表 1.4 Parameters for the evaluation.

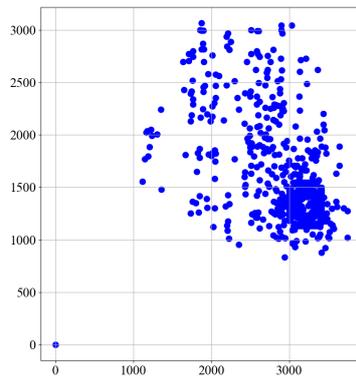
Parameters for VA				Parameters of TSP	
Inverse temperature		Numbers		Constraint coefficients	
Initial	Terminal	Search partitions	Sweeps	artificially generated data	TSPLIB data
10	100	500	1000	$\max(d_{i,j}) \times 0.01$	$\max(d_{i,j}) \times 0.07$

表 1.5 Software and hardware environment.

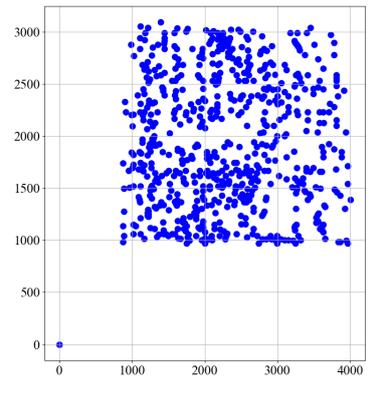
Software	Hardware	
VA Version	SX-Aurora TSUBASA	
3.0.0	Intel Xeon Silver 4208 2 processors	NEC Vector Engine Type 20B 8 processors



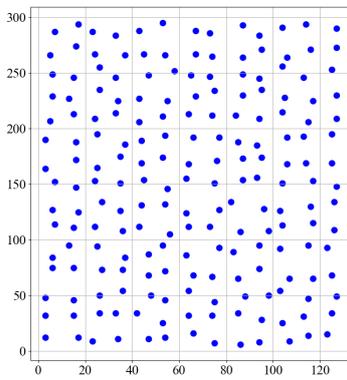
d198.



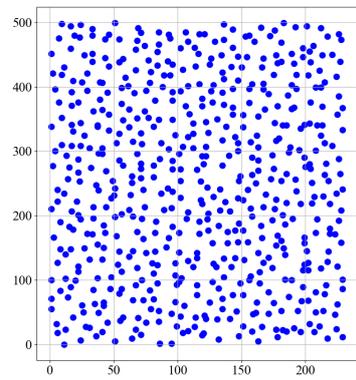
d493.



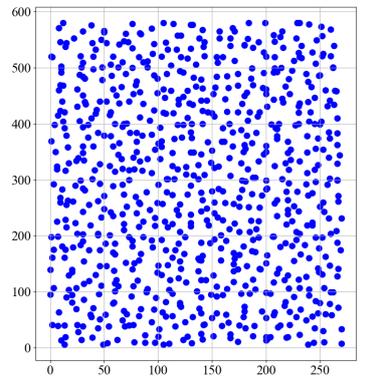
d657.



rat195.



rat575.



rat783.

Figure 1.18 Visualizations of TSP cites distribution.

1.3 量子アニーリング・疑似量子アニーリング技術の活用

本調査研究では 2023 年度に引き続き、既に商用化されている技術である量子アニーリング・疑似量子アニーリング技術の活用状況について、アカデミック分野、及び産業利用分野での調査を実施した。調査においては量子コンピュータや量子アニーリング、及び疑似量子アニーリングの研究開発が活発である日本、米国、及び欧州を主な対象地域とした。以下に調査結果を述べる。

1.3.1 アカデミック分野における量子/疑似量子アニーリングの活用

アカデミック分野における量子アニーリングの大きな成果として、D-Wave らによる磁気スピン系のシミュレーションの研究が挙げられる。本研究の成果は実用的なベンチマークに基づいて量子超越性 (Supremacy) を示すものであるとして Science 誌に掲載された [14]。磁性材料の研究や磁気メモリ、スピントロニクスデバイスの設計に応用可能な物理現象である磁気スピン系のシミュレーションをベンチマークとして使用し、世界最速クラスのスーパーコンピュータである Frontier や Summit を用いた場合でも約 100 万年を要する計算を、量子プロセッサ (QPU) を用いることで約 20 分で求解可能であることを実証している。この計算は Frontier や Summit 等のスーパーコンピュータの 100 万分の 1 ワット未満の消費電力で実現されており、実用的なベンチマークに基づいた世界初の量子超越性 (Supremacy) を示す成果として高く評価されている。

材料開発の分野ではマテリアルインフォマティクス (Material Informatics, MI) への注目が高まっている。MI の問題を高速に処理する技術としてアニーリングの適用可能性が検討されている [28]。従来数値計算による材料探索が広く用いられたきたが、アニーリングを適用することにより成分の組合せの絞り込みを行うことが可能となり計算量を減らすことが可能となる。

1.3.2 産業分野における量子アニーリング・疑似量子アニーリングの活用

量子アニーリング・疑似量子アニーリングの産業分野での活用状況について、日本・米国・欧州における事例の調査を実施した。産業分野においては図 1.19 に示すような領域の事業遂行において、例えば物流業界の配送ルート最適化や金融業界におけるポートフォリオ最適化のように NP 困難な問題が多数存在していることが知られている。一般にこれら問題の最適化は熟練の作業者の手作業、または何らかのアルゴリズムや AI、機械学習等を使って最適化の処理が自動化されている。しかしながら産業競争力や経営効率の観点から必要なレベルでの最適な解が出せていないという状況が非常に多いことがわかっている。産業分野にとってアニーリング技術は膨大な組み合わせの中から競争力・利益・コスト・時間・環境負荷などを考慮しながら適切な組み合わせが得られるツールであり、企業の競争力向上の観点で非常にニーズが高い。以下、各業界におけるアニーリング技術への期待や利用事例について 2024 年度の調査結果を以下にまとめる。2023 年度の調査結果については 2023 年度の成果報告書にまとめた通りである。



図 1.19 アニーリングによる最適化が期待されている応用領域

1.3.2.1 通信分野

通信分野における組み合わせ最適化問題として、通信のためのネットワーク信号の最適化が挙げられる。特に、移動が発生するモバイル端末位置の把握や通信保持のために発信されるページング信号が増大しており、通信性能への影響が懸念されており、ページング信号を抑制する方法が求められている。

NTT ドコモ社と D-wave 社は、ページング信号数を削減するために、量子アニーリングを活用し、基地局のグルーピングを最適化することでページング信号数を削減することに成功している [8, 4]。ページング信号数を最小化するための基地局のグループを見つける、というページング信号最小化の最適化問題に落とし込み、量子アニーリングによる有効性を検証している。東海、中国、九州の 3 エリアでの実証実験により、ピーク時のページング信号を最大約 15%削減、平均 7%削減、約 1.2 倍の端末数が接続できることを確かめている。また、従来の汎用ソルバーで 27 時間掛かっていた処理を、約 40 秒と短い時間で実現したことによって、全国規模にスケールさせることが可能であることが分かった。これによって、通信品質の向上、および通信インフラコストの削減に貢献できる可能性を見出している。

1.3.2.2 マルチメディア分野

マルチメディア分野における組み合わせ最適化問題として、広告の最適化が挙げられる。リクルートは、D-wave の量子アニーリングを活用して、テレビ広告が見られた人数であるリーチ数の最大化を行っている [5]。実際の視聴者のサンプリングから過去の広告視聴データを学習し、機械学習アルゴリズムにより視聴率を推定、その後量子アニーリングによる広告割り当ての最適化を行い、テレビ放送のスケジュールを作成している。複雑な制約がある状況化で、制約を扱うのが得意な量子アニーリングを用いることで、手動のスケジュールリング手法よりもリーチ達成度が 90%向上することが分かり、現場でも活用されている。

1.3.2.3 物流業界

トヨタ自動織機と NEC はフォークリフト製品の出荷計画業務効率化に疑似量子アニーリングを適用した [18]。顧客のオーダーを基に製造されるフォークリフトは用途に合わせたカスタマイズがされるため、仕様や形状が多岐にわたる。このため制約条件を加味した出荷計画の組合せは約 1兆

通りになり、最適な計画を立てることが難しい課題があった。さらに、出荷計画立案業務の習熟には時間がかかるため、業務の属人化や人材育成も課題となっていた。出荷計画立案業務に疑似量子アニーリングであるベクトルアニーリングを適用することにより、出荷計画の立案時間を6分の1以下に短縮すると同時に、業務の属人性を排除することを可能とした。さらに出荷計画の最適化により、出荷トラックの積載率を向上させ、輸送費の低減や二酸化炭素排出量の削減を実現している。

Pattison Food Group と D-Wave は E コマースにおける配送計画に量子アニーリングを適用した [19]。E コマース配送を行う店舗は100以上で翌日配送が条件であり、従来は配送スケジュールを手動で作成するスタッフが3から4名程度、一週間に80時間の作業をしていた。量子アニーリングを用いて本組合せ最適化を行い配送計画作成時間を80%削減した。このような作業はスキルが必要であり後継者不足や人手不足が社会課題となっている。量子アニーリング・疑似量子アニーリングの適用によりこのような社会課題が解決されることが強く望まれている状況である。

また、デンソーは、ライドシェア、そして将来想定されるタクシーとシャトルによるマルチモーダルシェアに向けて、最適化の検証を行っている [17, 3]。D-Wave の量子ソルバーを用いることで、従来のソルバーによるスケジューリングに比べて、京都の実データを利用し、30%の車両数が削減できることを示している。

1.3.2.4 交通分野

ドイツ T-Systems 社と NEC は、鉄道網において列車の運行トラブルが発生した場合に、運行中の他の列車の運行リスクスケジュールに疑似量子アニーリングの適用を行った。従来は一度列車の運行トラブルが発生すると運行中の他の列車にも大きな影響が及ぶことが課題であったが、アニーリング技術の適用により15から20本の列車の運行リスクスケジュールを5から10分程度で行えることを実証した。

1.3.2.5 製造分野

製造業界においても多数の組み合わせ最適化問題が存在する。企業にヒアリングして得られた実例の一つとして、工場における生産順序最適化がある。NEC プラットフォームズと NEC は疑似量子アニーリングによる生産順序最低化を実現している [30]。近年、工場の生産ラインにおいては同一の機械により複数製品の製造が可能となっている場合がある。この生産ラインにおいては複数の製品を製造可能であるが、製造製品を切り替える際の段取り時間が必要となる。ある製品からある製品への製造切替のための段取り時間はそれぞれ異なるため、各製品の生産順序を最適化することにより、生産に要する時間を短縮、または同じ時間でより多くの製品の製造が可能となる。NEC プラットフォームズではプリント基板生産ラインに疑似量子アニーリングによる生産順序最適化を適用し、設備稼働率15%の向上、及び生産計画立案にかかる時間を90%削減した。

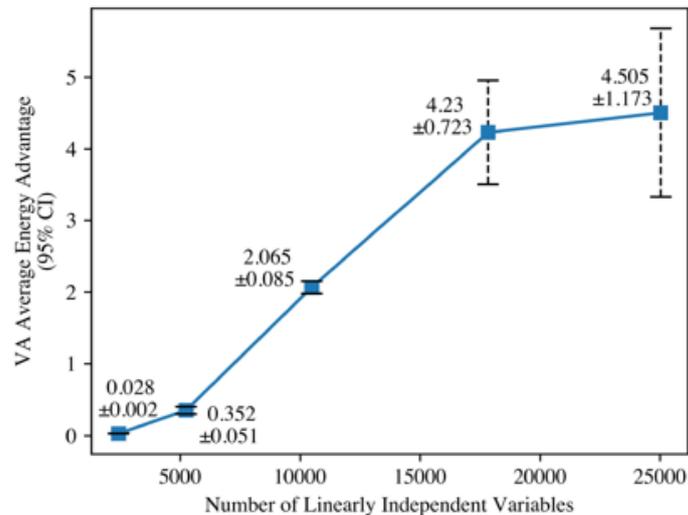


図 1.20 アニーリングによるポートフォリオ最適化事例

1.3.2.6 金融業界

日本、米国、欧州を中心として、複数の金融系企業にヒアリングを実施した。金融業界はアニーリング技術に非常に高い注目をしており、アニーリング技術の活用が広く検討されている状況である。以下に一つの例を示す。

金融業界において株式や債券などのポートフォリオの組み合わせを最適化するニーズがある。これはいわゆる組み合わせ最適化問題であり、設定した条件に基づいてより最適な解をできるだけ高速に得ることが求められている。特に規模の大きい問題に対する求解が可能な疑似量子アニーリングが注目されており、日本のみならず、欧米の金融系企業が実証実験を進めている段階であることが調査によりわかった。図 1.20 に米 ICOSA Computing 社と NEC による金融ポートフォリオ最適化の実証実験例を示す。NEC の疑似量子アニーリングを用いた 25,000 以上の株式ポートフォリオの最適化において、従来手法に対してアニーリング手法を適用することでより優位性の高い結果が得られている [9]。NEC と ICOSA Computing は既に共同でのビジネスを開始しており、金融業界でのアニーリングの活用が大いに期待されている。

現段階ではより大きな規模のポートフォリオ最適化問題を解くために疑似量子アニーリングが用いられているが、今後量子アニーリングが十分なビット数を有した場合、これらポートフォリオ最適化をより高速に実行することが可能となることが期待される。金融分野においては最適化の処理速度が非常に重要であり、今後の量子アニーリングのビット数拡大が望まれている。

1.3.2.7 宇宙・防衛分野

宇宙・防衛分野においても量子アニーリング技術が注目されている。Artificial Brain 社と D-Wave は量子アニーリングを用いて人工衛星の画像キャプチャスケジュールを最適化した [6]。これは撮影の優先度、及びビジネス価値が異なる 10,000 の撮影ターゲットから 400 の撮影対象を適切に選択するものである。量子アニーリングと数理最適手法の比較では量子アニーリングが計算

速度で 39%優位、精度では 23%優位な結果が得られた。また数理最適手法では 32%のケースで制約条件違反があった。

Davidson Technologies 社と D-Wave は量子アニーリングを用いて防衛設備の被害を最小化するため、飛翔体に対する迎撃装置の割り当てとタイミングの最適化を行った [7]。防衛設備の優先順位、迎撃装置、及び迎撃装置の発射時刻から組合せを最適化するものである。量子アニーリングを使った試験では、性能は古典ソルバと同程度であったものの、量子アニーリングの性能が向上することより高い性能優位性が期待されるとしている。古典ソルバや疑似量子アニーリングに対して量子アニーリングは量子効果を用いて瞬時に問題を解くことが可能であり、即応性が求められる防衛領域においては様々な問題に適用することが可能と考えられている。

1.3.3 まとめ

以上の調査により、アカデミック分野よりも日々のオペレーションにおいて NP 困難な課題が多い産業分野でのアニーリング活用が進んでいる状況であることがわかった。一方で、アカデミック分野においても D-Wave の量子アニーリングマシンが磁気スピンのシミュレーションにおいて、最新のスーパーコンピュータシステムによるシミュレーションよりも圧倒的に短い時間、及び消費電力で実現可能な結果が示されるなど、今後 HPC においても量子アニーリング・疑似量子アニーリングの利活用が強く求められていくものと思われる。

将来的には量子アニーリングのビット数が十分に大きくなり、疑似量子アニーリングで解いている問題を数百～数千倍の速度で求解できることが期待されている。これにより量子アニーリングの適用分野がより広くなると期待される。

参考文献

- [1]É. Soutif A. Billionnet. “An exact method based on Lagrangian decomposition for the 0–1 quadratic knapsack problems”. In: *Eur.J.Oper.Res.* Vol. 157. 3. 2024, pp. 565–575.
- [2]BHOSLIB. <https://networkrepository.com/bhoslib.php>.
- [3]D-Wave. *DENSO: Optimizing Transportation with Quantum Computing*. https://www.dwavesys.com/media/f1hpibxr/denso-case-study2_v3.pdf. June 2023.
- [4]D-Wave. *NTT DOCOMO and D-Wave Improve Mobile Network Performance by 15% with Quantum Optimization Technology*. <https://www.dwavesys.com/company/newsroom/press-release/ntt-docomo-and-d-wave-improve-mobile-network-performance-by-15-with-quantum-optimization-technology/>. Aug. 2024.
- [5]D-Wave. *プロダクションにおける量子: テレビコマーシャルのリーチの最大化*. https://dwavejapan.com/app/uploads/2023/06/DWave_Recruit_Japan_v4.2.pdf. June 2023.
- [6]Kshitij Dave et al. *Efficient Earth Observation Satellites Mission Planning with Quantum Algorithm*. Tech. rep. Artificial Brain, 2023.

- [7]Davidson’s President Highlights Quantum Computing for National Defense at D-Wave’s Qubits Conference. Tech. rep. Davidson, June 2024.
- [8]NTT DOCOMO. サービスの最適化をめざし量子コンピューティング基盤を開発. https://www.docomo.ne.jp/binary/pdf/info/news_release/topics_240627_01.pdf. June 2024.
- [9]M. Esencan et al. *Improved and large-scale portfolio ptimization using Vector Annealing*. Tech. rep. ICOSA Computing, Mar. 2023.
- [10]Fixstars Amplify 実行環境. <https://amplify.fixstars.com/ja/engine>.
- [11]Hayato Goto, Kosuke Tatsumura, and Alexander R Dixon. “Combinatorial optimization by simulating adiabatic bifurcations in nonlinear Hamiltonian systems”. In: *Science advances* 5.4 (2019), eaav2372.
- [12]Gset. <https://web.stanford.edu/~yyye/yyye/Gset/>.
- [13]Mark W Johnson et al. “Quantum annealing with manufactured spins”. In: *Nature* 473.7346 (2011), pp. 194–198.
- [14]Andrew D. King et al. “Beyond-classical computation in quantum simulation”. In: *Science* 388.6743 (2025), pp. 199–204. DOI: 10.1126/science.ado6285. eprint: <https://www.science.org/doi/pdf/10.1126/science.ado6285>. URL: <https://www.science.org/doi/abs/10.1126/science.ado6285>.
- [15]Scott Kirkpatrick, C Daniel Gelatt, and Mario P Vecchi. “Optimization by simulated annealing”. In: *science* 220.4598 (1983), pp. 671–680.
- [16]Kazuhiko Komatsu et al. “Performance evaluation of a vector supercomputer SX-aurora TSUB-ASA”. In: *SC18: International Conference for High Performance Computing, Networking, Storage and Analysis*. IEEE. 2018, pp. 685–696.
- [17]Akira Miki. *Practical Advantage of Route Optimization Systems*. Tech. rep. DENSO, Nov. 2022.
- [18]NEC の量子コンピューティング技術で DX を加速. 複雑で難解な出荷計画業務を飛躍的に効率化. https://jpn.nec.com/quantum_annealing/case/toyota-shokki/index.html.
- [19]Optimizing e-commerce logistics. Tech. rep. Davidson, 2024.
- [20]F. Pedregosa et al. “Scikit-learn: Machine Learning in Python”. In: *Journal of Machine Learning Research* 12 (2011), pp. 2825–2830.
- [21]QAPLIB-Problem Instances and Solutions. <https://coral.ise.lehigh.edu/data-sets/qaplib/qaplib-problem-instances-and-solutions/>.
- [22]Gerhard Reinelt. “TSPLIB A traveling salesman problem library”. In: *ORSA journal on computing* 3.4 (1991), pp. 376–384.
- [23]Fumiyo Takano et al. *QUBO solver for combinatorial optimization problems with constraints*. Tech. rep. 4. NEC Corporation, Nov. 2019.
- [24]Takashi Takemoto et al. “4.6 A 144Kb Annealing System Composed of 9×16Kb Annealing Processor Chips with Scalable Chip-to-Chip Connections for Large-Scale Combinatorial Optimization

- Problems”. In: *2021 IEEE International Solid- State Circuits Conference (ISSCC)*. Vol. 64. 2021, pp. 64–66. DOI: 10.1109/ISSCC42613.2021.9365748.
- [25] *TSPLIB95*. <http://comopt.ifi.uni-heidelberg.de/software/TSPLIB95/>.
- [26] **デジタルアニーラーご紹介** *Computing as a Service, Digital Annealer* **【技術編】**. https://www.fujitsu.com/jp/documents/digitalannealer/services/caas-da-technology_jp.pdf.
- [27] 岩井 大介. **量子インスパイアードコンピューティング デジタルアニーラとその応用**. Tech. rep. 富士通株式会社, Sept. 2022.
- [28] 田中宗. “量子アニーリングやイジングマシンの基礎と応用”. In: **物性研究・電子版**. Vol. 10. 1. 2022.
- [29] **量子コンピュータ時代の最適化セミナー**. <https://amplify.fixstars.com/files/seminar/amplify-formulation-20250219.pdf>.
- [30] **量子コンピューティング技術の活用で複雑な生産計画立案の自動化に成功～設備稼働率15%向上、計画立案工数90%削減を実現**. https://jpn.nec.com/quantum_annealing/case/necplatforms/index.html. Mar. 2023.

様式第21

学会等発表実績

委託業務題目「次世代計算基盤に係る調査研究（新計算原理調査研究）」

機関名 慶應義塾大学

1. 学会等における口頭・ポスター発表

発表した成果（発表題目、口頭・ポスター発表の別）	発表者氏名	発表した場所（学会等名）	発表した時期	国内・外の別
口頭発表	天野英晴	新計算原理研究チーム報告会	2024年5月	国内

機関名 富士通株式会社

1. 学会等における口頭・ポスター発表

発表した成果（発表題目、口頭・ポスター発表の別）	発表者氏名	発表した場所（学会等名）	発表した時期	国内・外の別
口頭発表	近藤正雄	新計算原理研究チーム報告会	2024年5月	国内

機関名 理化学研究所

1. 学会等における口頭・ポスター発表

発表した成果（発表題目、口頭・ポスター発表の別）	発表者氏名	発表した場所（学会等名）	発表した時期	国内・外の別
口頭発表	柚木清司	新計算原理研究チーム報告会	2024年5月	国内
口頭発表	佐藤三久	新計算原理研究チーム報告会	2024年5月	国内

機関名 国立大学法人 九州大学

1. 学会等における口頭・ポスター発表

発表した成果（発表題目、口頭・ポスター発表の別）	発表者氏名	発表した場所（学会等名）	発表した時期	国内・外の別
口頭発表	谷本輝夫	新計算原理研究チーム報告会	2024年5月	国内

機関名 国立大学法人 東北大学

1. 学会等における口頭・ポスター発表

発表した成果（発表題目、口頭・ポスター発表の別）	発表者氏名	発表した場所（学会等名）	発表した時期	国内・外の別
A Constraint Partition Method for Combinatorial Optimization Problems	Kazuhiko Komatsu	自動チューニング研究会 第15回定期総会 研究紹介セッション	2024年6月21日	国内
A Constraint Partition Method for Combinatorial Optimization Problems	Kazuhiko Komatsu	37th Workshop on Sustained Simulation Performance	2024年6月18日	国外
A Constraint Partition Method for Efficiently Solving Combinatorial Optimization Problems	Kazuhiko Komatsu	NUG XXXV	2024年6月13日	国外
口頭発表	小松一彦	新計算原理研究チーム報告会	2024年5月	国内

2. 学会誌・雑誌等における論文掲載

掲載した論文（発表題目）	発表者氏名	発表した場所（学会誌・雑誌等名）	発表した時期	国内・外の別
A Compressed QUBO Format for Traveling Salesperson Problems	Chu-Yuan Huang, Kazuhiko Komatsu, Makoto Onoda, Masahito Kumagai, Masayuki Sato, Hiroaki Kobayashi	IEEE Workshop on Parallel Distributed Combinatorics and Optimization	June 2025	国外
Performance Evaluation of Vector Annealing on Multiple Nodes using the Traveling Salesperson Problem	Makoto Onoda, Kazuhiko Komatsu, Kotaro Bannai, Shintaro Momose, Masayuki Sato, Hiroaki Kobayashi	International Supercomputing Conference (ISC) 2025	June 2025	国外
An Ising-based Decision Method for Intra Prediction Mode in Video Coding	Takuto Momominami, Naoya Niwa, Masahito Kumagai, Kazuhiko Komatsu, Hiroaki Kobayashi, Hiroe Iwasaki	SC24-W: Workshops of the International Conference for High Performance Computing, Networking, Storage and Analysis, 1748-1754	November 2024	国外
Quantum annealing-based algorithm for lattice gas automata	Yuichi Kuya, Kazuhiko Komatsu, Kouki Yonaga, Hiroaki Kobayashi	Computers & Fluids 106238-106238	March 2024	国外

機関名 日本電気株式会社

1. 学会等における口頭・ポスター発表

発表した成果（発表題目、口頭・ポスター発表の別）	発表者氏名	発表した場所（学会等名）	発表した時期	国内・外の別
NECの先端技術と製品開発～量子コンピュータ，スーパーコンピュータ～	百瀬真太郎	情報処理学会 東北支部主催 学術講演会	2024年6月12日	国内
口頭発表	百瀬真太郎	新計算原理研究チーム報告会	2024年5月	国内