

自己点検結果報告書(事後評価用)

課題名: 耐災害性に優れた安心・安全社会のためのスピントロニクス材料・デバイス基盤技術の研究開発

1. 課題の概要および目的

現代社会を支えているコンピュータシステムは、演算を司るマイクロプロセッサ、高速動作のワーキングメモリ(WM)、低速ながら不揮発性のストレージデバイスと階層化されている。現在の WM は揮発性のため、大きな待機電力を消費すると共に災害時に電源供給が途絶すると処理中のデータが消失してしまい、迅速な復帰に大きな障害となる。また、従来の WM の高性能化は素子の微細化と低電圧化により実現されてきたが、今後必要となる 20nm 以下の寸法では技術的道筋が見えていない。さらに、微細素子では放射線等によるソフトエラー対策、すなわち耐環境性も必要となる。すなわち、不揮発性機能を有する耐災害性に優れたコンピュータシステムの構築には、耐環境性を有し高速でかつ消費電力を削減できる不揮発な微細 WM 素子の開発が必須となる。

本研究では、不揮発性 WM を有するコンピュータシステムを実現するために、20nm 以下の寸法を有する微細な高速、大容量かつ耐環境性に優れた不揮発性スピントロニクスメモリ素子の材料・素子技術を WM の各階層の素子毎に開発すると共に、そのコンピュータシステムへの適用法をシミュレーションで明らかにする。スピントロニクスメモリ素子は、情報記憶に磁化を用いているので耐放射線性能(ソフトエラー)に優れ、スケールリングが進んだ微細素子における耐環境性を実現できる。

開発された不揮発性 WM を用いると、システム全体の消費電力が大きく削減され、停電時のバックアップ電源によるシステムの長時間維持とデータ処理能力の向上が実現する。さらに、処理情報や処理動作のためのデータを不揮発性 WM に保持していることから、停電復帰時のデータ再ロードを不要とするシステムの構築が可能となる。すなわち、本研究課題における不揮発性 WM とその適用法の開発により、耐災害性に優れたコンピュータシステムを実現するための基盤技術が構築され、情報通信基盤における耐災害性の強化を図ることができる。これらの技術は、東日本大震災において被災した地域はもとより、世界的な貢献ができるものである。

研究開発は、東日本大震災で被災した東北大学や地元企業を含むチームによって遂行する。このチームは、本研究開発を成功裏に実施する能力と十分な実績を備えている。さらに、本研究を実施することにより、被災地域におけるこの分野の国際的研究開発力および産業力の底上げ・増強が図られる。

2. 研究開発目標

停電後のシステム維持時間の延長・データ処理能力の向上ならびに停電復旧後の自動修復(自動復帰)機能を有するワーキングメモリ(WM:高速 WM、大容量 WM)基盤技術、およびコンピュータシステムへの適用法を明らかにするため、以下の項目に関して研究開発を進める。

(1)高機能(高速動作)スピントロニクス WM 向け材料・デバイスの開発

20nmSRAM 以下のセルサイズで、高速な動作を有するスピン素子の基盤技術を確立する。以下、具体的な開発項目を示す。

1)高速動作(書き込み 1ns 以下)

1ns 以下の高速な磁化反転を実現する構造の開発と低リーク計測技術の構築を行う。スピン素子単体の特性を決める要因を解明し、安定書込動作を実現する技術を開発する。

2)耐環境性(耐放射線)(1FIT 以下@地上中性子線)

スピン素子単体に放射線を照射し、ソフトエラー耐性を明らかにすると共に潜在的リスクを抽出し、記憶保持状態を評価すると共に耐性向上のために必要な方策を明らかにする。

3)自動復帰機能・性能維持機能

スピン素子を用いたコンピュータシステムの耐災害性向上技術(自動復帰・性能維持機能など)の開発を行ない、シミュレーションにより評価する。

(2)超低消費電力(大容量化)スピントロニクス WM 向け材料・デバイスの開発

20nmDRAM 以下のセルサイズで、低エネルギー書き換えが可能なスピン素子を開発する。以下、具体的な開発項目を示す。

1)20nmDRAM 以下のセルサイズ

20nm 以下の素子の加工プロセスを開発し、高感度磁気特性評価システムを構築する。

2)低エネルギー書き込み動作(25fJ 以下)

20nm 以下の素子で 25fJ 以下の書き込みエネルギーを実現する材料・素子構造を開発する。

3)新規低エネルギー書き込み手法

電界効果などを用いることにより書き込みエネルギーを 1/10 とする技術開発を行う。

3. 課題の達成状況等

(1)研究開発目標の達成状況等について

①研究開発目標及び研究開発計画の変更理由と対応

変更する事項	変更理由	対応
(1) 高機能(高速動作)スピントロニクス WM 向け材料・デバイスの開発に関する目標の項目変更	予算削減により当初計画されていた開発に必要な設備の準備ができなくなったため	「低書き込みエラーに関する開発」を独立の開発項目から外し、今後の課題とする。全体の開発方針として支障はない。
(2) 高機能(高速動作)スピントロニクス WM 向け材料・デバイスの開発における参画機関の追加	スピントロニクスデバイス候補である 3 端子スピントロニクス素子において、電流誘起磁場の有用性が最近明らかになり、この分野の研究を補強する必要がある。	平成26年度から電流誘起磁場の理解・応用に関する 2 つの業務項目を新たに設定し、京都大学と物質・材料研究機構を再委託機関として追加した。
(3) 超低消費電力(大容量化)スピントロニクス WM 向け材料・デバイスの開発に関する目標の項目変更	予算削減により当初計画されていた開発に必要な設備の準備ができなくなったため	「安定読み出し動作に関する開発」を独立の開発項目から外し、今後の課題とする。全体の開発方針として支障はない。

<参考>

・事業開始当初の研究開発目標

停電後のシステム維持時間の延長・データ処理能力の向上ならびに停電復旧後の自動修復(自動復帰)機能を有するワーキングメモリ(WM:高速 WM、大容量 WM)基盤技術、およびコンピュータシステムへの適用法を明らかにするため、以下の項目に関して研究開発を進める。

(1) 高機能(高速動作)スピントロニクス WM 向け材料・デバイスの開発

20nm SRAM 以下のセルサイズで、高速な動作を有するスピン素子の基盤技術を確立する。以下、具体的な開発項目を示す。

1) 高速動作(書き込み 1ns 以下)

1ns 以下の高速な磁化反転を実現する構造の開発と低リーク計測技術の構築を行う。スピン素子単体の特性を決める要因を解明し、安定書込動作を実現する技術を開発する。

2) 耐環境性(耐放射線) (1FIT 以下@地上中性子線)

スピン素子単体に放射線を照射し、ソフトエラー耐性を明らかにすると共に潜在的リスクを抽出し、記憶保持状態を評価すると共に耐性向上のために必要な方策を明らかにする。

3) 低書き込みエラー (10^{-11} 以下)

低書き込みエラーを実現する材料、構造の開発(新材料探索、三端子素子構造等)を行う。

⇒ 中間評価時に削除

4) 自動復帰機能・性能維持機能

スピン素子を用いたコンピュータシステムの耐災害性向上技術(自動復帰・性能維持機能など)の開発を行ない、シミュレーションにより評価する。

(2) 超低消費電力(大容量化)スピントロニクス WM 向け材料・デバイスの開発

20nm DRAM 以下のセルサイズで、低エネルギー書換が可能なスピン素子を開発する。以下、具体的な開発項目を示す。

1) 20nm DRAM 以下のセルサイズ

20nm 以下の素子の加工プロセスを開発し、高感度磁気特性評価システムを構築する。

2) 低エネルギー書き込み動作(25fJ 以下)

20nm 以下の素子で 25fJ 以下の書き込みエネルギーを実現する材料・素子構造を開発する。

3) 安定読み出し動作

20nm 以下の素子で低抵抗面積積(RA: $1 \Omega \mu\text{m}^2$ 以下)と高トンネル磁気抵抗比(TMR 比: 100%以上)を実現する材料開発を行う。

⇒ 中間評価時に削除

4) 新規低エネルギー書き込み手法

電界効果などを用いることにより書き込みエネルギーを 1/10 とする技術開発を行う。

・事業開始当初の研究開発計画

研究開発項目及び小項目	平成 24 年度	平成 25 年度	平成 26 年度	平成 27 年度	平成 28 年度
(1) 高機能(高速動作)スピントロクスWM向け材料・デバイスの開発			要素技術の開発		基盤技術の確立
(1-1) 高速動作			計測システム構築		
	低リーク高速測定制御技術		高速測定、材料・デバイス反映		高速書き込み(1 ns 以下)技術・計測システム
	高速 WM 向け材料・素子開発		高速 WM 向け材料・素子の高度化		
(1-2) 耐環境性			耐環境性要因の反映		
	耐環境実験		物性評価し材料設計に反映		耐環境性(1FIT 以下 @ 地上中性子線)
	物性評価の準備				
(1-3) 低書き込みエラー(10 ⁻¹¹ 以下)			材料・構造最適化		
	低書き込みエラー材料・構造探				低書き込みエラー(10 ⁻¹¹ 以下)
(1-4) 自動復帰・性能維持機能			基本回路構成提案		
	モデル化、シミュレーション				自動復帰・性能維持機能の技
(2) 超低消費電力(大容量化)スピントロクスWM向け材料・デバイスの開発					
(2-1) 20 nm 以下素子			単体素子プロセス構築		
	プロセス開発、材料・素子探索		プロセス高度化		20 nm 以下素子の高精度加工・評価技術
	磁気特性評価装置設計・評価		磁気特性評価高性能化		
(2-2) 低電力書き込み			材料・構造高度化		
	低電力書き込み材料・構造探				25 fJ 以下の書き込み電力
(2-3) 安定読み出し動作			低 RA・高 TMR 比化		
	低 RA 化				低 RA・高 TMR 比の世界高水準素子
(2-4) 新規低消費電力書き込み			低書き込み電力化		
	電界効果素子材料・構造検討				スピン注入書き込み電力の 1/10 以下の技術

②事前評価・中間評価指摘事項への対応

事前評価指摘事項	対応
<p>他府省等の関連施策と十分な連携を図り、適切な役割分担により効果的に研究開発を推進すること</p>	<p>他府省等の関連施策として、内閣府 革新的研究開発推進プログラム (ImPACT)「無充電で長時間使用できる究極のエコIT 機器の実現」の研究開発プロジェクト「スピントロニクス集積回路」においては、30 ナノメートル台の先端スピントロニクスデバイスを使ったエネルギーハーベストレベルの超低消費電力で動作する省エネルギー不揮発性論理集積回路(マイクロコントローラ)を設計し製作・実証を目的としている。本事業では、10 ナノメートル台の最先端スピントロニクス材料デバイス開発、およびその応用方法をシミュレーションで示しており、上記 ImPACT の次の世代の基盤技術の位置付けとして開発目標を明確に切り分けた上で、集積回路のスケールリングを考慮したシームレスな研究開発を効率的に推進している。</p>
<p>研究開発当初より、民間事業者や実用化後の運用主体及び想定される関係府省の協力を得て研究開発を進め、実用化に向けてのニーズを常に技術開発にフィードバックすること。また、ユーザー側、システム側、ソフト開発側の三者の視点を踏まえて具体的な要求定義がなされること</p>	<p>本事業では、大学や独立行政法人など複数の研究機関とユーザー側、システム側、ソフト開発側となる国内 IT 系企業による産学連携体制を構築し、計画的に情報共有の場を設定して進捗管理等を随時行い、開発技術のフィードバックと研究開発・知財化を進めた。この開発基幹技術とその知財群により、我が国主導で事業化のフレームワークの構築が可能である。具体的には、本事業に参加している我が国を代表する ICT 企業である NEC との共同研究開発・協議に加えて、東北大学国際集積エレクトロニクス研究開発センターでの産学連携事業を通じて、半導体企業と本技術の活用について協議の機会を設けるなど、社会実装に向けての活動を加速している。さらに、参加企業の東栄科学産業は、本事業での開発技術を新規事業創出のコアと位置付けている。</p>
<p>民間の研究機関等における研究開発動向の把握に努め、それらの研究開発成果の積極的な活用を図ること</p>	<p>国内外の民間・学術研究機関等の最新の研究動向の把握に努めることで、スピントロニクスデバイス候補である 3 端子スピントロニクス素子において、電流誘起磁場の有用性が明らかになり、この分野に関する研究開発課題を新たに設定して研究を進め、世界に先駆けた成果を得ている。具体的には、スピンホール効果の評価手法を確立し材料科学的理解のもと材料探索を行い、反強磁性体を用いたスピン軌道トルク(SOT)磁化反転素子における無磁場でのアナログ的な SOT 磁化反転を世界で初めて観測し、さらに、SOT 磁化反転素子をシナプスに用いた人工神経回路網の動作を世界で初めて実証している。</p>

これらの動向に応じ、研究開発内容の変更等の柔軟な対応が可能となるような研究開発体制とすること	最新の研究動向に応じ、当初計画にはなかった開発分野の課題解決のために新たに機関を参画させるなど柔軟な対応を図り、参画機関の枠を越えて開発項目を分担し、情報を密接に共有する研究開発体制とした。
中間評価指摘事項	対応
性能(高機能、超低消費電力等)の向上と併せて、従来のワーキングメモリ(DRAM や SRAM)からスピントロニクスデバイスを用いた不揮発性ワーキングメモリに置き換える上での課題を明確化し、その解決策を検討すべきである。また、本研究開発の成果の産業界における利活用についても今後の課題である。	20nm 世代以下で DRAM や SRAM からスピントロニクスデバイスを用いた不揮発性ワーキングメモリに置き換える上での有効性を判断する上での課題設定を本事業では行っており、研究開発を進めて課題目標を達成し、有効性を確認した。一方、不揮発性ワーキングメモリへ置き換える上での課題の明確化とその解決策を検討するためには、20nm 世代以下で集積化し評価を積み重ねる必要がある。そこで、スピントロニクス集積回路対応としては世界初となるワールドクラスの企業と互換性のある先端 300mm プロセス試作評価ラインを整備している東北大学国際集積エレクトロニクス研究開発センターにおいてその検証準備を進めている。また、本事業で得られたスピントロニクス基盤技術のノウハウ・知財等の成果に関しては、東北大学国際集積エレクトロニクス研究開発センターにおける産学連携活動への活用の準備が進められており、早期実用化、多種多様なニーズ・シーズの創出を図っている。

③研究開発目的の達成状況について

20nm 以下の寸法を有する微細な高速、大容量かつ耐環境性に優れた不揮発性スピントロニクスメモリ素子の材料・素子技術を開発したこと、および、そのコンピュータシステムへの適用法をシミュレーションしたことにより、システム全体の消費電力が大きく削減でき、停電時のバックアップ電源によるシステムの長時間維持とデータ処理能力が向上できることを明らかにした。さらに、処理情報や処理動作のためのデータを不揮発性ワーキングメモリ(WM)に保持していることから、停電復帰時のデータ再ロードを不要とするシステムの構築を可能とし、耐災害性に優れたコンピュータシステムを実現するための基盤技術の構築と、情報通信基盤における耐災害性の強化を図ることができた。また、本研究開発は東日本大震災で被災した東北大学や地元企業を含むチームによって遂行し、被災地域におけるこの分野の国際的研究開発力および産業力の底上げ・増強を図った。

④研究開発成果および目標達成状況について

(1)高機能(高速動作)スピントロニクス WM 向け材料・デバイスの開発

1)高速動作(書き込み 1ns 以下)

A) 高熱安定性・低電流・高速書き込み極微細磁壁移動素子の開発

<背景と目的>

電流誘起磁壁移動は閾電流、磁壁移動時間がサイズに対してスケールラブルであり、高速・高信頼動作が期待される 3 端子スピントロニクス素子の書き込み手法として期待される。これまでに垂直磁化容易軸

を有する Co/Ni 細線においてデバイス応用に適した断熱スピントルクで駆動される磁壁移動が観測されている。断熱スピントルクで磁壁が駆動される場合、閾電流と熱安定性は互いに独立の関係にあり、このため微細化に適した磁壁移動素子の実現できる。当プロジェクトでは細線幅の異なる Co/Ni 細線を用いて電流誘起磁壁移動特性、及び磁壁の熱安定性を測定し、特に極微細領域での 3 端子磁壁移動素子の特性を調べた。また得られた結果に基づき微細化に向けた指針を検討し、さらにサイズ依存性を支配する物理的機構についても考察した。

<成果概要>

図1に3端子磁壁移動素子の書き込み電流、書き込み時間、熱安定性の細線幅依存性(最小 20 nm)を示す。書き込み電流・時間は線幅に対してほぼ線形に変化しており、約 50 nm 以下のとき最先端の SRAM の置き換えに求められる要件を満足している。また熱安定性は全領域に渡って必要値を満たしている。一方、細線幅 20 nm 以下の領域では電流誘起磁壁移動が観測されにくくなることも確認された。数値シミュレーションを用いることで、より垂直磁気異方性の大きな材料を用いることで 20 nm 以下の細線でも良好な磁壁移動が実現されることがわかった。次に熱安定性のサイズ依存性をより詳細に理解するため、測定結果をもとに熱安定性に寄与する磁壁の有効体積を計算した(図2)。有効体積はある臨界線幅までは線幅とともに線形に増大し、それ以上では飽和していることがわかる。これはこの線幅以下では磁壁全体が系の熱安定性を決め、それ以上ではサブボリュームが系の熱安定性を決めているものと解釈できる。またこの臨界線幅は膜厚に依存している。これらの振る舞いはゼーマンエネルギーと磁壁の弾性エネルギーを考慮した解析モデルにより説明できることがわかった。これらにより、高熱安定性と優れた書き換え特性を両立する極微細磁壁移動素子の設計指針が得られた。

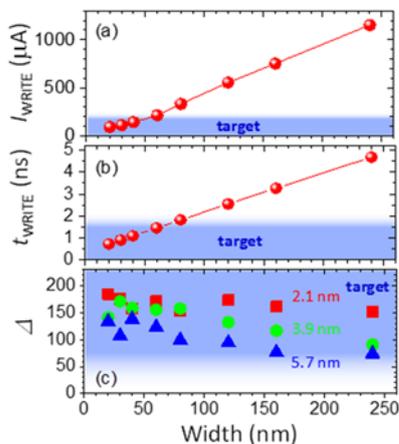


図1 Co/Ni 細線における磁壁移動特性の評価結果から計算される 3 端子磁壁移動素子の (a) 書き込み電流 (IWRITE)。 (b) 書き込み時間 (tWRITE)。 (c) 熱安定性指数 (Δ) の素子幅依存性。青で塗られた領域は SRAM 置き換えで必要とされる値。

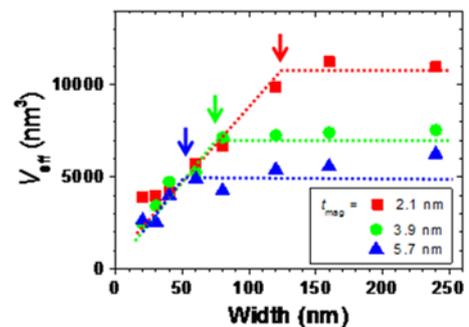


図2 異なる膜厚 (t_{mag}) を有する Co/Ni 細線において熱安定性指数 Δ と磁壁デビンの閾磁場から計算される熱安定性を決める磁壁の有効体積 V_{eff} の細線幅依存性。点線は補助線であり、矢印はデビンの様式が変わる臨界線幅。

B) ナノ秒電流パルスによる正確な磁壁位置制御

<背景と目的>

電流駆動磁壁移動を用いたメモリデバイスの開発が期待されている。そのような磁壁移動を利用したデバイス実現のためには、ナノ秒の電流パルスを用いて磁壁位置を正確に制御する技術の開発が必須である。しかしながら、磁壁移動には慣性が伴うため、磁壁位置制御は困難であると考えられる。特にナノ秒の電流パルスを用いた場合は、電流のオンオフ時における磁壁移動の加速や減速が問題となることが指摘されている。本研究では、電流駆動磁壁移動を用いたメモリデバイス実現へ向けて、ナノ秒パルスを用いた電流駆動磁壁移動における磁壁位置制御について詳細に検討した。

<成果概要>

実験には、膜構造が対称あるいは非対称の2種類の Co/Ni 膜から作製された Co/Ni 磁性細線を用いた。これまでの研究から、対称構造膜から作製された Co/Ni 磁性細線ではスピントランスファートルクによって磁壁が移動し、非対称構造膜から作製された Co/Ni 磁性細線ではスピント軌道トルクによって磁壁が移動することがわかっている。電流パルス幅 t_p とパルス数 N を系統的に変えた実験を行った。電流オフ後の慣性移動が無視できる場合は、 t_p と $1/N$ は比例関係にあるはずである。図3(a)および図3(b)に示されるように、対称構造膜から作製された Co/Ni 磁性細線と非対称構造膜から作製された Co/Ni 磁性細線のどちらでも、 t_p と $1/N$ は比例関係にある。したがって、磁壁移動メカニズム(スピントランスファートルクによる磁壁移動かスピント軌道トルクによる磁壁移動か)に関わらず、慣性移動が無視できることが明らかとなった。実験結果の解析から、磁壁位置は実験誤差(10%)以内で制御可能であることが示された。さらに、マイクロマグネティクスシミュレーションの結果から、電流オフ後に磁壁が磁性細線に存在するピンングサイトにトラップされるために、慣性移動が抑制され磁壁位置の正確な制御が可能となることが明らかとなった。

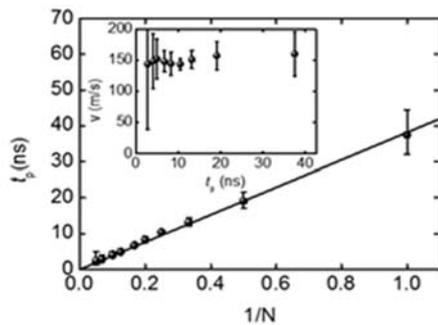


図3(a) スピントランスファートルクによる磁壁移動に対する結果。

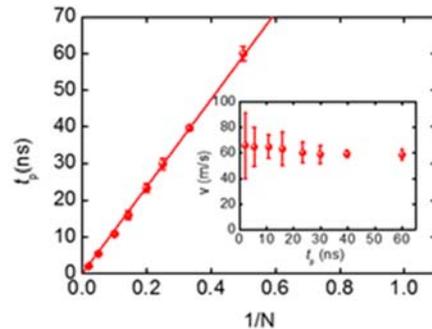


図3(b) スピン軌道トルクによる磁壁移動に対する結果。

C) 微細スピント軌道トルク磁化反転素子の高速・低電流書込み技術の確立

<背景と目的>

スピント軌道トルク(SOT)磁化反転は高速・高信頼動作が期待される3端子スピントロニクス素子の新しい磁化反転(情報書込み)手法として注目されている。特に垂直方向の磁化を反転する素子は微細領域で高い保持特性が期待される。応用上は磁化反転の閾電流密度 J_{th} を決める因子を明らかにし、その低減指針を示すことが重要である。これまでの研究は主にミクロンスケールの素子を用いて行われてきたが、この場合には理論と実験で J_{th} に2桁近い乖離が見られていた。当プロジェクトではSOT磁化反転が観測される代表的な垂直磁化材料である Ta/CoFeB/MgO からなる単磁区スケールの微細素子を用い、磁化反転測定とマクロスピントシミュレーションの比較を通して微細素子の J_{th} を決める因子を考察した。次に得られた知見をもとに W/CoFeB/MgO からなり電気伝導特性の異なる複数の試料でSOT磁化反転を評価し、 J_{th} の低減指針を検討した。これらを通して微細SOT磁化反転素子の高速・低電流書込み技術を確立することを目指した。

<成果概要>

図4(a)にTa/CoFeB/MgOナノドットの閾電流密度のドットサイズ依存性を示す。比較のために先行研究で用いたミクロンサイズの素子の測定結果も示されている。ミクロンサイズの素子とナノサイズの素子の J_{th} の間には約1桁の差があることがわかる。この差はミクロンサイズにおいて顕著となるジュール発熱と磁化の空間的不均一性によって説明されることがわかった。一方で100 nm以下の領域では J_{th} はサイズに対してあまり大きくは依存しておらず、単磁区的描像が成り立つ40 nm以下においても一斉磁化反転

を仮定した従来の理論から導出される $J_{th} (=1.3 \times 10^{13} \text{ A/m}^2)$ と比べて3~4倍程度小さくなっている。マクロスピシミュレーションを用いた解析から、この差異は従来の理論では考慮されていなかったSOTのフィールドライク成分を考慮に入れることで定量的に説明されることがわかった。次にW/CoFeB/MgOを用いて J_{th} の低減指針について検討した。スパッタ成膜する際の条件を調整することによりWの電気抵抗率が大きく変わることがわかった。そこで異なるスパッタ条件で積層膜を成膜してナノスケールの微細素子に加工し、SOT磁化反転を評価した。その結果、SOT磁化反転効率は成膜条件により2~3倍のレベルで変化し、SOTの大きさを特徴づける有効スピンホール角に換算すると最大で0.4~0.5程度の値が得られた。図4(b)にはTa/CoFeB/MgOとW/CoFeB/MgO素子の J_{th} のパルス幅依存性が示されている。有効スピンホール角の高いW/CoFeB/MgOを用いることで J_{th} は半減し、また0.55 nsというSRAMを置き換える上で十分な速度での磁化反転が実現されていることがわかる。

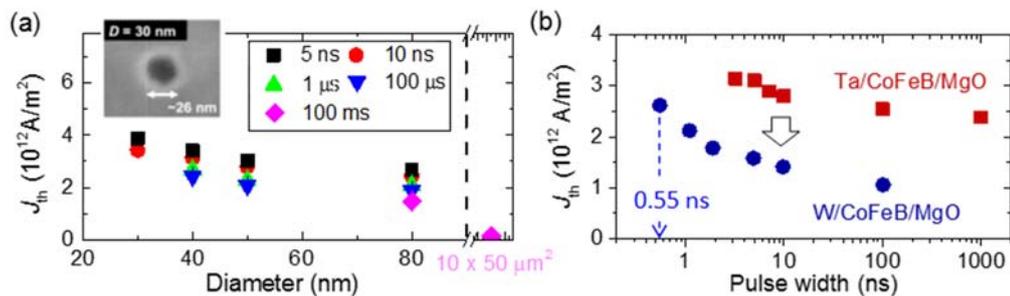


図4 (a)異なるパルス幅で測定したTa/CoFeB/MgO素子の J_{th} のドットサイズ(直径)依存性。挿入図は作製した30 nm Φ 設計のナノドットの走査電子顕微鏡像。(b)Ta/CoFeB/MgO, W/CoFeB/MgO素子の J_{th} のパルス幅依存性。

D) スピン流生成機構の材料科学的理解と素子応用

<背景と目的>

高速動作、低エネルギー書き込みを実現できる3端子型のスピントロニクスメモリ素子を開発するためには、スピンホール効果の大きな材料開発が必要不可欠である。これまでスピンホール効果の大きさを調べる手法がいくつか報告されているが、工業的に重要である非磁性金属/強磁性金属を含む構造において、スピンホール角を定量評価できる信頼性のある手段の確立には至っていない。また、スピンホール効果の発現機構も未解明な点が多く、その原理を明らかにすることができれば、より大きいスピンホール効果を有する物質の設計につながると期待される。

<成果概要>

本研究では、最近発見されたスピンホール磁気抵抗効果を利用して、非磁性金属/強磁性金属を含む構造において、非磁性金属層のスピンホール角を正確に求めることができるかを調べた。その結果、強磁性金属層へのスピン吸収を考慮すれば、非磁性金属層のスピンホール角を定量評価できることがわかった。さらにスピンホール磁気抵抗の温度依存性は、強磁性金属層へのスピン吸収を考慮すると説明できることを示した。

この手法を用いて、スピン軌道相互作用が大きいとされる5d遷移金属(Hf, Ta, W, Reなど)のスピンホール角の大きさを調べた。その結果、スピンホール角は5d遷移金属の構造に大きく依存し、多くの材料で不規則なアモルファスに近い構造(図5(a)参照)が大きなスピンホール角を有することがわかった。また調べた5d遷移金属の中では、Wのスピンホール効果が一番大きく、スピンホール角は0.27程度、スピンホール伝導率は $\sim 2 \times 10^{-3} (\Omega\text{cm})^{-1}$ であった。スピンホール伝導率は図5(b)に示すように5d電子数に依存し、内因性スピンホール効果が支配的であることを示唆している。

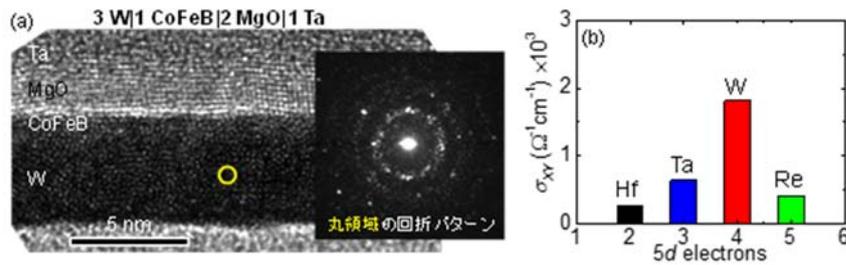


図5 (a) W/CoFeB/MgOの断面 TEM 像。挿入図は W 層の回折パターン。
 (b) アモルファスに近い構造を有する 5d 遷移金属のスピホール伝導率。

E) アナログスピン軌道トルク素子の開発と人工知能応用

<背景と目的>

強磁性体の有するデジタル情報を磁化方向として記憶できるという性質を利用したノイマン型デジタルコンピュータ向け不揮発メモリの開発がスピントロニクス研究の一つの大きな技術潮流となっている。一方で近年の情報処理分野においては非ノイマン型アーキテクチャを用いた人工知能技術が注目を集めている。最近の一部の研究において、強磁性体も脳の情報処理様式をモデル化するのに適した特性を有していることが指摘されている。我々は本プロジェクトで進めてきたスピン軌道トルク(SOT)磁化反転の研究の過程で、ある特殊な膜構成を用いたときに人工知能応用に適したアナログ的な磁化反転挙動を示すことを確認した。そこでこの素子をシナプスとして用いた人工神経回路網を構築し、脳の情報処理様式を模擬したホップフィールドモデルを用いて従来のノイマン型コンピュータが苦手とする連想記憶の基本動作を検証した。

<成果概要>

本研究で用いた SOT 磁化反転素子は反強磁性体である PtMn と垂直磁気異方性を有する強磁性体である Co/Ni 積層膜からなる。当材料系においては PtMn が発現する SOT、及び PtMn と Co/Ni の界面に生じる膜面方向の交換バイアスによって無磁場での SOT 磁化反転が可能である。図6(a)に当素子で観測されたホール抵抗と印加電流の関係(R-I 特性)を示す。電流の大きさに応じてホール抵抗が連続的に変化していることがわかる。別途行った詳細な評価から、この性質はこの材料系で実現される特異な微視的磁気構造に由来することがわかった。次に当 SOT 素子 36 個からなるアレイをパッケージに装着し(図6(b))、FPGA、PC と接続して人工神経回路網(図6(c))を構築した。その上で脳の情報処理の様式を模擬したホップフィールドモデルを用いて 3×3 ブロック中に表現される複数のパターンの連想記憶動作を検証した。なお一連の動作において SOT 素子は脳におけるシナプスの役割を担い、与えられるノイズを含むパターンから「学習」を通してもとのパターンを復元するように動作する。多数回の試行を通して、今回用いた SOT 素子は期待通りの「学習」機能を有し、これによってパターンを想起できることが確認された。

現在一部で実用化されている人工知能は大規模なコンピュータリソースと電力の供給が前提となっている。これに対して、本研究で開発した技術を発展させると、従来技術と比べてシステムの圧倒的な小型化と低消費電力化を実現できるものと想定される。これによって社会における人工知能技術の適用範囲が一層拡大することが期待される。

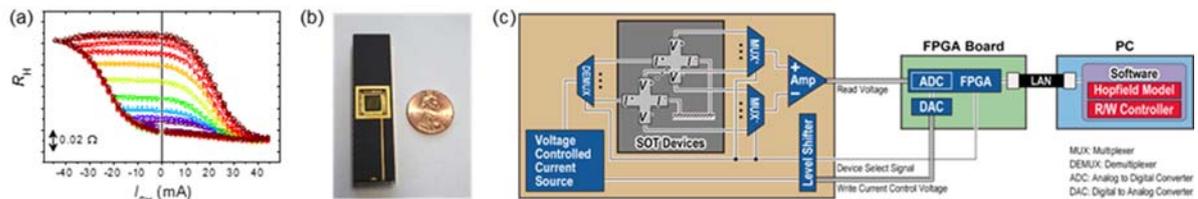


図6 (a) 反強磁性体/強磁性体積層構造からなる SOT 素子の R-I 特性。(b) セラミックパッケージにマウントした SOT 素子アレイチップ。(c) 構成した人工神経回路網のブロック図。

F) 高性能スピントロニクス材料・デバイス開発に向けた高速計測技術の構築

<背景と目的>

スピントロニクスメモリ素子を利用した不揮発性ワーキングメモリの開発が進められている。新たな材料・デバイスの開発には、それを定量的に評価することが必要であり、その計測・評価技術の開発を並行して進めることが欠かせない。本開発においては、1ns 以下で高速磁化反転動作するスピントロニクスデバイスを実験するためのシステム開発を行った。これは磁場を印可しながらデバイスの電気的、磁気的特性評価を行うためのシステムであり、主たる開発要素は磁場中で低リーク評価可能な非磁性材料を用いたウェハーチャック(低リークチャック)である。

<成果概要>

1ns 以下の高速磁化反転動作するスピントロニクスデバイス評価に使用可能な非磁性材料を用いた低リークチャックを開発し、それを組み込んだ評価システムを構築した。これは、300mm ウェハーに対応し、0.8T の磁場を印可可能で、5pA 以下の環境で低リーク評価が可能なシステムである。このシステムを使用して、実際のスピントロニクスデバイスにおける 1ns での磁化反転動作の確認を行った(図7(a),(b))。

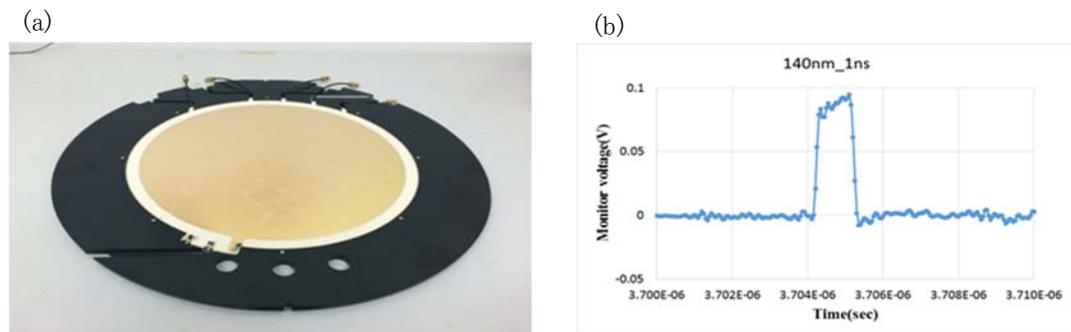


図7 新規開発した低リークチャック(a)と 1ns パルスによる磁化反転動作の確認(b)。

2) 耐環境性(耐放射線) (1FIT 以下@地上中性子線)

A) 2重 CoFeB-MgO 界面構造を記録層に持つ直径 20nm の垂直磁気異方性磁気トンネル接合の高速中性子耐性評価

<背景と目的>

記録層に MgO/CoFeB/Ta/CoFeB/MgO 構造を持つ垂直磁気異方性磁気トンネル接合(p-MTJ)はスピン注入型磁気メモリ(STT-MRAM)の基本構成素子として期待されている。この p-MTJ の地上中性子線環境下での耐性評価はデータ保持の観点で非常に重要であるが、記録層に MgO/CoFeB/Ta/CoFeB/MgO 構造を持つ p-MTJ の放射線耐性はこれまで報告されていない。本研究では、MgO/CoFeB/Ta/CoFeB/MgO 構造を記録層に持つ直径 20nm の p-MTJ の高速中性子耐性評価を行った。

<成果概要>

中性子照射実験は J-PARC の物質・生命科学実験施設(MLF)・BL10(NOBORU)で行った。本実験で使用する p-MTJ の記録層は MgO(1.2)/CoFeB(1.6)/Ta(0.45)/CoFeB(1)/MgO(1.2)(膜厚単位; nm)の積層構造からなる。微細加工技術を用いて接合サイズが直径 20nm の p-MTJ 素子を 3 インチウェハー上に作製した。実験にはトンネル磁気抵抗(TMR)比が室温で 50%以上の p-MTJ 素子を使用し、大気中、バイアス印加なしで 1MeV 換算で最大 3.05×10^{12} n/cm² の高速中性子を照射した。高速中性子耐性評価は照射前後の R-H 曲線を比較することで行った。

中性子照射前後の全素子の TMR 比を図8(a)に示すが、照射前の TMR 比の値に関係なく、中性子照射後の TMR 比の変化はおおよそ 5%以内であった。図8(b)に一つの p-MTJ 素子の中性子照射前後の R-H 曲線を示すが、この図を見てもわかるように、中性子照射によるヒステリシスループに大きな変化は見られなかった。このことから、直径 20nm の 2 重界面構造を有する p-MTJ は照射量 3.05×10^{12} n/cm² まで高速中性子線への耐性があることがわかった。

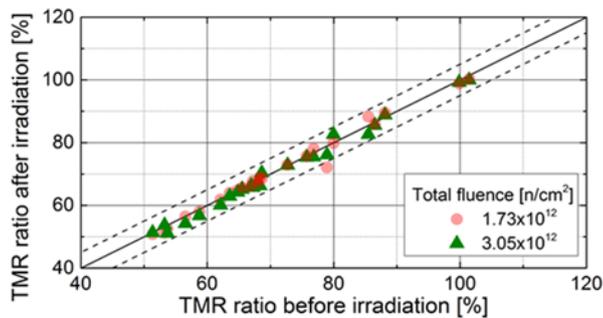


図8(a) 高速中性子線照射後の p-MTJ の TMR 比。
点線は TMR 比の変化が±5%のラインを示す。

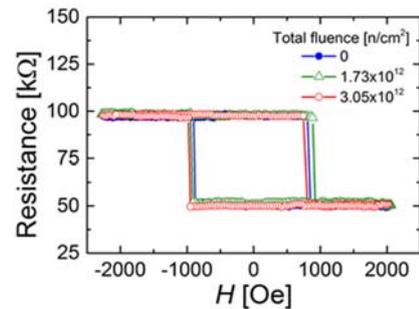


図8(b) 中性子照射前後の R-H 曲線。

B) CoFeB-MgO 垂直磁気異方性磁気トンネル接合の高エネルギー重イオン耐性評価

<背景と目的>

磁気トンネル接合(MTJ)は本質的に放射線に耐性があると言われており、これを支持する実験結果も報告されている。しかし、本研究が対象とする p-MTJ は直径が数 10 ナノメートル、スピン制御が電流注入方式、磁気異方性が面垂直、と従来とは一線を画す革新的な接合であることから、放射線によって極微小な MTJ 内に大量に発生する電子・正孔対の流れ・熱によって磁化が反転する可能性を懸念した。そこで耐災害時の民生利用を視野に入れて、地上で深刻な影響を与える放射線である宇宙線由来の中性子に対する本 MTJ の耐性を、リスク = 「発生頻度」 × 「ハザード」の観点から評価することとした。前者については 1FIT を、後者については故障物理を解明することを目標とした。

<成果概要>

図9(a)に示すように、中性子の影響としては①p-MTJ を貫通する中性子の弾性衝突による「欠陥生成」、②中性子との核反応によって生成した重イオンにより引き起される擾乱による「磁化反転」、③中性子との核反応によって生成した重イオンにより CMOS 部で発生した過渡電流による「書き換え」などのリスクが想定される。本研究では、②について、核反応データベースに基づくモンテカルロシミュレーション(PHITS)により発生頻度の最大値を推定し、量研機構・高崎研 TIARA 施設で実施した重イオン(Si, Fe, Os)照射実験によりハザードを明らかにした。

結果(1) 「発生頻度」について:

p-MTJ と CMOS で構成されるスピントロニクスデバイスのレイアウトデータからシミュレーションモデルを構築した。そして、当該デバイスを取り囲む球面上から地上中性子環境 1400 億年分の中性子フラック

スを照射して、デバイス内で生成した 2 次イオンの種類と MTJ を貫通する頻度を解析した。その結果、地上中性子環境で軽元素以外に多種類の重イオンが MTJ を貫通すること、1 素子の p-MTJ を貫通頻度は 280 億年に 1 回と極めて小さく、目標の 1FIT 以下を達成できることを明らかにした。

結果(2)「ハザードス」について:

重イオン照射試験により、p-MTJ が微細化して 40 nm φになると、15-MeV Si イオンでは磁化の反転は起きないが、400-MeV Fe イオンと 490-MeV Os イオンでは磁化反転という、これまでの常識を覆すハザードスがあることを世界で初めて見いだした。図9(b)は MTJ 一重界面試料 AA322 を 400-MeV Fe イオンが貫通した時に観測された高抵抗状態 R_{AP}^* - 低抵抗状態 R_P^* 間の遷移(スピン反転)を表している。また、この磁化反転は、素子の保持特性が失われたこと、あるいは参照層の磁化が反転したことなどの永久故障によるものではなく、擾乱によるフリー層の反転というソフトウェアである可能性が高いことを突き止めた。

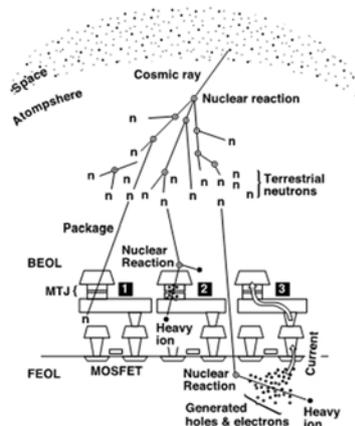


図9(a) 中性子により p-MTJ が被る想定リスク。

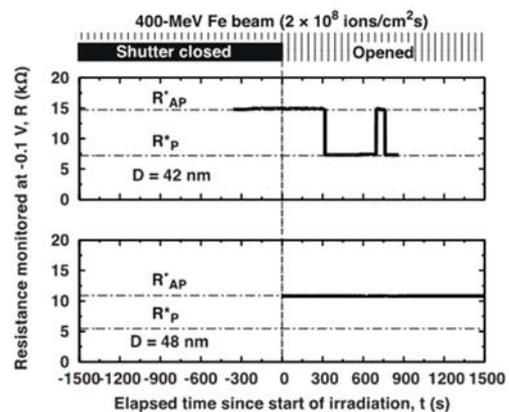


図9(b) 高エネルギーFe イオンによる p-MTJ の磁化反転。

3) 自動復帰機能・性能維持機能

A) ソフトエラー耐性を評価可能なゲートレベルシミュレーターの構築

<背景と目的>

近年の半導体微細化の進展に伴い、集積回路は α 線や中性子線等に起因するソフトウェアの問題が深刻になりつつある。ソフトウェアは中性子線等がトランジスタ内のシリコン原子核と衝突することで発生する電流パルス信号(SET (single-event transit))により引き起こされ、演算を行う組合せ回路においては遅延時間に影響を及ぼす。しかしながら、その遅延時間への影響は SET の大きさや発生タイミング等、様々な要因が考えられるため、静的解析による評価が難しい問題があった。そこで本稿では、図10に示すような様々な条件の SET を発生可能なセルライブラリを作成し、そのライブラリに基づくゲートレベルシミュレーター活用することで、集積回路のソフトウェア耐性評価環境の構築を目指す。

<成果概要>

提案のセルライブラリでは組合せ回路内部で発生する SET による影響を、ゲートそれぞれにおいて SET の大きさや発生タイミングをランダムに決定するようにモデル化を行う。このセルライブラリを用いることで、SET のみならず複数ゲートで同時に SET が発生する MET (multiple-event transient)もシミュレーション可能になるため、ソフトウェア耐性を詳細に評価可能となる。提案のセルライブラリの検証のため、集積回路のベンチマークとして知られる ISCAS-85 ベンチマーク回路を 90nm CMOS プロセスで論理合成し、ソフトウェアシミュレーションを行った。表1にソフトウェアレートの評価結果を示す。今回用いたベンチマーク回路は CMOS のみの回路だが、MTJを含む回路においても同様にソフトウェア耐性を評価することが可能である。

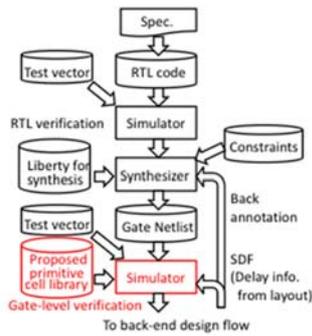


図10 ソフトエラー耐性評価のためのセルライブラリと設計フロー。

表1 提案のセルライブラリを用いたISCAS-85ベンチマーク回路におけるソフトエラー評価。

Benchmarks	Number of gate cells	Error counts	Error rate
c17	3	283	1.42×10^{-4}
c432	84	4921	2.46×10^{-3}
c499	107	4225	2.11×10^{-3}
c880	156	8194	4.10×10^{-3}
c1355	139	7666	3.83×10^{-3}
c1908	105	6250	3.13×10^{-3}
c2670	215	11722	5.86×10^{-3}
c3540	326	29719	1.49×10^{-2}
c5315	514	27834	1.38×10^{-2}

B) 多数決決定書込み方式に基づくソフトエラー・書込みエラー耐性を有するCMOS/MTJ不揮発フリップフロップの構成

<背景と目的>

CMOS集積回路との親和性の高いMTJ (magnetic tunnel junction)素子は、次世代の超低消費電力メモリ回路(MRAM、不揮発フリップフロップ等)実現のキーテクノロジーとして注目されている一方で、書込みエラー及びソフトエラーの問題を抱えている。MTJ素子自体は中性子線等に起因するソフトエラー耐性が非常に高い一方で、CMOSトランジスタは微細化進展に伴いソフトエラー耐性低下が深刻になりつつある。その結果、CMOSトランジスタで発生したエラービットがMTJ素子に書き込まれてしまい、正しくデータビットを不揮発に記憶できない可能性がある。この問題を解決するために、本稿では書込みエラー・ソフトエラー耐性を有するCMOS/MTJ不揮発フリップフロップの構成について述べる。

<成果概要>

図11に提案の多数決決定書込み方式に基づく不揮発フリップフロップのスレーブラッチ部を示す。提案回路は2つのDラッチとC素子から構成され、C素子に保持されている多数決ビット(Q)を用いてすべてのMTJ素子に共通にビットを書き込む。ソフトエラーに影響されないQを書込みビットに用いることで、ソフトエラーに起因するエラービットの書込みを防ぐことができる。さらに、すべてのMTJ素子を1つの電流パスで共通に書込むことで、従来の独立書込み方式と比較して書込み電力を削減可能となる。表2に提案方式と従来方式(Baseline)との性能比較を示す。多数決決定書込み方式により、トランジスタ数と書込みエネルギーをそれぞれ69%、35%に削減した。さらに、遅延時間・動的電力をほぼ同等に保ちつつ、高い書込みエラー・ソフトエラー耐性を実現した。

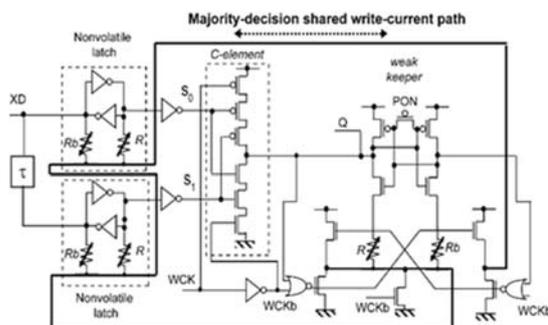


図11 多数決決定書込み方式に基づく不揮発フリップフロップにおけるレーブラッチ部。

表2 65nm CMOS/MTJプロセスを用いた不揮発フリップフロップのスレーブラッチ部の性能比較(従来方式(Baseline)と提案方式)。

	Baseline		Proposed
Structure	77T-6MTJ	-31%	53T-6MTJ
# of write current paths	3		1
Write energy [pJ]	2.05	-65%	0.71
Soft-error resilience	Yes		Yes
Write-error resilience	No		Yes
Delay time [ps]	293		292
Dynamic power@1GHz [uW]	29.6		29.3

C) 突発的電源遮断耐性を有する不揮発プロセッサの構成

<背景と目的>

近年エネルギーハーベスティング技術は、ワイヤレスセンサーネットワーク等の超低消費電力システム実現のためのキーテクノロジーとして注目されている。エネルギーハーベスティングとは、従来のように外部電源を用いることなく、環境中に存在するエネルギーである光エネルギー、振動エネルギー、電磁波エネルギー等を利用することで発電を行う方式である。そのため電力は環境によって大きく変動することから、集積回路システムの電力管理が非常に重要になりつつある。しかしながら電力管理が上手くいかない場合、システムへの電力供給が不十分となりシステムが強制的に停止してしまい、結果的にシステムの再起動が必要になってしまう問題が存在する。この問題を解決するため、本稿では突発的電源遮断耐性を有する不揮発プロセッサを構成することで、不安定な電力下でも再起動不要なシステムの実現を目指す。

<成果概要>

不揮発プロセッサは CMOS/magnetic tunnel junction (MTJ) のハイブリッドプロセスにより実現する。突発的電源遮断が発生した際、不揮発プロセッサは供給電力が完全に失われる前に、データを不揮発フリップフロップ (nonvolatile flip-flop (NVFF)) にバックアップすることで、電力復帰後の演算再開が可能となる。しかしながら、不安定な電源電圧下でのバックアップにより、いくつかの NVFF に正しくデータが書き込まれない可能性があり、その結果、演算再開に失敗してしまう可能性がある。そこで、データとともに書き込みのタイミング情報も同時に記憶可能なフリップフロップ、time-reminding redundant NVFF (TM-RNVFF) を活用した不揮発プロセッサを実現した。提案の不揮発プロセッサの動作検証のために、ARM Cortex-M0 プロセッサを 90nm CMOS/70nm CMOS プロセスによりハードウェア設計・評価を行った (図 12)。その結果、図 13 に示すように突発的電源遮断時にいくつかの NVFF でデータの書き込みの失敗があったとしても、正しく演算が再開できることを Synopsys 社 VCS を用いたシミュレーションにより示した。

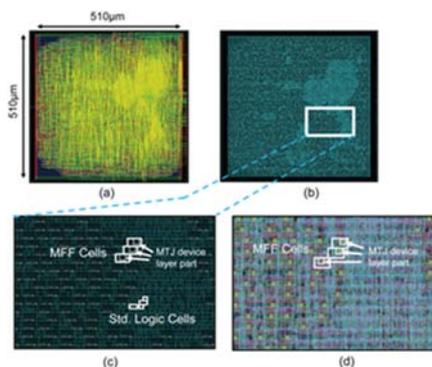


図 12 90nm CMOS/70nm MTJ プロセスによる提案の不揮発 ARM Cortex-M0 プロセッサ。

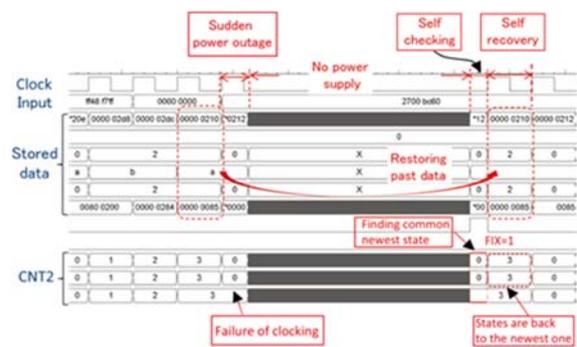


図 13 突発的電源遮断が起こった際の提案不揮発プロセッサの演算再開の様子 (Synopsys 社 VCS によるシミュレーション結果)。

D) スピントロニクス回路で利用される磁気トンネル接合の放射線起因電流によるシングルイベントアップセットの解析

<背景と目的>

近年の垂直異方性を有する磁気トンネル接合 (MTJ) において、スピン移行トルクの反転閾値電流 (I_{CO}) は、スケーリングとともに $100 \mu A$ 以下に下がってきた。反転閾値電流の減少により、スピントロニクス集積回路の電力と面積の低減が見込まれるが、反転閾値電流は放射線の影響に対するソフトエラー耐性を低下させる。そこで、我々はスピントロニクス回路における放射線起因のシングルイベントアップセット (SEU) 電流をシミュレーションするとともに、反転確率を計算することによりソフトエラーを防止するのに

必要な最小の I_{C0} を明らかにした。

<成果概要>

図14(a)は不揮発性フリップフロップ(NVFF)の回路図である。90nm CMOS デザインルールで設計した NVFF のレイアウトパターンは 3 次元デバイスシミュレータで用いた。14MeV cm^2/mg の線エネルギー移行の値を持つ中性子がシリコン基板に入射した時、そのシミュレータから得られた波形は $400\ \mu\text{A}$ のピークと 200ps の経過時間を有していた。図14(b)に中性子起因の反転確率と I_{C0} の関係を示す。 I_{C0} が $30\ \mu\text{A}$ 以下の時に、SEU 電流によるソフトエラーが 10^{-12} 以上の確率で発生するという知見を得た。

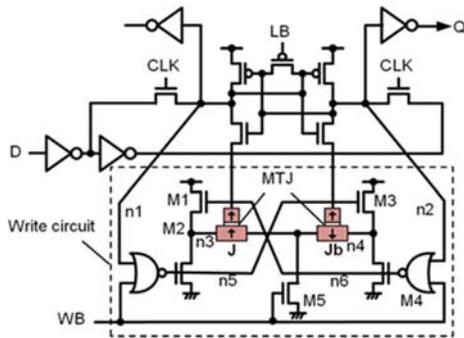


図14(a) 不揮発性フリップフロップの回路図。

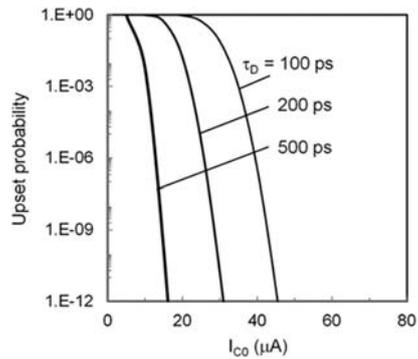


図14(b) 中性子線起因の反転確率の I_{C0} 依存性。

E) 遅延耐性ネットワークにおける MRAM ベースのセンサーノードの消費エネルギーの評価

<背景と目的>

遅延耐性ネットワーク(DTN)は災害時にネットワークインフラが損害を受けたときにもデータ通信が可能な新興のネットワークの一種である。DTN の応用は、橋梁などの公共インフラにおける構造物モニタリング向けの無線センサーネットワークが含まれる。バッテリーを長持ちさせるために、DTN ノードはデューティサイクルモードで動作するので、DTN ノードは、メッセージバッファのための永続性ストレージを必要とすることが多い。ここでは、我々は永続性ストレージとして flash メモリまたは MRAM を用いた DTN ノードの消費電力を比較した。

<成果概要>

図15(a)に3つのDTNノードから構成されるモニタリングシステムを示す。ノード1で取得されたセンサーデータはノード1の永続性ストレージに蓄えられる。ゴミ収集車などの移動ノード2がノード1のWi-Fiの通信レンジに入った時、そのデータはノード2に送信される。最終的にデータは役所のnode3に集められる。我々は、ネットワークシミュレータに接続したCPUシミュレータ上でDTNノードのシミュレーションを行った。図15(b)はIBR-DTNが動作している間のノード1の消費エネルギーである。センサーデータのサイズは $10 \times 64\text{KB}$ である。MRAM は LPDDR2 と同等の性能と仮定した。Flash ベースの DTN ノードに比べ、MRAM ベースの DTN ノードは 1/11 に消費エネルギーを低減できることを示した。



図15(a) DTN を用いた構造物健全性モニタリングシステム。

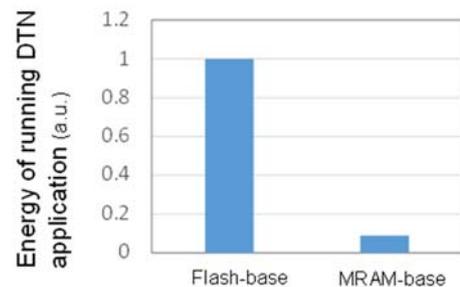


図15(b) node1 の消費エネルギー。

(2) 超低消費電力(大容量化)スピントロニクス WM 向け材料・デバイスの開発

1) 20nmDRAM 以下のセルサイズ

A) CoFeB-MgO 構造を用いた高性能垂直磁化容易微細磁気トンネル接合

<背景と目的>

垂直磁化容易軸を有する CoFeB-MgO 構造を用いた磁気トンネル接合(MTJ)は、大容量不揮発メモリの基盤技術として期待されている。大容量化を実現するためには、直径 20 nm 以下の MTJ を作製し、その特性を明らかにすることが重要である。本研究では、直径 20 nm 以下の MTJ を作製するプロセスを構築し、直径 20 nm 以下の接合サイズを有する垂直磁化容易 CoFeB-MgO 磁気トンネル接合を作製した。2重 CoFeB-MgO 界面構造を用いることにより、直径 11 nm の磁気トンネル接合の特性を評価することに成功した。

<成果概要>

下記の構造:基板側から、Ta(5)/Pt(5)/[Co(0.4)/Pt(0.4)]_{x6}/Co(0.4)/Ru(0.42)/[Co(0.4)/Pt(0.4)]_{x2}/Co(0.4)/Ta(0.3)/CoFeB(1)/MgO/CoFeB(1.6)/Ta(0.45)/CoFeB(1)/MgO/Ta(1)/Ru(5) (括弧内の数字は設計膜厚で単位は nm)を有する積層膜を dc/rf スパッタリングにより作製した。作製した積層膜を電子線リソグラフィ、反応性イオンエッチング、イオンミリング法により円形の磁気トンネル接合に加工した。作製した MTJ は、300 度で 1 時間熱処理を行った。直径 30 - 80 nm の磁気トンネル接合から求めた平均の抵抗面積積は、10 - 11 $\Omega\mu\text{m}^2$ である。各磁気トンネル接合の直径は、抵抗面積積と磁気トンネル接合の抵抗から算出した。

図16には接合直径 11 nm の磁気トンネル接合の抵抗—磁界曲線を示す。外部磁界が 0 でも、平行状態と反平行状態の 2 値状態が実現できていることがわかる。図17(a)は、熱安定性の接合サイズ依存性を示した。図中、シンボルは実験結果に対応し、実線はブランケット膜の磁気特性を用いて計算した熱安定性の接合サイズ依存性である。直径 20 nm でも熱安定性指数 40 - 60 程度の比較的高い値が得られた。また、計算結果は、実験結果をよく再現していることがわかる。図17(b)には、閾値電流の接合サイズ依存性を示す。閾値電流は接合サイズの減少に伴い単調に減少し、微細化に伴い書き込み電力を低減できることがわかった。

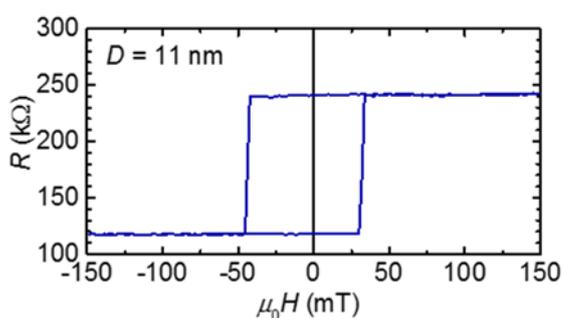


図16 直径 11 nm の接合サイズを有する 2重 CoFeB-MgO 界面構造を用いた磁気トンネル接合の抵抗—磁界曲線。

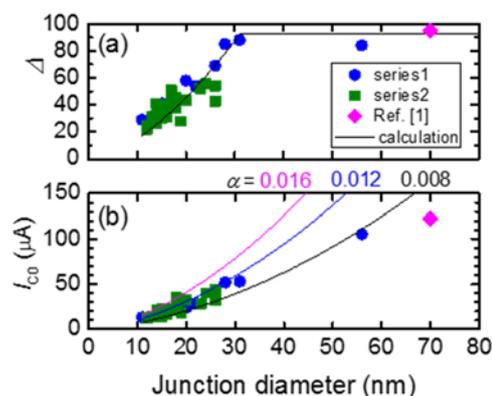


図17 2重 CoFeB-MgO 界面構造を用いた磁気トンネル接合の(a)熱安定性。(b)閾値電流の接合サイズ依存性。

B) 磁性多層膜-CoFeB 積層構造を用いた磁気トンネル接合

<背景と目的>

磁気トンネル接合(MTJ)を用いた不揮発メモリの高性能化には、高熱安定性指数(Δ)、高トンネル磁気抵抗(TMR)比、低反転閾値電流(I_{co})を有する微細 MTJ を実現する必要があり、その実現に向け材料に

関する研究が行われている。本研究では、上述の要件を同時に満足する MTJ の材料設計指針を得るために、高垂直磁気異方性エネルギーを有する Co/Pt (Pd) 磁性多層膜と、高 TMR 比が実証されている CoFeB/MgO を積層した記録層構造を用いることで、直径 20 nm 以下の微細 MTJ 素子で高 TMR 比・高 Δ を実現した。また、より低いダンピング定数を示す CoFeB/Ta/[Co/Pd] 積層構造を用いることで、無磁場中での電流誘起磁化反転を実証した。

<成果概要>

MTJ は、Ta(5)/Pt(5)/積層フェリ参照層/MgO/CoFeB(1.6)/Ta(0.4)/[Co/Pt(0.6) or Pd(0.8)]6/Ru(5) の積層構造から成る。電子線リソグラフィ、Ar イオンミリング、反応性イオンエッチングを用いて円形のピラー状に素子加工し、加工後に 0.4 T の垂直磁場中で 300°C の熱処理を行った。

パルス磁界を用いた磁化反転確率測定より MTJ の Δ を評価し、直径 17 nm の CoFeB/Ta/[Co/Pt] 積層構造を用いた MTJ で 100% 程度の高 TMR 比と 92 の高 Δ を実現した(図18)。しかし、無磁場中での電流誘起磁化反転は観測されなかった。そこで、ダンピング定数が CoFeB/Ta/[Co/Pt] 積層構造より小さい CoFeB/Ta/[Co/Pd] 積層構造を用いた MTJ を作製し、電流誘起磁化反転特性を評価した。図19には、それぞれ CoFeB/Ta/[Co/Pt (Pd)] 積層構造を用いた直径 13 (15)nm の MTJ の電圧-電流特性を示す。Co/Pt 多層膜を用いた場合には、無磁界で電流誘起磁化反転が観測されなかったが、Co/Pd 多層膜を用いた場合には無磁界で電流誘起磁化反転を実現できた。

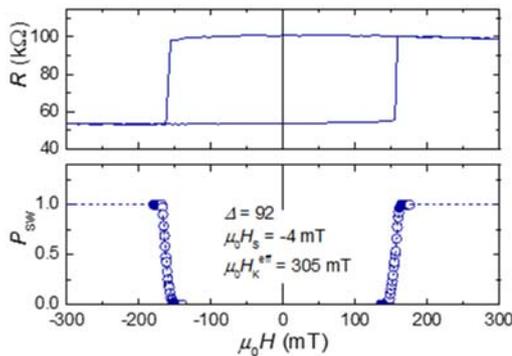


図18 直径 17 nm の CoFeB/Ta/[Co/Pt] 積層構造を用いた MTJ の抵抗-磁界曲線と磁化反転確率のパルス磁界依存性。

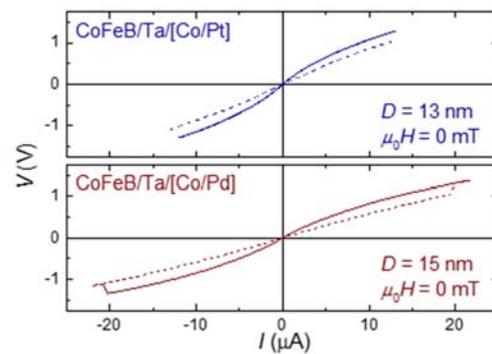


図19 直径 13 (15) nm の CoFeB/Ta/[Co/Pt (Pd)] 積層構造を用いた MTJ の電圧-電流曲線。

C) 高性能スピントロニクス材料・デバイス開発に向けた磁気特性評価技術の構築

<背景と目的>

スピントロニクスメモリ素子を利用した不揮発性ワーキングメモリの開発が進められている。新たな材料・デバイスの開発には、それを定量的に評価することが必要であり、その計測・評価技術の開発を並行して進めることが欠かせない。本開発においては、20 nm 以下のスピントロニクス素子の材料選択のために高磁場印加・高感度磁気特性評価システムの開発を実施した。

<成果概要>

独自技術の高剛性・空冷電磁石、検出システム、ミラー効果補正プログラムの開発により、磁場強度 3T でスピントロニクス材料の磁気的特性を高感度に測定できる評価装置 (VSM) の開発を行い、実際のスピントロニクス材料の評価データを取得した。(図20(a),(b))

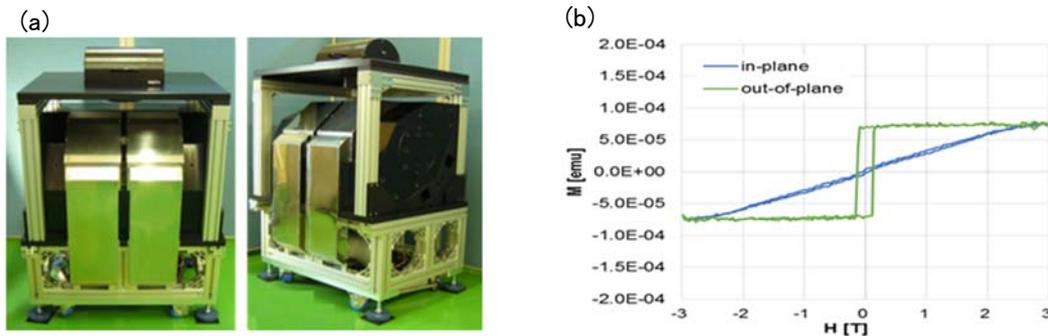


図20 新規開発したVSM(a)と取得した磁気特性データ(b)。

2) 低エネルギー書き込み動作(25fJ 以下)

A) 低ダンピング記録層構造の開発

<背景と目的>

スピン移行トルク書き込み(STT)MRAM の書き込み動作時のエネルギーを低減するために、低ダンピング定数を有する記録層構造の開発を行う。

<成果概要>

消費電力のパルス幅依存性に関して検討し、25 fJ 以下の消費電力を実現するための材料指針を確立した。消費電力 25 fJ(直径 20 nm、1ns)を実現するために必要なダンピング定数=0.003 を実現する記録層構造の開発に成功し、原理実証した。

B) 新規 Mn 基垂直磁化強磁性体材料の開発

<背景と目的>

20 nm 以下の超微小 MRAM において、低電力書き込み動作を実現するためには、高磁気異方性(K_u)、低磁気緩和(α)、低飽和磁化(M_s)を兼ね備えた垂直磁化強磁性体材料が必要である。我々は先行研究により、L10 型 MnAl 規則合金における非常に優れた磁気特性を実証した。しかし、MnAl をベースとする薄膜は、強磁性を示す状態が狭く、組成や基板温度等の作製条件が非常に限られていることで、強磁性トンネル接合(MTJ)素子に応用することが困難であった。本プロジェクトでは、MnAl 合金に微量に Co を添加することで、良好な垂直磁気特性を示す薄膜を安定的に作製すること、および、それを用いた MTJ 素子においてトンネル磁気抵抗(TMR)効果を観測することを目的に研究を行った。

<成果概要>

Mn $_{1-x}$ CoxAl 合金薄膜は、 $x = 0.00 \sim 0.08$ の Co 添加量において、基板加熱温度を最適化することで L10 規則構造を示すことを確認した。図21(a)に Mn $_{1-x}$ CoxAl 合金薄膜の K_u および M_s の Co 量依存性を示す。 K_u 、 M_s とともに $x > 0.05$ の領域で減少するが、 $x < 0.03$ の領域では約 10 Merg/cc の非常に大きな垂直磁気異方性が得られた。さらに、素子に応用する際に重要な薄膜の表面平坦性が、Co の添加により劇的に改善した。これは、Co 添加により L10 構造に規則化する温度を低減できたためである。また、Mn $_{1-x}$ CoxAl 合金薄膜を電極とした MTJ 素子を作製した。図21(b)に示す TEM 像より、期待通り Mn $_{1-x}$ CoxAl 合金が L10 構造を有していること、および、MgO 絶縁層が(001)配向していることが確認できた。さらに、室温で約 20%の TMR 効果を観測することができた。Mn $_{1-x}$ CoxAl 合金を電極とする MTJ 素子における TMR 効果の観測は、世界で初めてである。以上の成果により、Mn $_{1-x}$ CoxAl 合金は大容量の MRAM に応用可能な有望な垂直磁化強磁性体材料といえる。

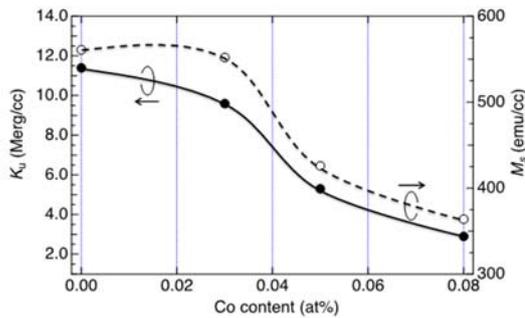


図21(a) Co content dependence of K_u and M_s in $Mn_{1-x}Co_xAl$ films.

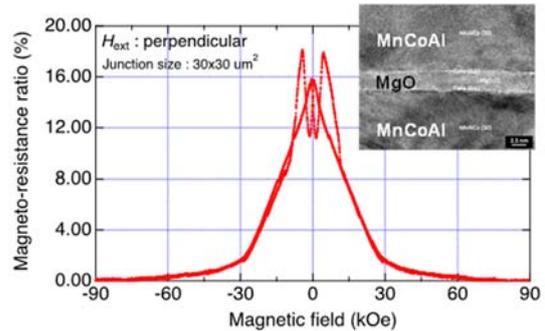


図21(b) MR curve in the MTJ with $Mn_{1-x}Co_xAl$ electrode.

3)新規低エネルギー書き込み手法

A) 電界効果を用いた低消費電力書き込み手法

<背景と目的>

磁気トンネル接合(MTJ)で消費される書き込みエネルギーは、素子に印加される電界による充放電エネルギーと、素子を流れる電流による Joule 熱とにより決まる。CoFeB/MgO/CoFeB 系において、スピントランスファートルク(STT)を用いた磁化反転における典型的な Joule 熱はビット当たり sub pJ、充放電エネルギーはその数桁小さい値を持つ。電圧印加による磁性制御は磁性半導体で実証され、CoFeB/MgO に対しても電圧印加による界面垂直磁気異方性の変調が報告されている。電圧印加により磁気異方性の方向を変えることで磁化歳差運動を誘起し、歳差運動の半周期の時間で電圧を切ることにより、電界効果を利用した磁化反転が可能である。この書き込み手法は STT を利用しない為、Joule 熱による消費電力を大幅に抑制できることが期待される。本業務項目では、電界により誘起された歳差運動の物理現象の理解と、本業務開始当初の STT 磁化反転の最小書き込み電力 90 fJ/bit の 1/10 の書き込み電力を電界効果による書き込み手法により達成することを目的とした。

<成果概要>

サファイア基板上に buffer/CoFeB (0.9 or 1.0 nm)/MgO(1.4 nm)/CoFeB (1.8 nm)/capping layer からなる直径 70 nm の MTJ を作製した。参照層からの漏れ磁界を補償する垂直磁界と記録層の磁化歳差軸を決める面内磁界 H_{in} を合成した定常磁界下で、電界パルス印加による磁化反転確率を測定した。反転確率がパルス継続時間 t_{pulse} に対して振動することから、磁化の歳差運動が誘起されていることがわかった。反転確率が極大(小)値をとる t_{pulse} は g 因子を 2 とした H_{in} による Larmor 歳差周期の(半)整数倍と一致し、磁化反転速度を H_{in} の値で制御可能であることを世界で初めて示した(図22)。素子に流れる電流とそれによる Joule 熱を抑制するため MgO 膜厚 2.8 nm、抵抗面積積 $176 \text{ k}\Omega\mu\text{m}^2$ の高抵抗 MTJ を作製した。電界書き込み方式により 6 fJ の書き込み電力を実現した。この値は MTJ における書き込み電力として世界最小である。

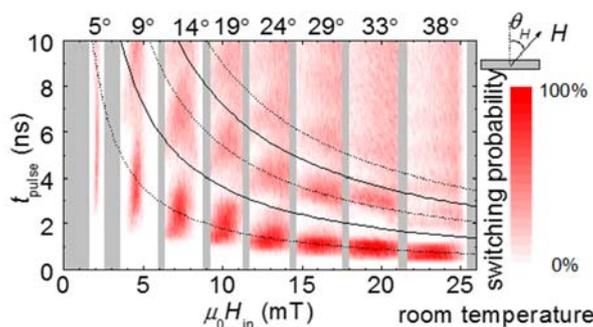


図22 パルス電圧印加による平行状態から反平行状態へ磁化反転する確率と、反平行状態から平行状態へ磁化反転する確率の積の印加電界継続時間 t_{pulse} および印加面内磁界 H_{in} 依存性。

B) 電界効果とスピントランスファートルクを併用した新規磁化反転手法の実現

<背景と目的>

電圧パルス印加による磁化反転においては、一時的な磁化容易軸方向の切り替えにより磁化歳差運動を誘起する。ジュール熱を伴わないことやインキュベーション時間がないことから、スピン注入磁化反転と比較してより低消費電力・高速な磁化反転が可能である。磁化の歳差運動周期は外部磁界と電圧の大きさに依存する磁気異方性により決まり、磁化反転確率は印加電圧パルスの継続時間に依存する。反転確率の向上のため、デバイス特性に合わせた印加電圧パルスの大きさと継続時間の精確な調整を必要とするが、デバイスごとに特性のばらつきがあることが問題となる。電圧印加磁化反転とスピン注入磁化反転を組み合わせた新規磁化反転手法により、高速で制御性の高い低消費磁化反転を実証することを目指した。

<成果概要>

面積抵抗 $RA = 14 \Omega\mu\text{m}^2$ を持つ直径 40 nm の垂直磁化容易 MTJ において、斜め磁界を印加しながら図23(a)のような二種類の電圧パルスを入射した。電圧印加による磁化反転確率のパルス幅依存性を図23(b)に示す。0.5 V の振幅を持つパルスを入射した場合には磁化反転確率が継続時間に対して単調に増大する。これはスピン注入磁化反転のモードで磁化反転が起こっていることを示している。電圧印加に伴い垂直磁気異方性が減少し、0.7 V の電圧印加時には電界誘起磁化反転が起こっていることを示す振動的な磁化反転確率となる。電界による歳差運動を誘起した後、スピン注入磁化反転モードに切り替えるため、図23(c)のような電圧シーケンスを入射した。図23(d)に示した磁化反転確率は、電圧パルス継続時間に対して単調に増加し、パルス継続時間の精確な制御を必要としないことを示す。更に、スピン注入磁化反転のみの場合(緑)と比較して磁化は高速に反転する。磁化反転モードを切り替えるために二つの電圧パルスを連続印加する磁化反転方式により、デバイス特性のばらつきの影響を抑制し、高速かつ信頼性の高い新規磁化反転を提案・実証した。

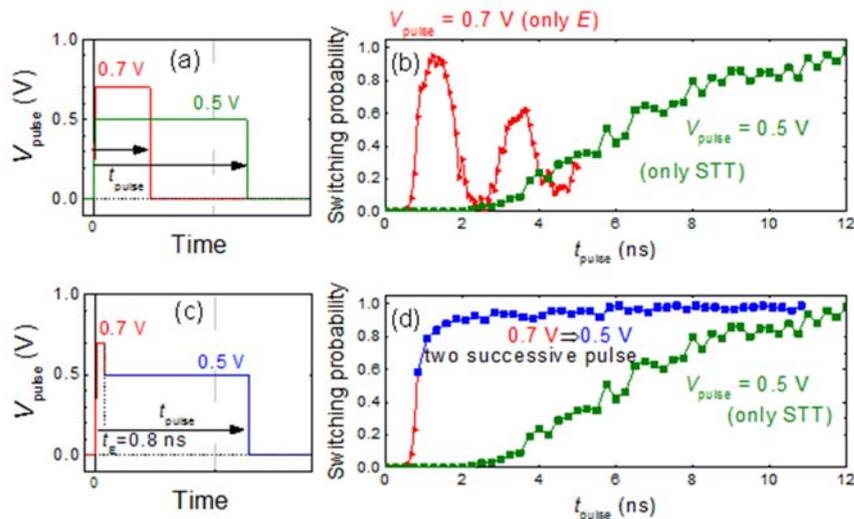
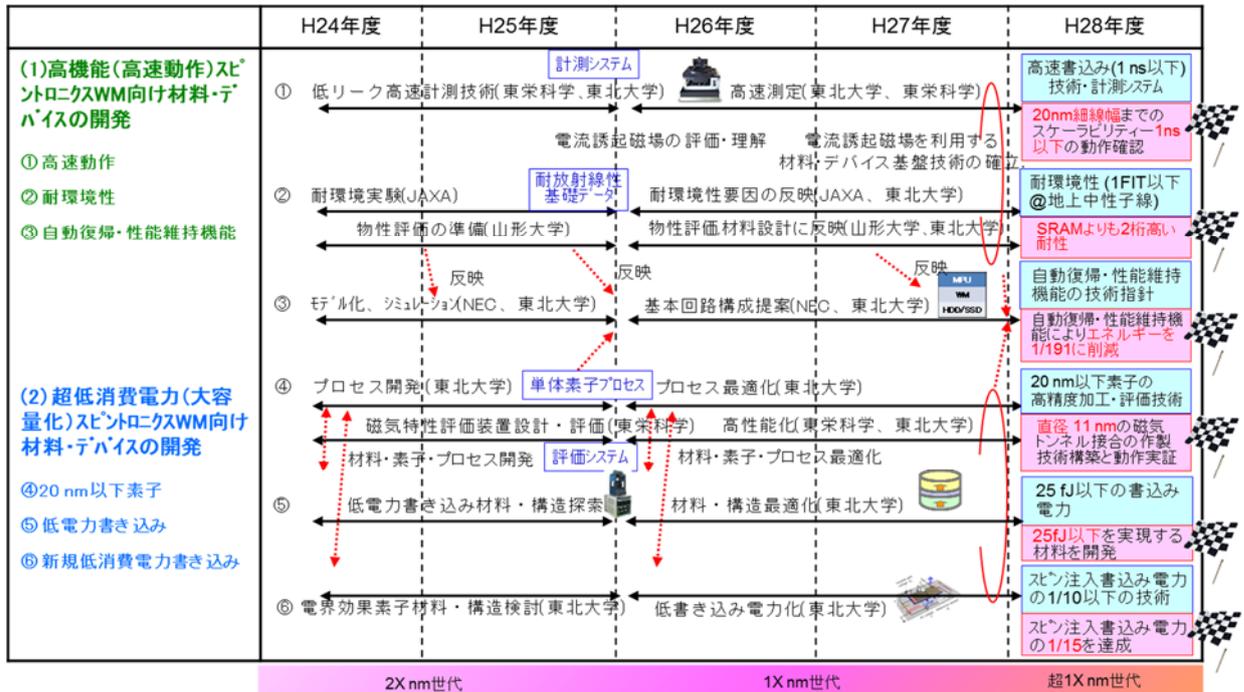


図23 (a)(c) 入力した電圧パルスの波形。
(b)(d) それぞれのパルスを入力した際の
電圧パルス継続時間に対する磁化反転確率。

以上の研究開発成果の概要を下記に示す。

研究開発成果

・有機的連携により研究開発を効率的に推進



全ての開発項目でプロジェクト目標を達成

⑤独創性・優位性について

- 1) Co/Ni 細線を用いた 3 端子微細磁壁移動素子を作製することにより、20nm 細線幅まで書き込み電流・時間が線幅に対してほぼ線形に変化するという優れたスケラビリティと 1ns 以下での高速動作、さらには高い熱安定性(100 以上)を確認することができた。また、得られた結果に基づいて微細化に向けた指針を示し、サイズ依存性を支配する物理的機構について解明した。本研究結果は 最先端 SRAM を置き換える仕様を十分満足し、国内外の他機関で実現されていない技術である。
- 2) スピン軌道トルク(SOT)磁化反転素子として、垂直磁気異方性を有する強磁性体 Co/Ni 膜上に反強磁性体 PtMn を積層させた膜構成において、交換バイアスのよって無磁場でのアナログ的な SOT 磁化反転を世界で初めて観測することに成功した。さらに、SOT 素子をシナプスとして用いた人工神経回路網の動作を世界で初めて実証することができた。
- 3) 特性評価用プローバにおいて磁場を印可しながらデバイスの電氣的・磁氣的特性評価を高速・高精度に行うため、磁場中で低リーク評価が可能な非磁性材料を用いた 300mm ウェハーチャックを開発することにより、1ns 以下の高速書き込み動作を磁場中で評価することが可能となった。この技術は国内外でまだ開発されていない独創的かつ世界最先端の技術である。

- 4) 微細素子の放射線等によるソフトエラー発生すなわち耐環境性について、中性子/重イオン照射実験で確認した結果、地上中性子線故障率は 1×10^{-6} FIT となり、目標 1FIT 以下を十分満足することを世界に先駆けて確認した。
- 5) ソフトエラー現象解析のためのモデル化とシミュレーション環境の構築を行い、不揮発性 WM を使用したソフトエラー耐性回路を開発することにより、揮発性 WM で構成された現在のコンピュータシステムでは成し得ない突発的電源喪失時の性能維持・自動復帰を、現在の 1/100 以下の消費電力で達成できることをシミュレーション上で国内外を通じて初めて実証できた。
- 6) 直径 20nm 以下の微細加工プロセスを構築することにより、世界最小となる直径 11nm の 2 重 CoFeB-MgO 界面磁気トンネル接合 (MTJ) を作製し動作実証に成功した。この微細加工プロセスを用いることにより世界に先駆けて一桁 nm 世代のスピンロニクス材料・デバイスの開発を行うことができ、知財化・標準化の観点からも非常に優位である。
- 7) 独自技術の高剛性・空冷 3T 電磁石、検出システム、ミラー効果補正プログラムの開発により、高速かつ高感度な振動試料型磁力系 (VSM) を開発することができた。これは、MTJ の性能向上に必要な高磁気異方性等の磁気特性を高速かつ高感度に測定することができるため、スピンロニクスデバイスの磁気性能向上を今後大きく推進させていくことに資することとなる。
- 8) 世界に先駆けて開発した直径 20nm 以下の微細加工プロセスを用い、高磁気異方性、低磁気緩和、低飽和磁化を兼ね備えた新たな垂直磁化強磁性体材料を研究開発することにより、20nm 以下の素子で 25fJ 以下の書き込みエネルギーを実現できることを原理実証し、知財化を進めており国内外の他研究機関に対し優位性を有している。
- 9) CoFeB-MgO 界面構造を用いた垂直磁化 MTJ において、電界書き込み方式により、世界最小の書き込み電力となる 6fJ を達成することができた。さらに、電界書き込み方式とスピン注入方式とを併用することにより、1ns 以下の高速かつ高安定な新規書き込み手法を世界で初めて実証することができた。

(2) 研究開発体制について

国立大学法人東北大学を中核機関として、参画機関である国立大学法人山形大学、国立大学法人京都大学、国立研究開発法人物質・材料研究機構、国立研究開発法人宇宙航空研究開発機構、日本電気株式会社、および株式会社東栄科学産業と密接に連携し、再委託により研究開発を実施した。

国立大学法人東北大学では、中核機関として上記の委託機関と連携しながら、全ての研究項目に係わる研究開発を実施ならびにプロジェクトの総合的推進を行った。

国立大学法人山形大学では、スピンロニクスメモリの心臓部である磁気トンネル接合の界面構造を様々な分析機器を使用して解析し、放射線照射が磁気トンネル接合界面に与えるダメージについて調べ、耐環境性デバイス実現へ向けた研究開発を行った。

国立大学法人京都大学では、不揮発性スピンロニクスデバイスの一つである磁壁移動素子における電流誘起磁場の理解と応用に関する研究を行った。

国立研究開発法人物質・材料研究機構では、不揮発性スピントロニクスデバイスに生ずる電流誘起磁場の材料科学的理解と素子応用に関する研究を行った。

国立研究開発法人宇宙航空研究開発機構では、スピントロニクス材料・デバイスの地上放射線環境におけるソフトエラー発生メカニズムおよび発生頻度に関する評価を行った。

日本電気株式会社では、国立大学法人東北大学と協力して、スピントロニクス応用によるコンピュータシステムの耐災害性向上を評価する活動を行った。具体的には、耐災害性向上技術のシミュレーションによる実用性評価を行った。

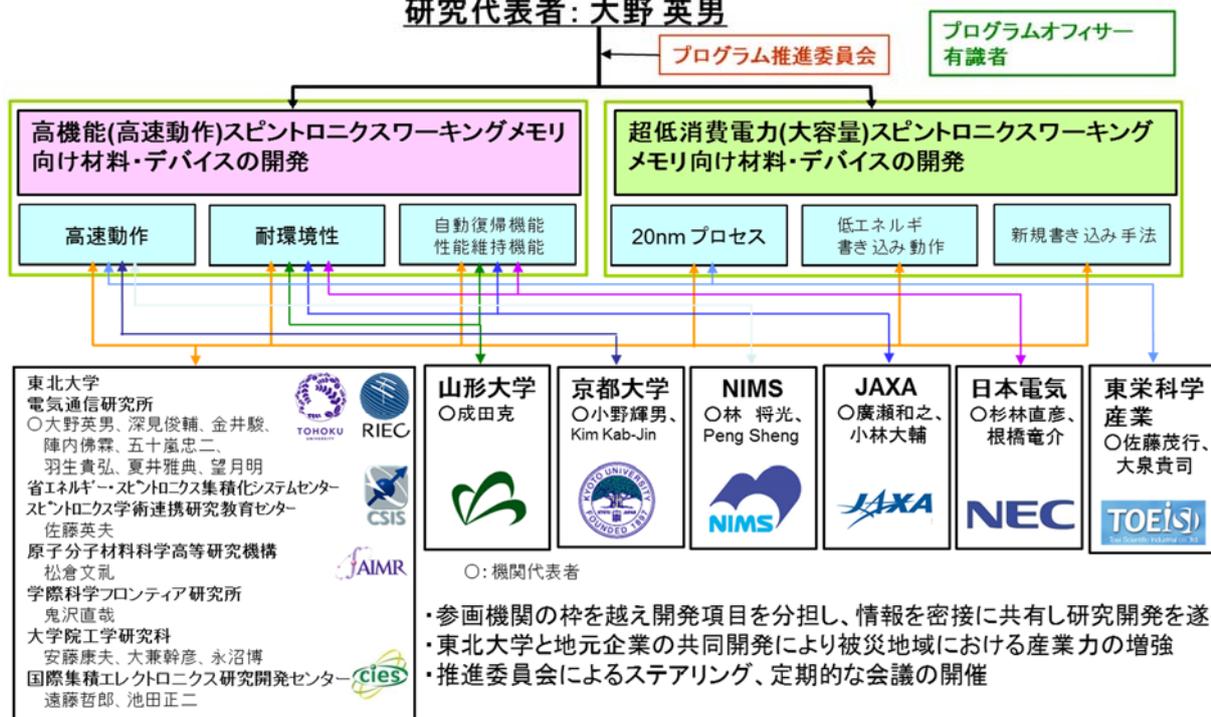
株式会社東栄科学産業は 1 ns 以下の高速計測のための磁場中測定可能 300 mm 低リークチャック技術の確立と 20 nm 以下のスピントロニクス素子の材料選択のための高磁場印加・高感度磁気特性評価システムの構築を行った。

プロジェクトリーダーの強いリーダーシップを発揮できる体制のもと、プロジェクト全体の連携を密としつつ円滑に運営していくため、本プロジェクト参画者からなる運営委員会を月数回の頻度で行い業務を推進した。また、プロジェクトの成果報告も兼ねた推進委員会を年 2 回行い、PO および外部有識者に研究開発の内容を説明し、質疑や意見交換を通じて今後のプロジェクトの展開に有益な助言等を得ることができた。

実施体制および参画研究者

耐災害性に優れた安心・安全社会のための
スピントロニクス材料・デバイス基盤技術の研究開発

研究代表者：大野 英男



(3) 成果の波及効果について

本事業で得られたスピントロニクス基盤技術のノウハウ・知財等の成果は、東北大学国際集積エレクトロニクス研究開発センター(CIES)で管理・運用し、材料、装置、半導体、ソリューションに至るまでの全産業領域の産学連携活動に活用されており、スピントロニクス技術の普及・標準化とともに早期実用化、多種多様なニーズ・シーズの創出に資する取り組みを進めている。

また、本事業に参加している我が国を代表する ICT 企業である NEC との共同研究開発・協議に加えて、上記 CIES での産学連携事業を通じて、半導体企業とスピントロニクス技術の活用について協議機会を設けるなど、社会貢献に向けての活動を加速している。

加えて、地元企業である東栄科学産業と共同開発によりスピントロニクス材料・デバイス用の付加価値の高い計測・評価システムの製品化を行っており、被災地域における産業力の増強に寄与している。

さらに、本事業の成果を発展させ、一桁 nm 世代までの実用レベルでの高熱安定性とスピン注入書き込みの実証に世界に先駆けて成功した。究極のスケールングが可能となったことで、産業界の一層の投資を呼び込むことができる。

4. 今後の展望

(1) 研究結果を踏まえた今後の展望、予想される効果・効用

東北大学国際集積エレクトロニクス研究開発センター(CIES)は、スピントロニクス集積回路対応として世界初となる、ワールドクラスの企業と互換性のある先端 300mm プロセス試作評価ラインを整備し、材料、装置、半導体、ソリューションに至るまでの全産業領域の産学共同研究を推進している。本 CIES での産学連携事業の中に、本事業の成果ならびにそこから派生した一桁 nm 世代までの MTJ のスケールング技術を取り込み、スピントロニクス集積回路の動作実証を進めることで、技術が標準化され、材料、装置、半導体、ソリューションに至るまでの全産業領域の実用化の展開が進むことから、大きな経済波及効果が期待される。

(2) 事業終了後の実用化や自立的な取組の継続に向けた方策

本事業の成果を基盤とする実用化に向けた継続取り組みとして、産学共同研究を展開している東北大学国際集積エレクトロニクス研究開発センターにおいて、本事業により蓄積してきた知財を活用し、産学連携共同研究を推進し、早期実用化をめざす。

加えて、東北大学は指定国立大学法人として、スピントロニクス領域の世界トップレベル研究拠点を形成して研究力強化を進めており、本事業で得られた技術を取り込み、新規技術の研究開発を進めることで、この研究領域における世界に対する優位性が維持され、日本を軸として世界を巻き込んで回り続けることによって、日本の関連産業の発展に貢献する。