

文部科学省「次世代IT基盤構築のための研究開発」、「高機能・超低消費電力
コンピューティングのためのデバイス・システム基盤技術の研究開発」委託研究

「高機能・超低消費電カスピデバイス・ストレージ基盤技術の開発」

2012年5月29日(火)



「高機能・超低消費電カスピデバイス・ ストレージ基盤技術の開発」

プロジェクトリーダー
村岡裕明・大野英男
東北大学電気通信研究所

高機能・超低消費電カスピデバイス・ストレージ基盤技術の開発(2007~2011年)

スピン(磁気)の不揮発性・高速性・安定性を利用した 次世代の高機能・超低消費電カコンピューティングデバイス・ システムの基盤技術の確立

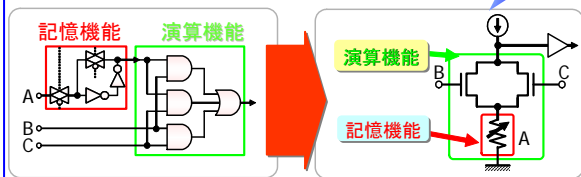
(東北大学電気通信研究所 大野英男 → 村岡裕明)

次世代高機能・低消費電カスピデバイス 基盤技術の開発(大野英男)

・ 電力/速度比1/1000以下*

*申請時トレンド外挿値と比較

高速・不揮発性ロジック インメモリの開発



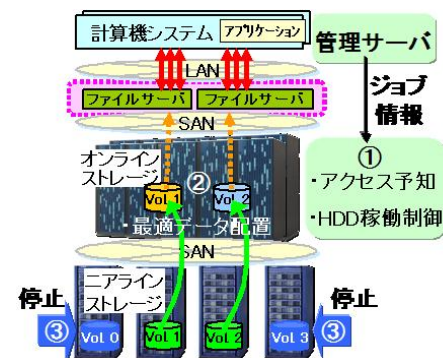
集中研方式による
産学連携研究

超高速大容量ストレージシステム の開発(村岡裕明)

・ 消費電力/記録容量比1/20以下**

**申請時の電力/容量比と比較

超高速低消費電カ ストレージシステム



革新的なナノスピ
ン材料・素子の創成

テラビット級次世代
垂直記録技術

スピン材料・デバイスの
世界トップの研究開発遂行力



ナノ・スピン実験施設

IT21センター

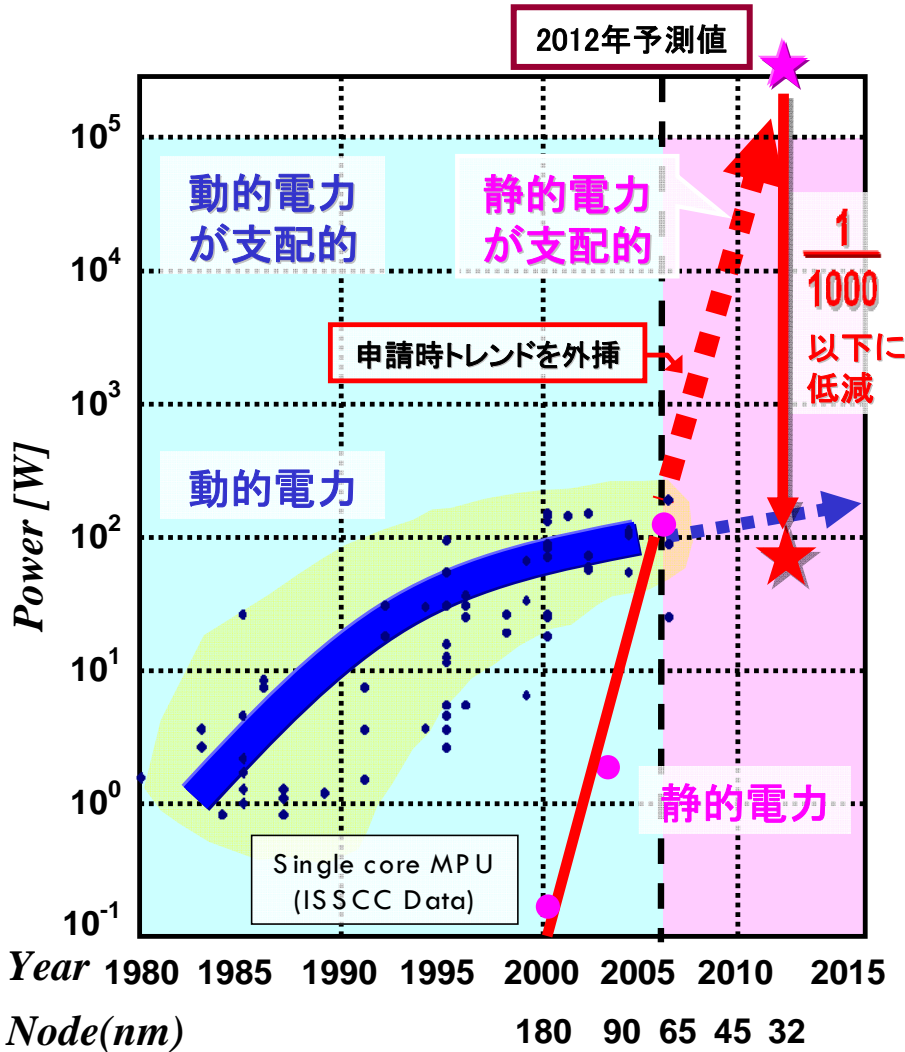
ナノスピン磁性材料と超微細加工の研究基盤施設

研究開発目標と 進捗状況及び研究開発成果

1) 次世代高機能・低消費電力スピンデバイス基盤技術の開発

中間目標(・最終目標)

集積回路における動的・静的消費電力のトレンド



① 不揮発性素子で静的電力OFF

(非退避のまま電源オン/オフが可能)

電力・速度比 $\times \frac{1}{20}$ ($\frac{1}{10}$, 中間目標)

② ロジックインメモリで素子数削減

(記憶機能と演算機能をコンパクトに一体化)

電力・速度比 $\times \frac{1}{5}$

③ 同等の集積度をリーク電流の少ない(ゲート長の長い)トランジスタで実現

(コンパクトに実現できる効果を活用)

電力・速度比 $\times \frac{1}{10}$

最終目標

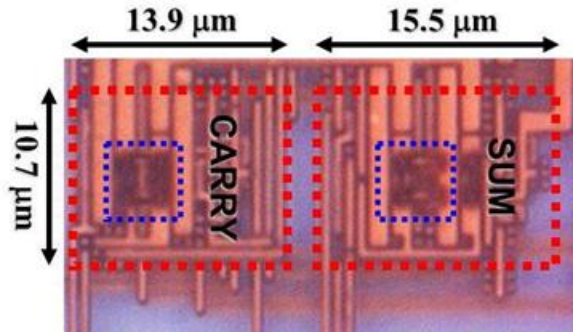
$\frac{1}{1000}$

不揮発性素子の特徴	Flash	FRAM	スピンデバイス (TMR素子)
アクセス時間	△	○	○
非破壊読出し	○	△	○
書込み耐性	×	△	○
微細化	○	△	○

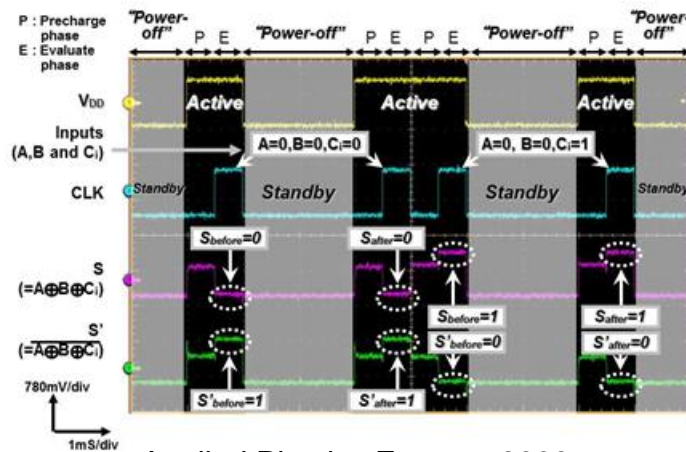
1) 次世代高機能・低消費電力スピ ンデバイス基盤技術の開発

不揮発性基本演算回路の実現

不揮発性全加算器チップ

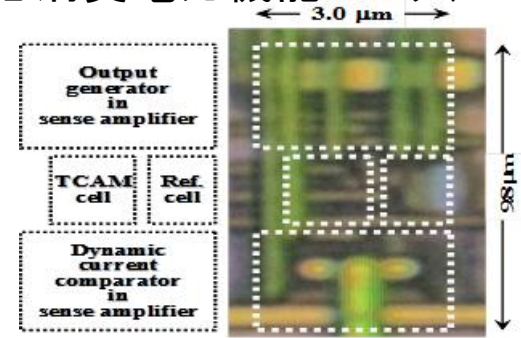


0.18 μm CMOS/スピデバイス プロセス



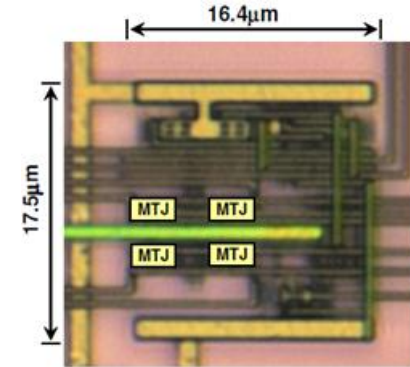
Applied Physics Express 2008.

超低消費電力機能メモリ(TCAM)



Applied Physics Express 2009.

FPGA用Lookup-Table基本回路



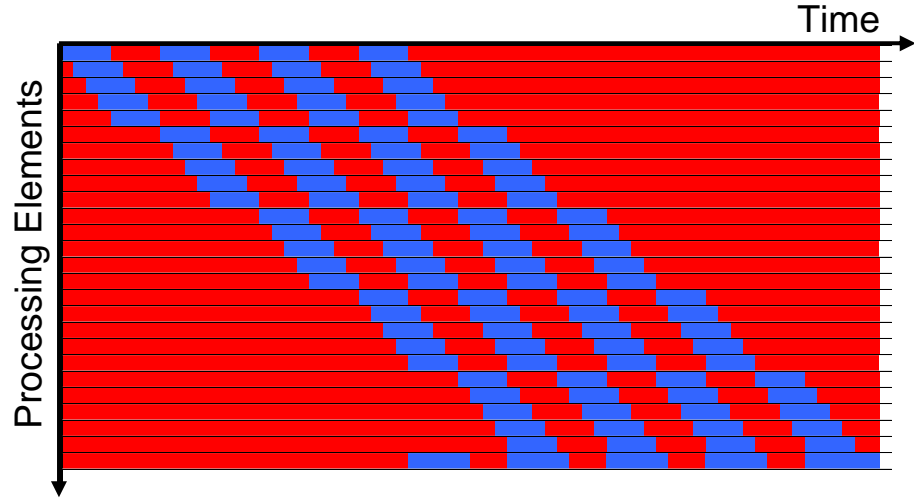
VLSI Circuits 2009.

試作チップで電源オン／オフの原理動作を**世界で初めて実証**。
その後、不揮発性基本演算回路(TCAM、FPGA等)を実証。
(2011年には2kb TCAM及び600MHz不揮発性ラッチを実証)
[最先端研究開発支援プログラムの成果]

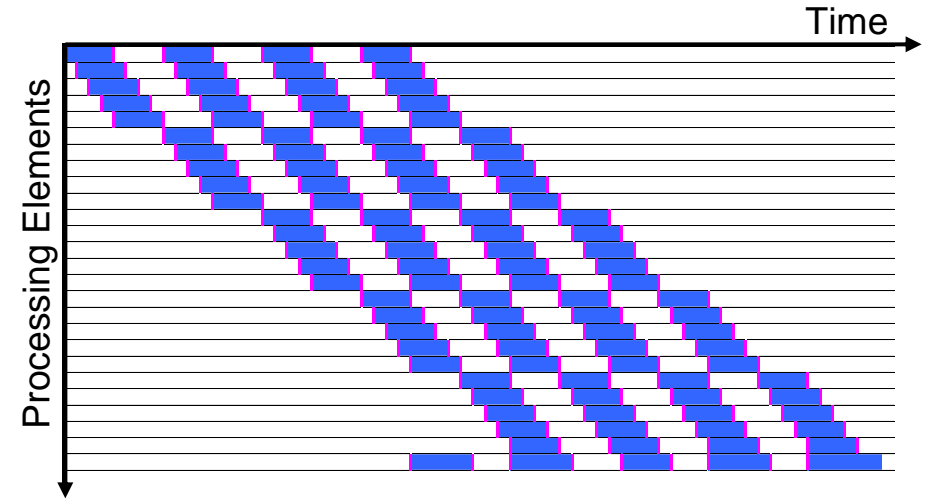
1) 次世代高機能・低消費電力スピンドバイス基盤技術の開発

中間目標(電力/速度比1/10の原理検証)達成

動きベクトル抽出演算(イメージ図) (参照ウィンドウ:4x4pixel, サーチエリア:8x8pixel)



CMOS



CMOS/スピンドバイスハイブリッド+細粒度PG

-  演算状態
-  待機状態
-  電源OFF遷移状態
-  電源OFF状態

DATE 2009, SSDM 2009.

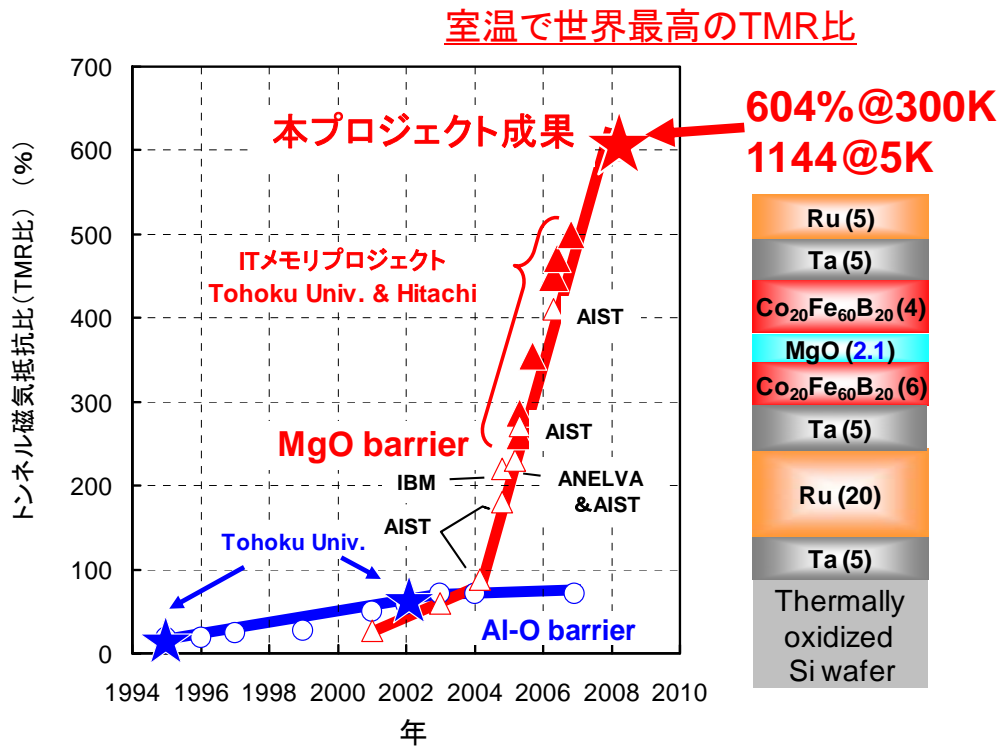
不揮発性演算回路に基づく並列処理アーキテクチャによる細粒度パワーゲーティング手法を考案。待機状態⇒電源OFF状態にすることで従来CMOS構成に対し、消費電力1/10以下*を原理検証。
*: 実用規模(参照ウィンドウ:8x8pixel, サーチエリア:32x32pixel)上の比較

1) 次世代高機能・低消費電力スピンドバイス基盤技術の開発

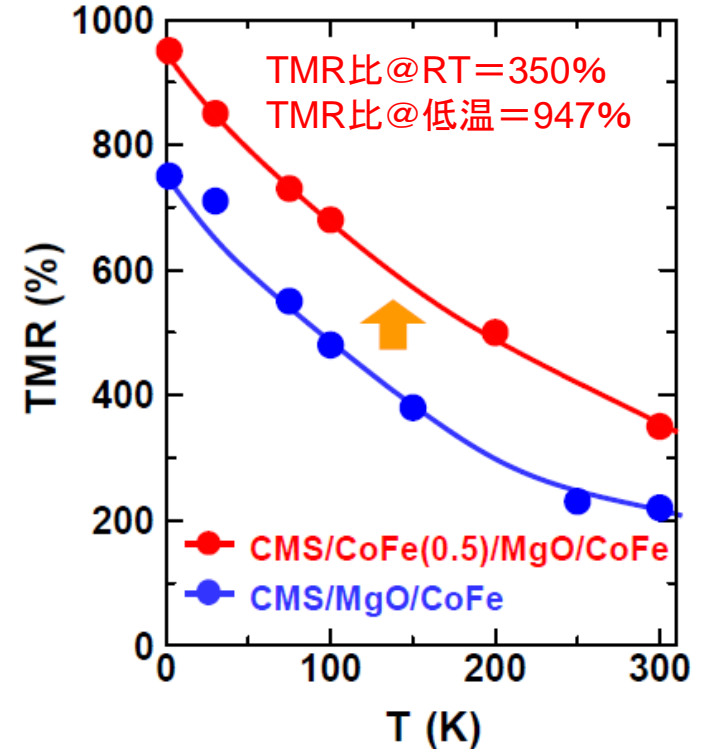
世界最高水準のトンネル磁気抵抗比

CoFeB/MgO接合スピンドバイスの高出力化

ハーフメタル/CoFe(B)複合電極での高出力化



Applied Physics Letter 2008.



Applied Physics Letter 2009.

室温で世界最高水準のTMR比を実現.

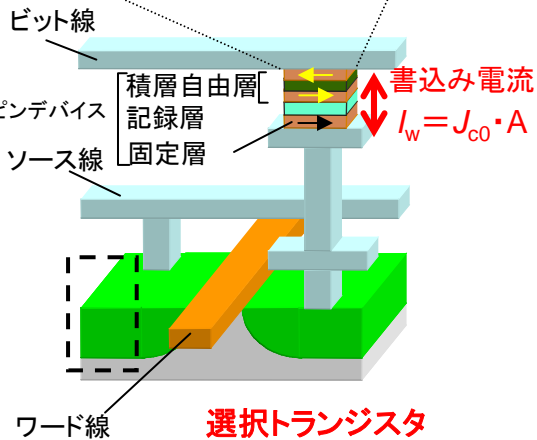
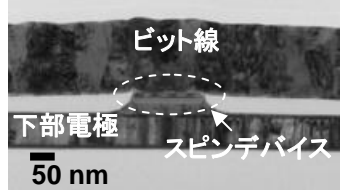
1) 次世代高機能・低消費電力スピンデバイス基盤技術の開発

スピン回路用スピンデバイスの開発

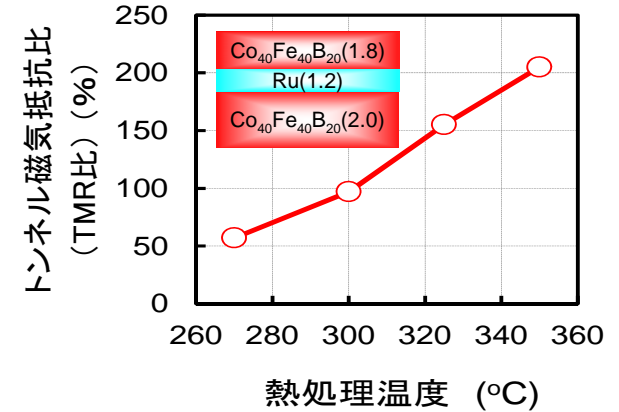
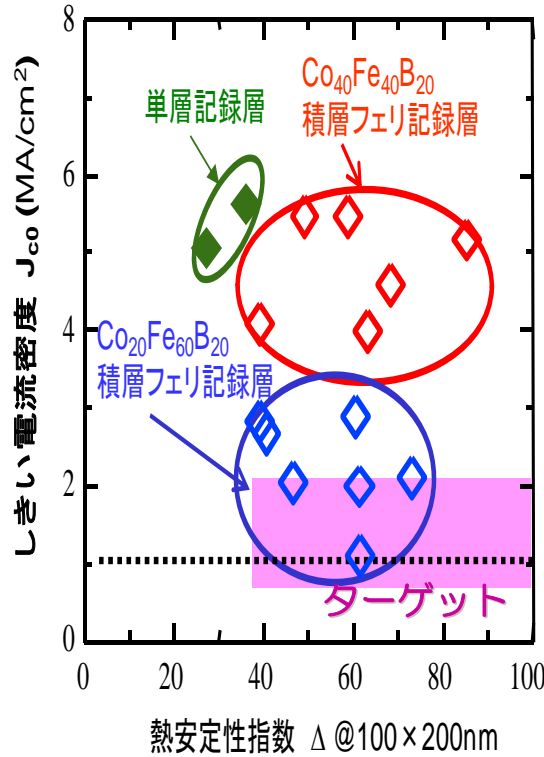
CoFeB/Ru/CoFeB積層自由層デバイスのスピン注入磁化反転

TMR比 > 200%
を実現

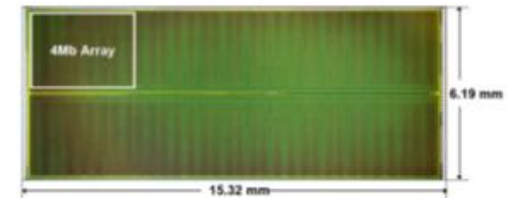
スピンデバイス拡大写真



応用物理学会2009年春季講演会



32Mbスピン注入型メモリ (SPRAM) チップの試作・動作実証



VLSI Technology 2009.

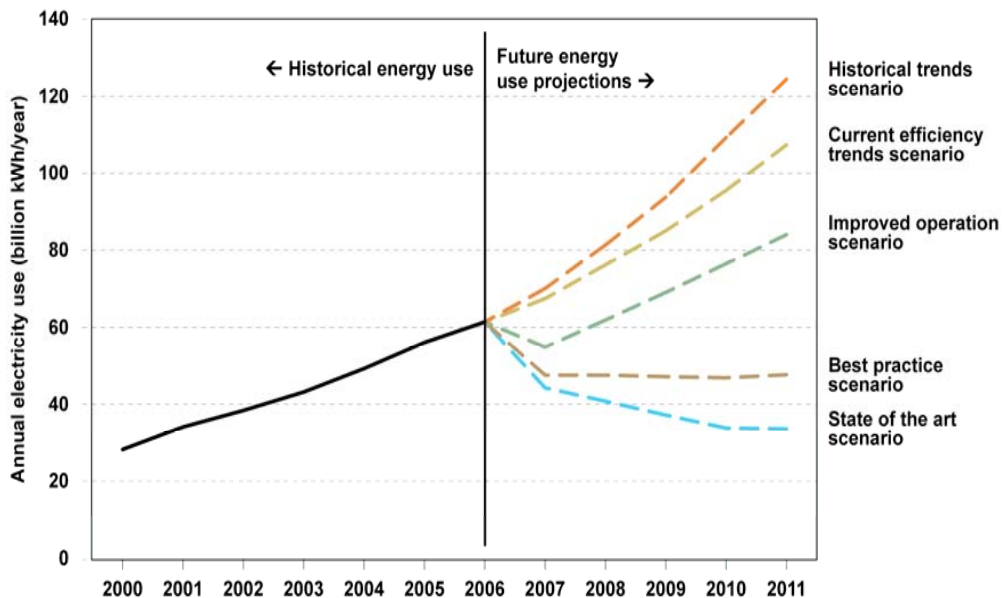
- ・CoFeB/Ru/CoFeB積層自由層を用いたサイズ100×200nmのスピンデバイスで、しきい電流密度1 MA/cm²、熱安定性指数 60 を実証。
 - ・CoFeB/Ru/CoFeB積層自由層スピンデバイスにおいて、TMR比 > 200%を実現。
 - ・本技術を32Mbスピン注入型メモリ (SPRAM)、スピン論理集積基本回路(全加算器、TCAM、FPGA等)試作に適用し、動作を確認。
- (2010年に世界最高性能の垂直スピンデバイスを実現:40nm径のスピンデバイスで100%超のTMR比、49μAのスイッチング電流、熱安定指数40、熱処理耐性350°C) [最先端研究開発支援プログラムの成果]

データセンターの巨大なエネルギー消費と省電力化の必要性

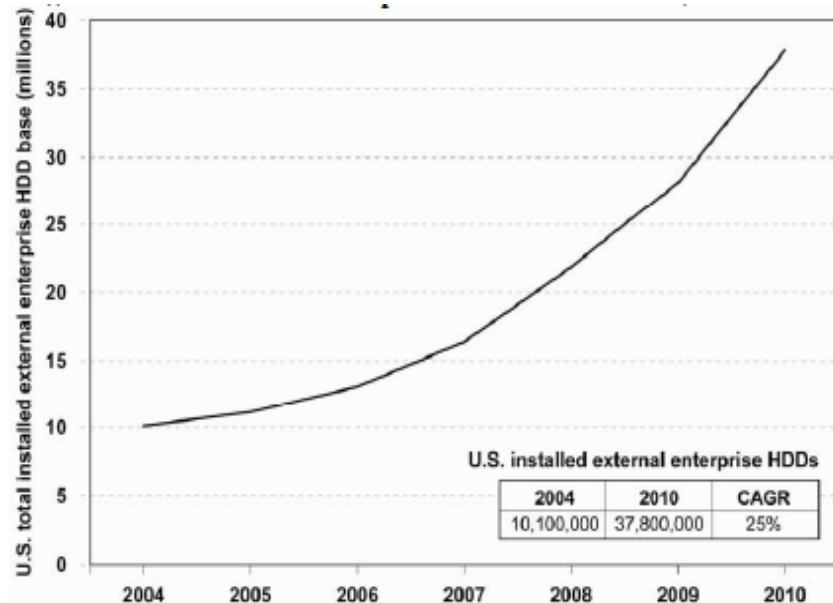
- データ量拡大に伴うストレージ大規模化により電力消費が急増
 - 米国データセンターの年間消費電力量は610 億kWh (2006年)*1 → 7000 MW
 - 1000 MW級発電所*27基分の電力
 - ストレージは5%を占め年率25%で増加

*1: “Report to Congress on Server and Data Center Energy Efficiency Public Law 109-431”, U.S. Environmental Protection Agency, ENERGY STAR Program, Aug. 2007 *2: 例: 柏崎刈羽原子力発電所7号機(1365MW), 女川原子力発電所3号機(825MW)

- わが国のデータセンターの消費電力は、51.7億kWh(2006年)で、約5年で2倍のペースで増加(三菱総研調べ)



米国内データセンターの年間電力使用量の推移



米国内データセンターの外付けHDD数の推移

2) 超高速大容量ストレージ システムの開発

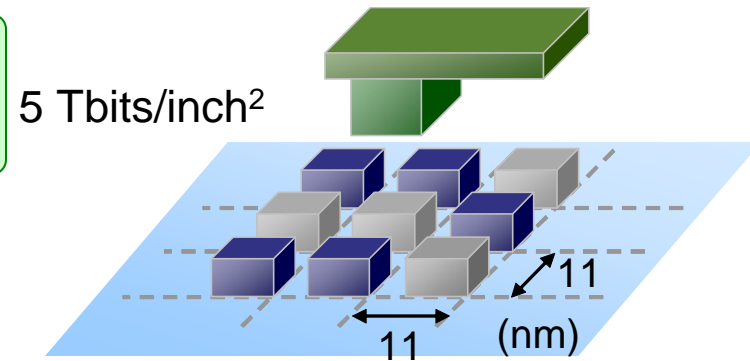
研究開発の目標

ストレージシステムの消費電力/容量比を1/20以下に

1) 高密度化でHDDの必要台数を1/10に削減
(記録密度をプロジェクト申請時の10倍以上に)

⇨ テラビット級次世代垂直記録技術

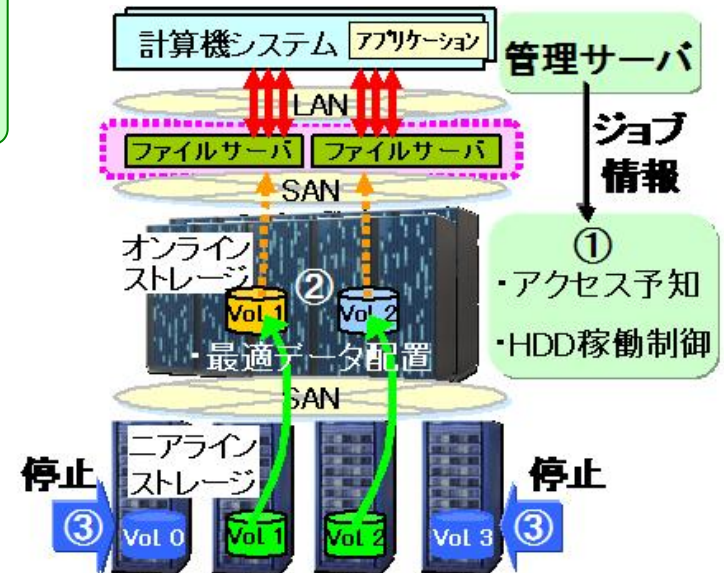
- 高面密度記録方式・記録理論の確立
- ヘッド・ディスクデバイスの開発



2) データ転送性能を保って消費電力を1/2以下
(ストレージシステム技術による省電力化)

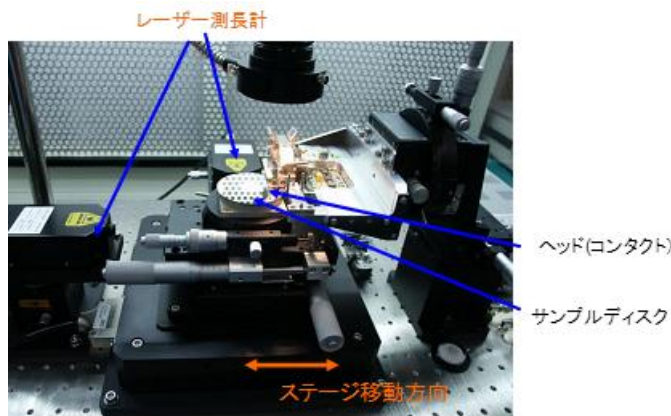
⇨ 超高速低消費電力ストレージシステム

- 省電力ストレージアーキテクチャ
- 階層化ストレージシステム
- アクセス予測による電源制御技術
- 負荷分散を均等化して高速性を確保

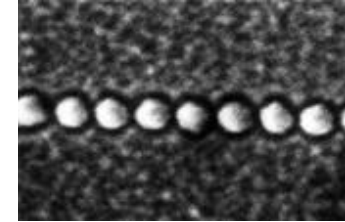
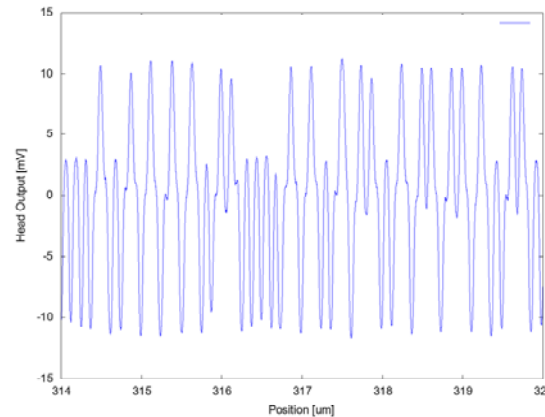


2) 超高速大容量ストレージ システムの開発

(A)(B) 高面密度記録方式



60nm × 120nmドットトラック



実験検証に用いるスタティックテスト(左)と、再生波形の例(右)

□ 実験と理論から中間目標である2 Tbits/inch²の記録方式についてビットパターン媒体を用いる記録方式を平成21年度までに提案完了.

□ 最終目標の5Tbits/inch²について、平成23年度までにモデル計算とスーパーコンピュータを用いたシミュレーションから示した.

□ 国際会議招待講演と新聞報道

- ✓ H. Muraoka, et al., "Modeling and simulation of the writing process on bit-patterned perpendicular media" Digests of Intermag 2008, Madrid Spain.
- ✓ H. Muraoka, et al., "Statistical modeling of write error rates for bit patterned media", Digest of the 21th Magnetic Recording Conference, 2010, San Diego USA.
- ✓ 日経産業新聞 2012年2月24日「HD容量7倍以上に」

2) 超高速大容量ストレージシステムの開発

(C)(D) テラビット級高分解能ヘッド

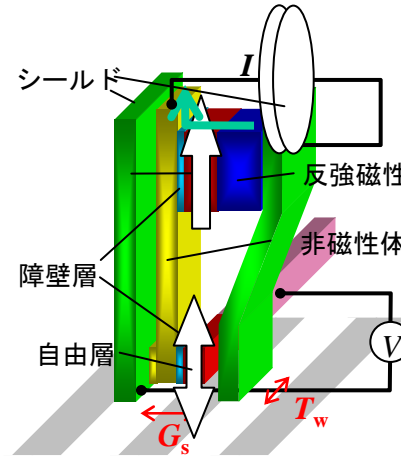
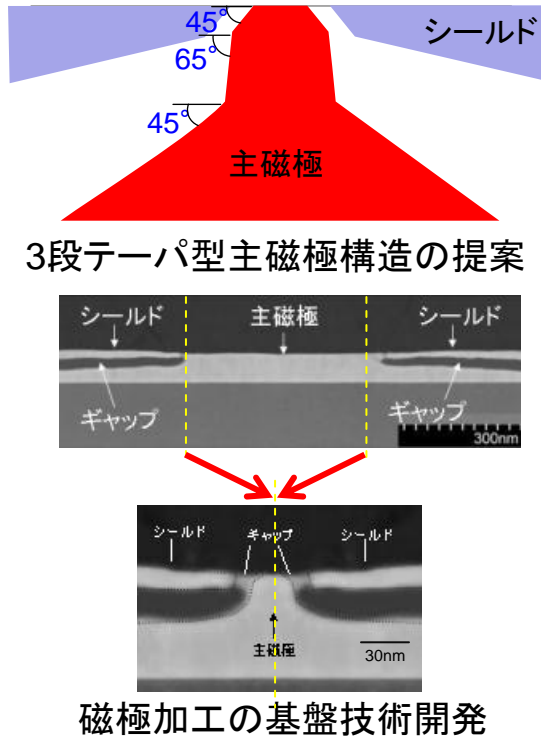


図1: スピン蓄積効果を用いた高分解能再生ヘッド構造

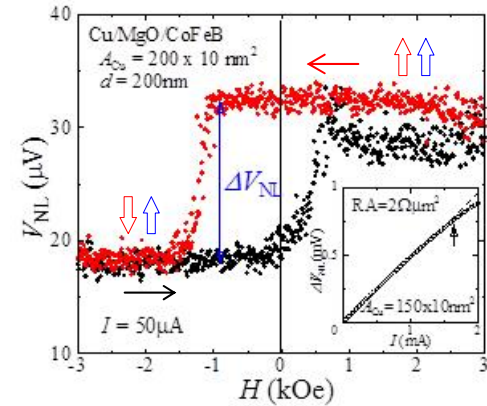


図2: スピン蓄積効果による出力信号 ΔV_{NL} と障壁層の低抵抗化による電流依存性改善

□ テラビット級書込ヘッドの高分解能化

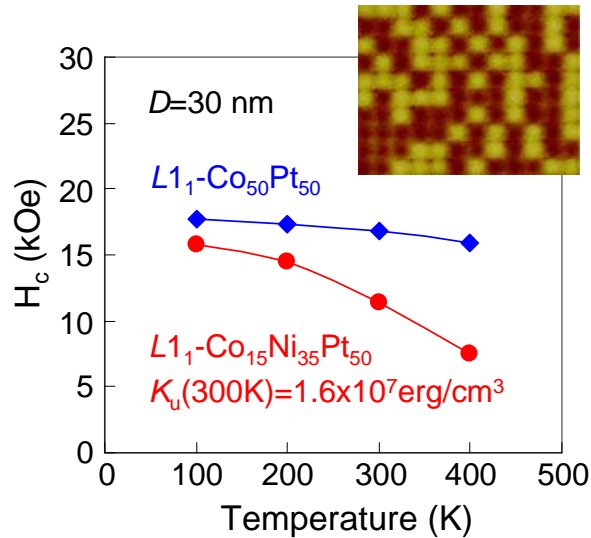
□ 3段テーパ型主磁極構造を提案しその加工基盤技術を開発した。

□ (招待講演) Kiyoshi Yamakawa, et al., "High Field-Gradient Design of Single-Pole Write-Head with Planar Pole Structure," The 20th Magnetic Recording Conference, 2009, Tuscaloosa, AL, USA.

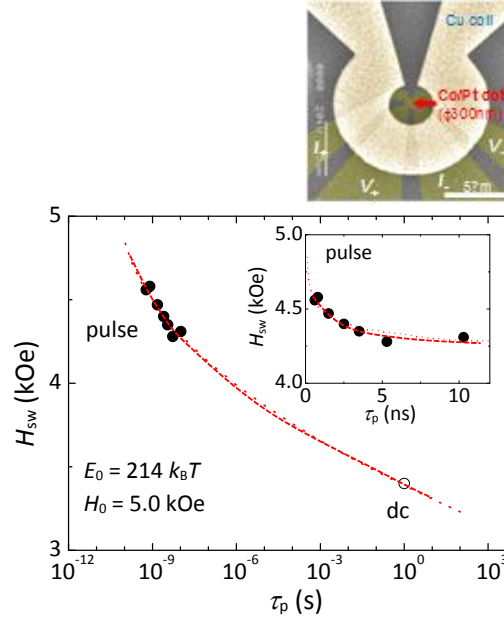
□ スピン蓄積効果に基づく超高感度読取ヘッドの基礎構造確立と世界最高レベルの信号出力の観測. 信号雑音比の見積もりから2~5 Tbit/inch²の達成見通しを得た.

2) 超高速大容量ストレージシステムの開発

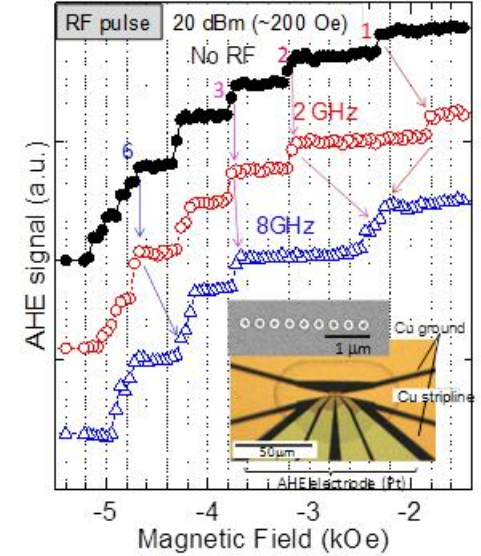
(E)(F)テラビット次世代ナノパターン媒体



材料開発に成功した $L1_1$ -CoNiPtドットの H_c の温度変化



孤立ドットのナノ秒域スピン反転

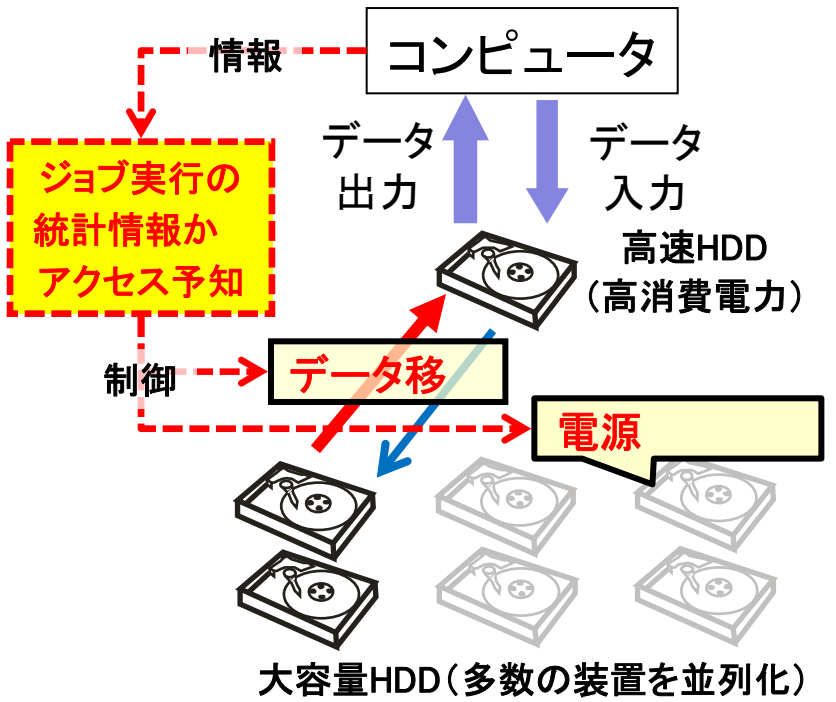


マイクロ波周波数に応じたCo/Ptナノドットの反転磁場低減

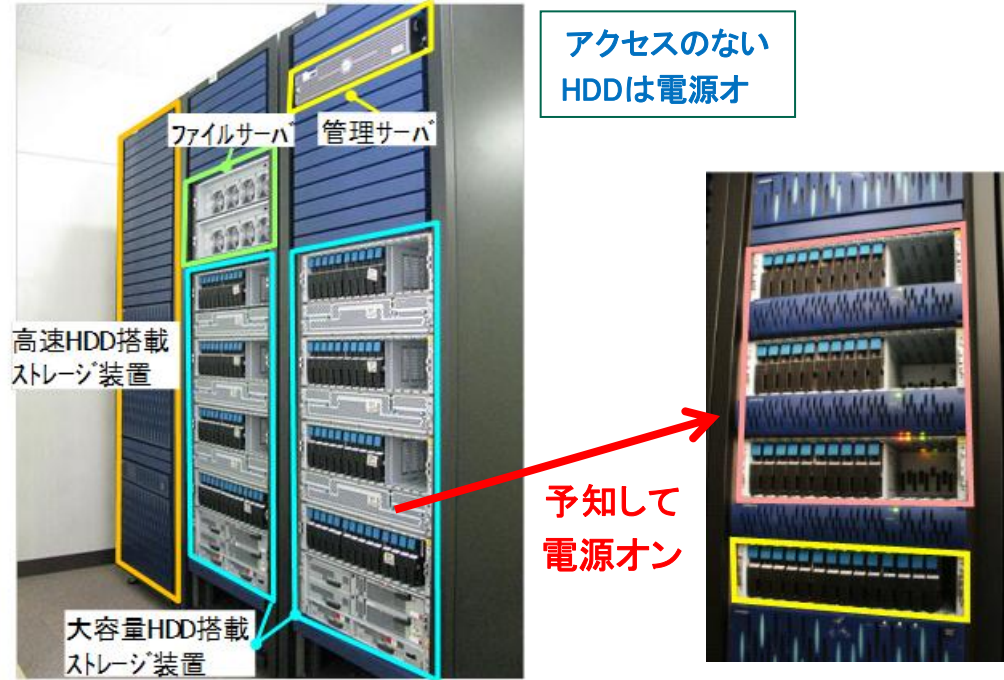
- 【材料開発】高磁気異方性と低キュリー温度を有する $L1_1$ -CoNiPt薄膜の形成に成功. 同ナノドットの熱アシストによる大きな反転磁場低減効果を確認.
- 【ドットの物性解明】テラビット級ドット($D=10\sim 15$ nm)の準静的な磁化反転機構と, ナノ秒領域における反転核形成機構の解析に成功.
- 【エネルギーアシストの要素技術】Co/Ptナノドットを用いたマイクロ波アシストの原理実験において顕著な反転磁場低減効果を確認. また, スピン波を利用したFePt/NiFe膜の反転磁場の大幅低減に成功.

2) 超高速低消費電力 ストレージシステム

(A) ストレージシステムの省電力化



新規省電力アーキテクチャのモデル図



試作したサブシステムとその電源制御

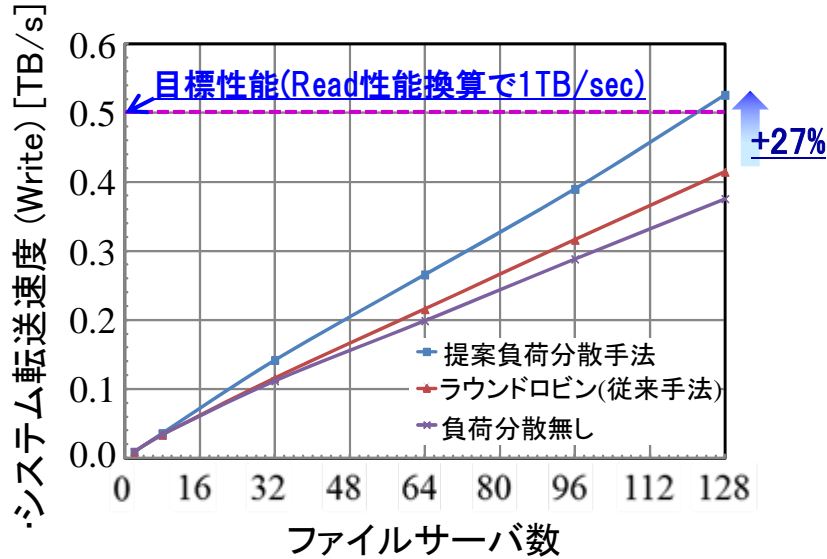
□ 試作サブシステム(容量64TB)上での省電力検証を行い、実用的な容量1PBで消費電力を1/2以下に削減できることを実証(省電力検証結果に基づく、新省電力アーキテクチャの消費エネルギー試算)

⇒ ストレージシステムの省電力化目標の達成

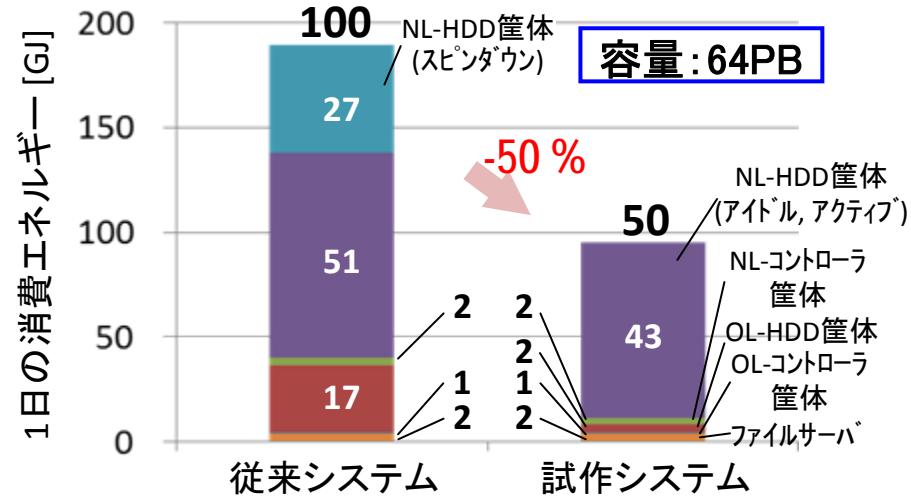
国際会議報告: K. Fujimoto, et al., "Power-Aware Proactive Storage-Tiering Management for High-Speed Tiered-Storage Systems," Proc. USENIX Workshop on Sustainable Information Technology, 2010.

2) 超高速低消費電力 ストレージシステム

(B) ストレージシステムの高高速化



システム大規模化による性能向上の検証



省電力効果の検証

(実スパコンシステムを基にした試算)

- ◇ 高速性と省電力を両立する「予知型2次元データ配置」アルゴリズムを試作システムに実装. 学内スーパーコンピュータに接続し目標性能(0.5GB/sec@ Write)と省電力化(従来比-16%)を実証
- ◇ 実測結果を基にした大規模システムの試算で、目標転送速度(0.5TB/sec@ Write)と消費電力1/2削減が可能である見通しを得た

5カ年の年次計画に対する進捗状況

	19年度	20年度	21年度	22年度	23年度	
1.次世代高機能・低消費電力スピンドバイスキ盤技術の開発 1)ナノスピン材料に関する研究 2)スピン素子に関する研究 3)スピン回路に関する研究	ナノスピン材料の創成・物性探索		世界最高水準のTMR比 45x45nm ² で安定			
	微細加工(反応性エッチング)技術					
	強磁性半導体材料・物性探索		磁性半導体 3端子デバイス			
	TMR素子用半導体回路技術		1GHzセル動作を原理検証			
	スピン回路用TMR素子作製		素子単体でTMR比 >200%, <10 ⁶ A/cm ²			
	高速・低電流スピン注入磁化反転		電力/速度比 1/10を原理検証			
	基本演算回路設計・原理検証					
						H21年度3月 最先端研究開発支援プログラム「省エネルギー・スピントロニクス論理集積回路の研究開発」(中心研究者:大野英男)に研究が引き継ぎ。
						H23年度3月
2. 超高速大容量ストレージシステム 1) テラビット級未来型垂直記録技術 2) 超高速低消費電力サブシステム	記録方式, システム検討		2Tbps実証のための記録方式の提案	信号品質向上	5Tbpsの要素技術の提案	
	媒体・ヘッド等の要素技術開発			微細化 素子の高性能化		
	方式, システム設計		ストレージサブシステムの方式実証(小規模試作)	システム性能向上		
	計測・評価手法の検討			負荷試験		
						転送速度1TB/sの要素技術提案
						現状の1/20の消費電力/記憶容量

- 本プロジェクトの中核技術“スピントロニクス”が革新的技術として公式に選定(革新的技術創造戦略, 第75回総合科学技術会議, 平成20年5月19日)
- ロジック系スピントロニクス技術の基本回路の動作実証成功し、世界的に見ても独創的かつ最先端のスピントロニクスの成果(世界最高のトンネル磁気抵抗比, ハーフメタルTMR素子開発, 等)
- ハードディスクを革新した垂直磁気記録の次世代高密度記録技術の開発に取り組みストレージの省電力化を達成する
- 国際的にトップレベルの2 Tbit/inch²および5 Tbit/inch²の高面記録密度の開発と方式提案に成功し、国際会議招待講演等を通じて成果を発信した
- 新規予知型省電力アーキテクチャの開発を通じて、今後のIT技術の中で重要性が高まる大規模データストレージ技術を開発した
- ストレージ産業との密な産学連携体制の構築と円滑な成果の引き渡し

研究開発体制

- 平成22年度よりスピンドバイスプロジェクトが最先端研究支援プログラムに引き継がれたので研究開発体制を変更。
 - ストレージサブテーマを中心にし東北大学を中核にした産学連携
- 産学連携協定, 知的財産権取扱規定, 等の締結 (平成19年10月1日)による円滑なプロジェクト運営
- 推進委員会によるステアリング (プロジェクトのPDCAと, 参画各機関の連携・調整を効果的に実施)と定期的な進捗評価委員会の開催
- 定期的な公開シンポジウム
 - 経産省プロジェクトと研究成果を共有して成果の受け渡し促進
「スピントロニクス不揮発性機能技術プロジェクト」
「グリーンITプロジェクト」
 - 経済産業省 (NEDO) の関連事業と合同で情報発信

研究開発の実施体制

高性能・超低消費電力スピンドバイス・ストレージ基盤技術の開発

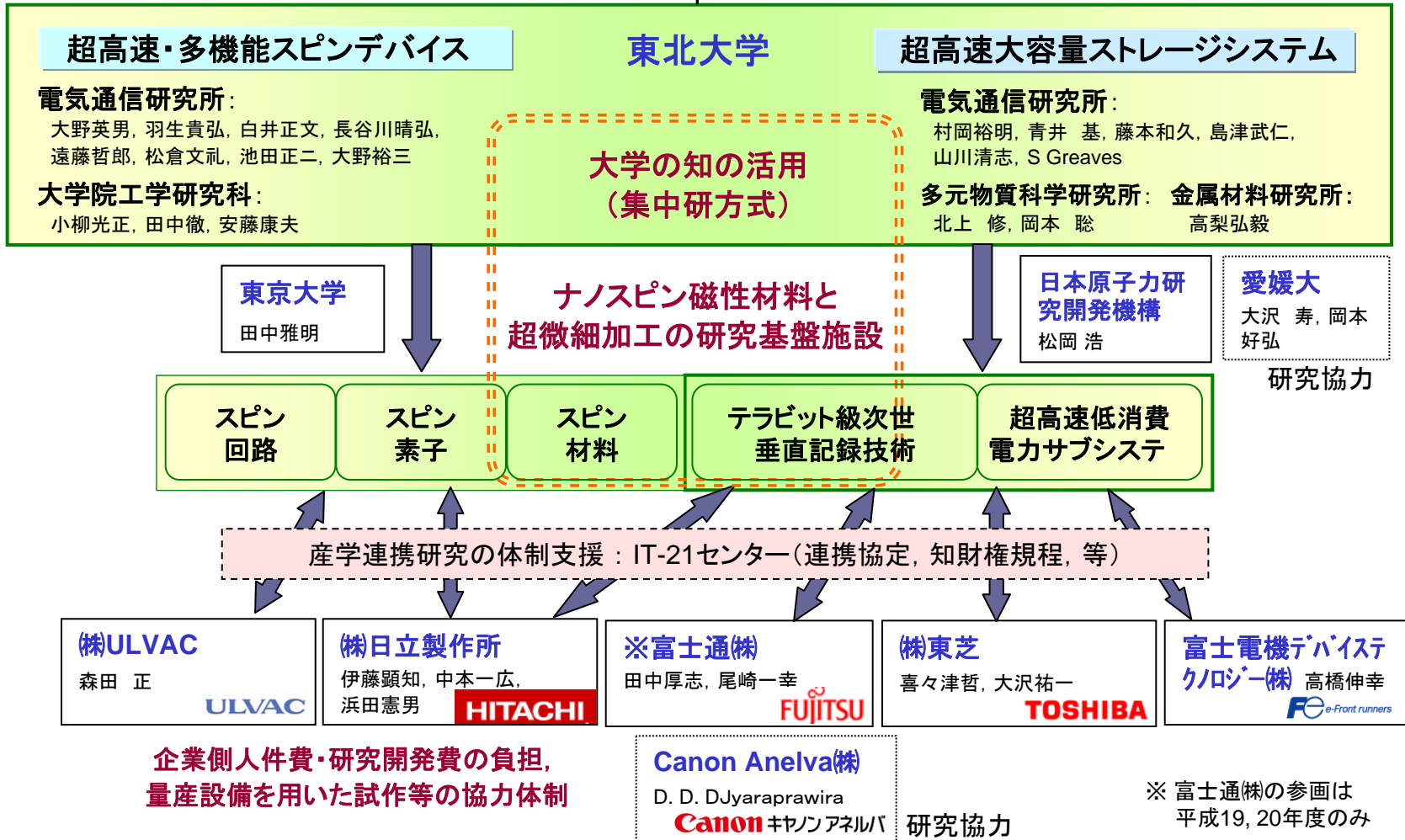
リーダー: 大野英男

(強いリーダーシップと推進委員会によるステアリング)

← 推進支援

(株)三菱総研

亀井信一



実施体制(22年度以降)

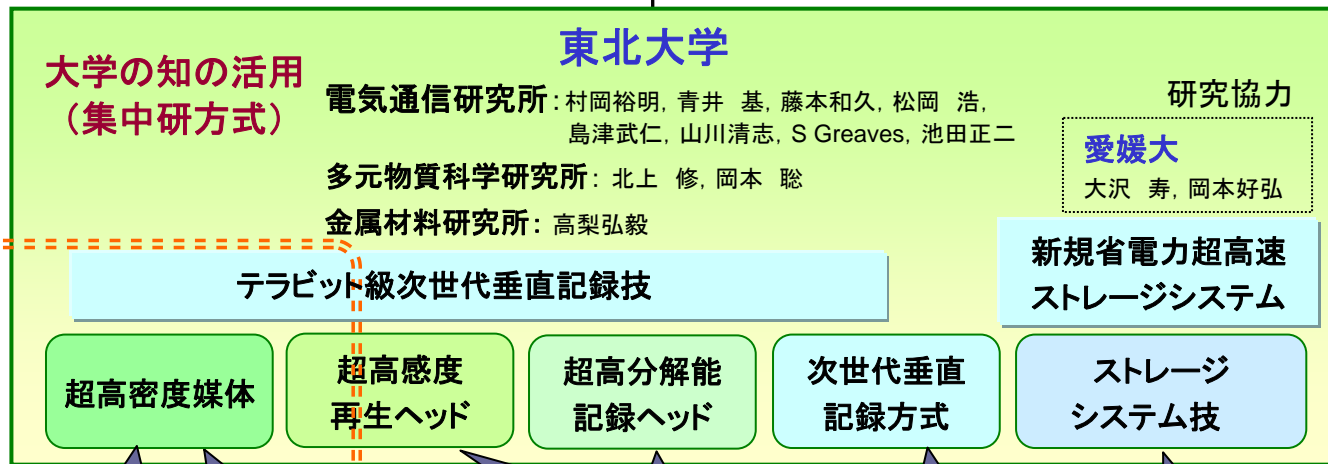
高性能・超低消費電力スピンドバイス・ストレージ基盤技術の開発
 (超高速大容量ストレージシステムの開発)

リーダー: 村岡裕明

(強いリーダーシップと推進委員会によるステアリング)

推進支援

(株)三菱総研
 亀井信一



シナジー効果

最先端研究開発支援プログラム「省エネルギー・スピントロニクス論理集積回路の研究開発」
 (大野英男)

ナノスピンの磁性材料と超微細加工の研究基盤施設

産学連携研究の体制支援: IT-21センター(連携協定, 知財権規程, 等)



Canon Anelva(株)
 Canon キヤノンアネルバ

※ 富士通(株)の参画は平成19, 20年度のみの
 研究協力

企業側人件費・研究開発費の負担, 量産設備を用いた試作等の協力体制

成果の利活用・今後の展望

□ 学会発表, 特許出願, 新聞発表, 等

国際会議等 招待講演数	173	特許出願数	22
国際会議 一般講演数	642	新聞発表	10
学術論文数(国際・国内)	157	受賞	19

□ 最先端研究開発支援プログラム「省エネルギー・スピントロニクス論理集積回路の研究開発(大野英男)」への研究引き継ぎ

□ 企業が中心となって実施しているNEDO(経済産業省)のプロジェクトとの密接な連携と円滑な成果の引渡しによる事業化促進

□ ストレージ記録方式, 媒体・ヘッド素子等

→グリーンITプロジェクト「超高密度ナノビット磁気記録技術の開発」 合同報告会: 2010年10月29日、2012年3月12日

□ スピントロニクス新材料・微細加工技術・素子等

→「スピントロニクス不揮発性機能技術プロジェクト」 報告会2008年10月28日

□ 日本を代表する情報通信・電機メーカーが共同実施企業であることから成果を円滑に製品化できる体制

人材育成

□ 平成23年度までの5カ年で、ポスドクのべ12(人・年)、大学院学生のべ160(人・年)が研究開発に参加。

□ 産学の研究者の集中研方式を採用し、ポスドクと大学院生1人に対し、1人の産学研究者の割合で密度の高い人材育成を実施。

□ 基礎(大学の知)から応用(企業における量産技術)までの一連の研究開発に従事することで、即戦力としての実践能力を養成。

□ また、ほぼ全てが、スピンデバイス・磁気記録関連の企業へ就職しており、当該分野のリーダとして活躍することが期待される。

平成23年度の人員

大学研究職員	15名
企業派遣研究員	6名
大学院学生	18名