

今後のHPC技術に関する 研究開発の方向性について

2012年5月30日

日本電気株式会社
プラットフォームビジネスユニット
主席技術主幹 西川岳



前提コンセンサス (HPCI合同作業部会報告書より)

出典: HPCI合同作業部会, “今後のHPCI技術開発に関する報告書”, 2012

■ 目指すもの

- 社会ニーズと期待されるサイエンスに貢献するHPCが必要
- ピーク性能ありきではない

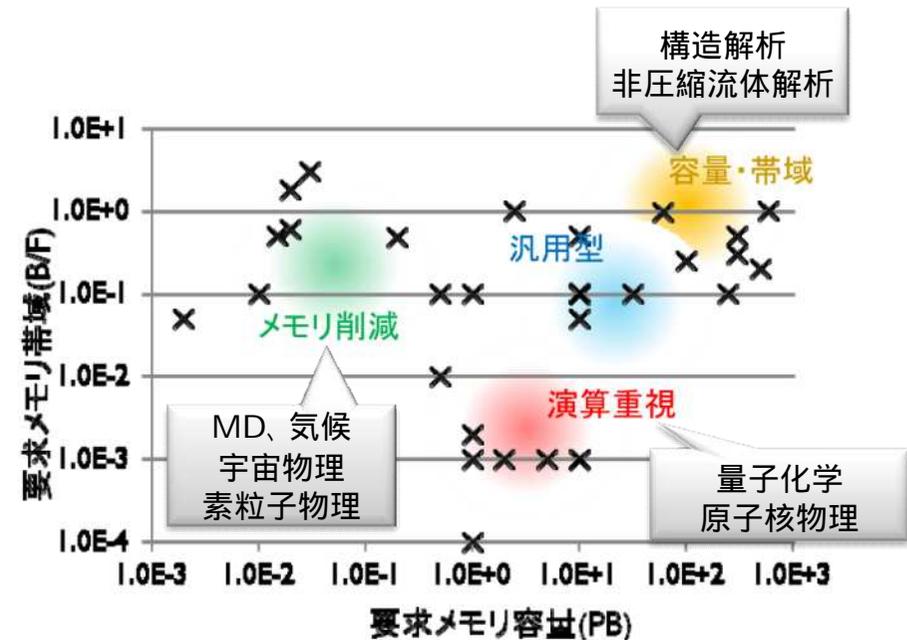
■ アーキテクチャ

- 様々な計算規模に適切に対応することが必要
- アプリケーションの計算手法にマッチした複数のアーキテクチャを想定
- 各主要アプリケーション特性と製造・ランニングコストを考慮しながら、システム全体の最適解を求める必要あり



表1. プロセッサ・メモリ: 最大(20MW)システム性能の予想値

	総演算性能 PetaFLOPS	総メモリ帯域 PetaByte/s	総メモリ容量 PetaByte
汎用(従来型)	200~400	20~40	20~40
容量・帯域重視	50~100	50~100	50~100
メモリ容量削減	500~1000	250~500	0.1~0.2
演算重視	1000~2000	5~10	5~10



アーキテクチャ技術開発目標 (HPCI合同作業部会報告書より)

出典: HPCI合同作業部会、“今後のHPCI技術開発に関する報告書”、2012

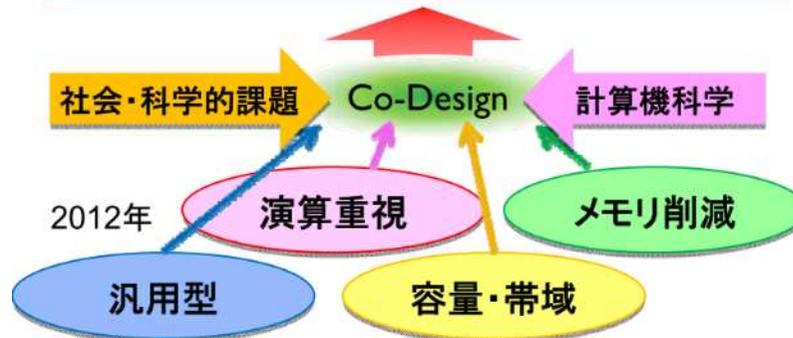
- トレンドに基づく技術進展のみではサイエンスロードマップ実現は困難
- 更なる高性能な計算機開発のためにはアプリ・ハード・ソフトのco-designが必要

- 4つのアーキテクチャ分類の共通の問題点は、電力・設置面積・コスト
 - 汎用型: コモディティに対する優位性の明確化
 - 容量・帯域重視型: 実アプリケーションにおける実行性能優位性の明確化
 - 演算重視型: メモリの制約から全問題に対する適用は非現実的
 - メモリ容量削減型: 同上

さらに未来に向けた継続的研究開発へ

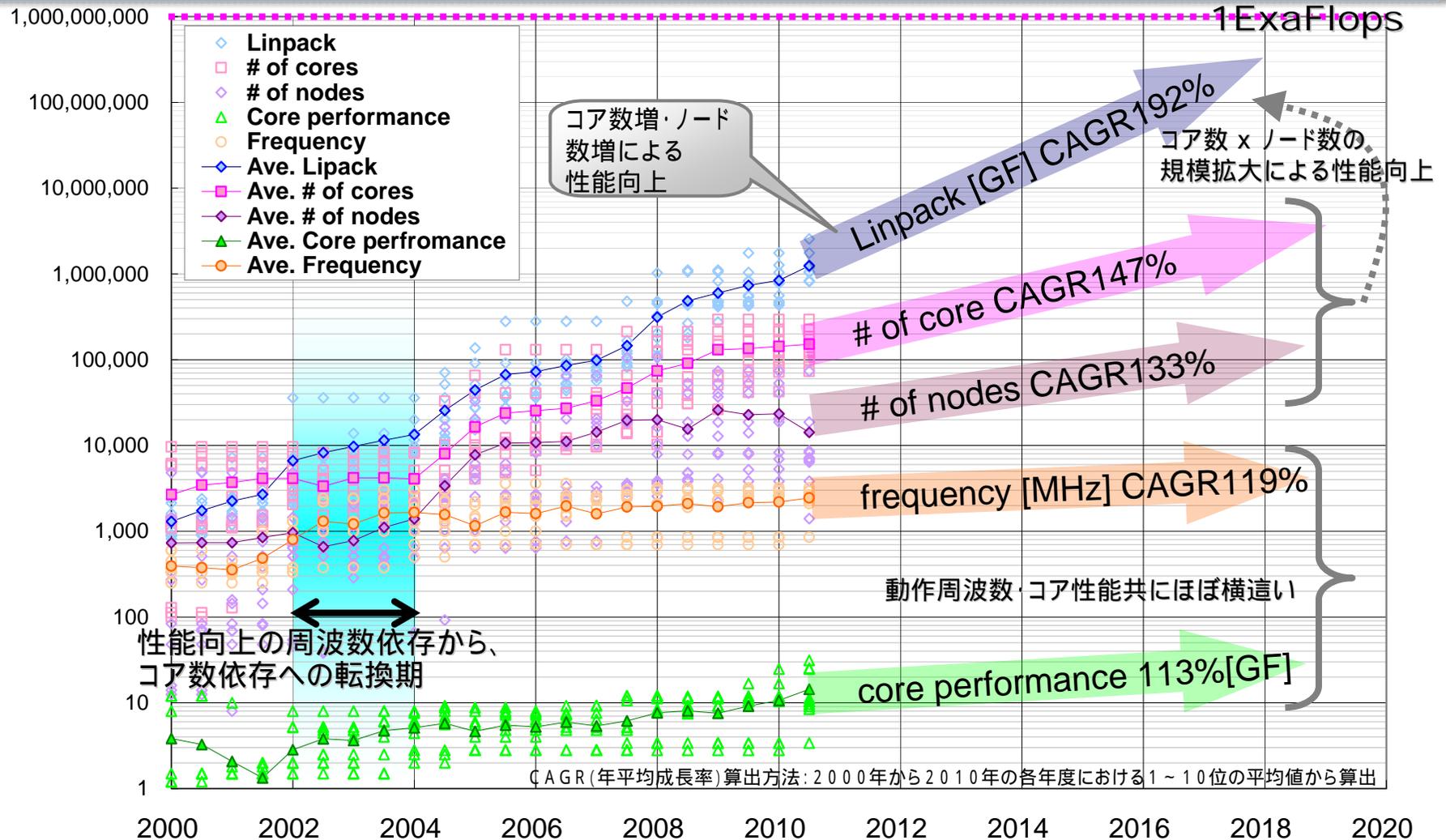
2018年

ロードマップのマイルストーン達成
課題解決を支援するHPC基盤



TOP500上位10システムの性能とシステム規模トレンド

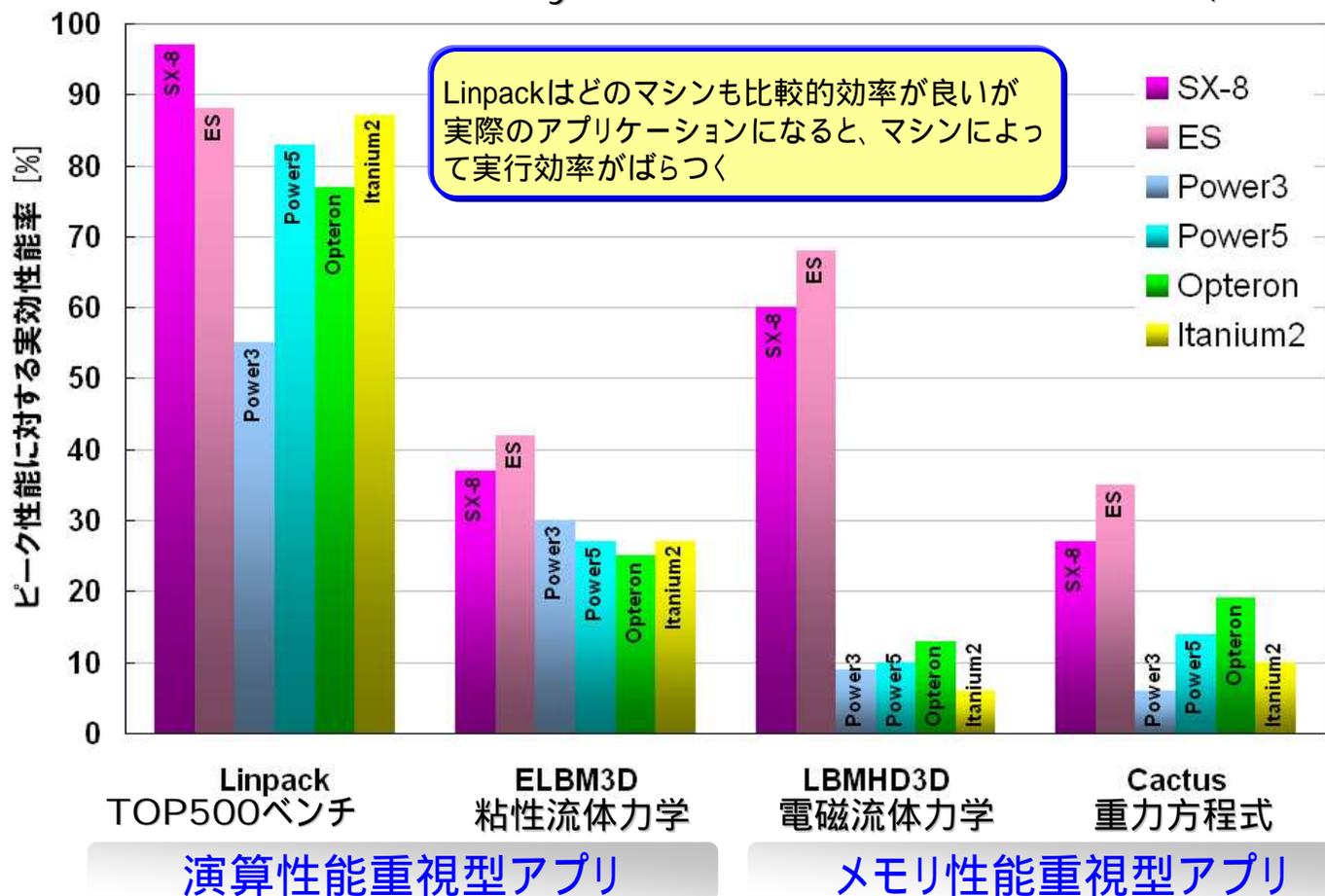
- 近年、周波数・単一コア性能はほぼ一定
- システム性能向上はコア数・ソケット数・ノード数増中心により達成(物量頼み)



マシンとアプリケーション実行性能

アプリケーション特性によって、マシン間の実行効率差は大きく異なる
アプリケーションに適したマシンによる適材適所スーパーコンピューティングが重要

米国Lawrence Berkeley国立研究所によるスパコン性能評価(2006)

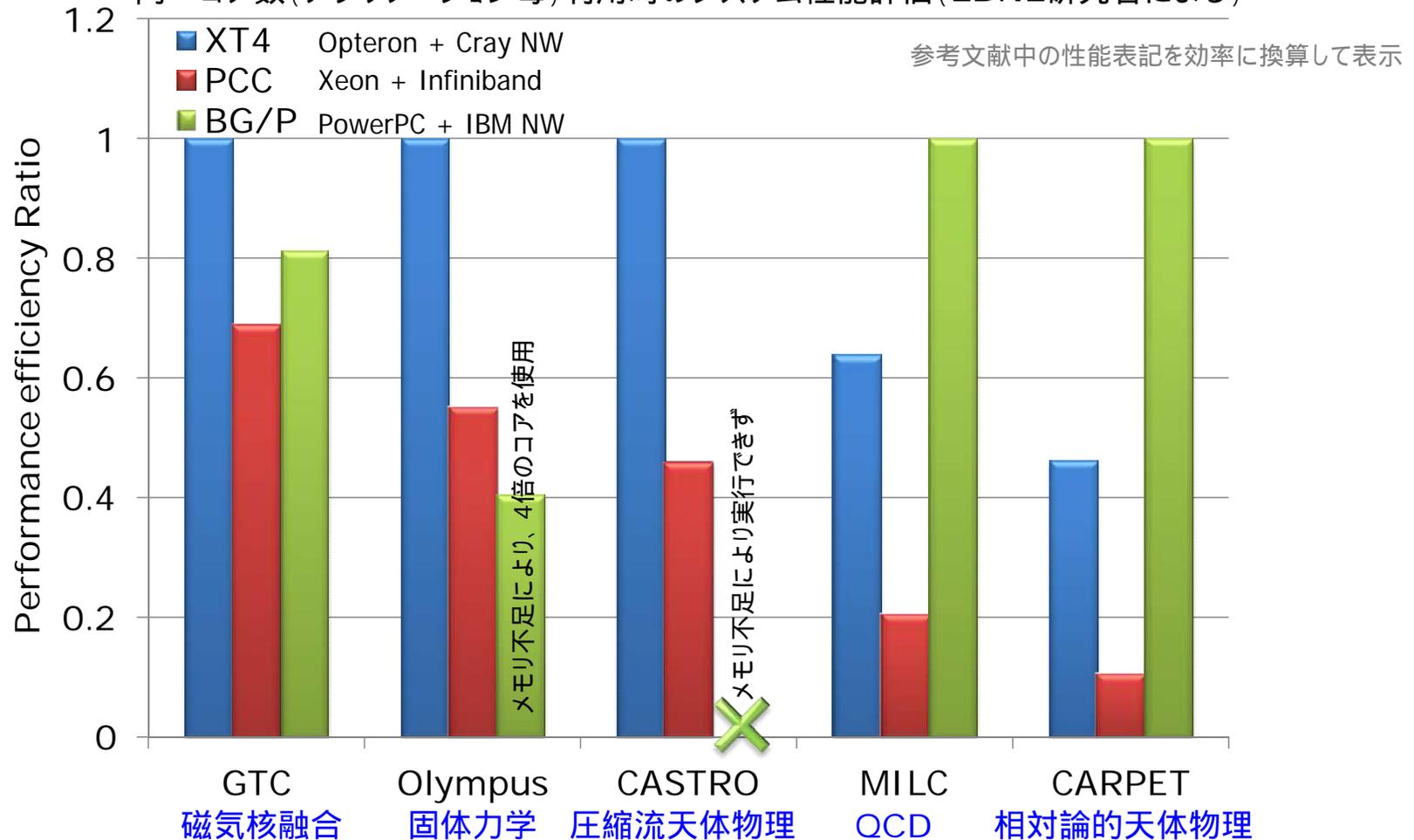


出典: J. Carter, L. Oliker, J. Shalf, "Performance Evaluation of Scientific Applications on Modern Parallel Vector Systems", VECPAR 2006.

マシンとアプリケーション実行性能

スカラ機の中でも、アーキテクチャ、ネットワーク構成により実効性能が大きく異なる。
ターゲットアプリケーションに適したマシン設計が重要

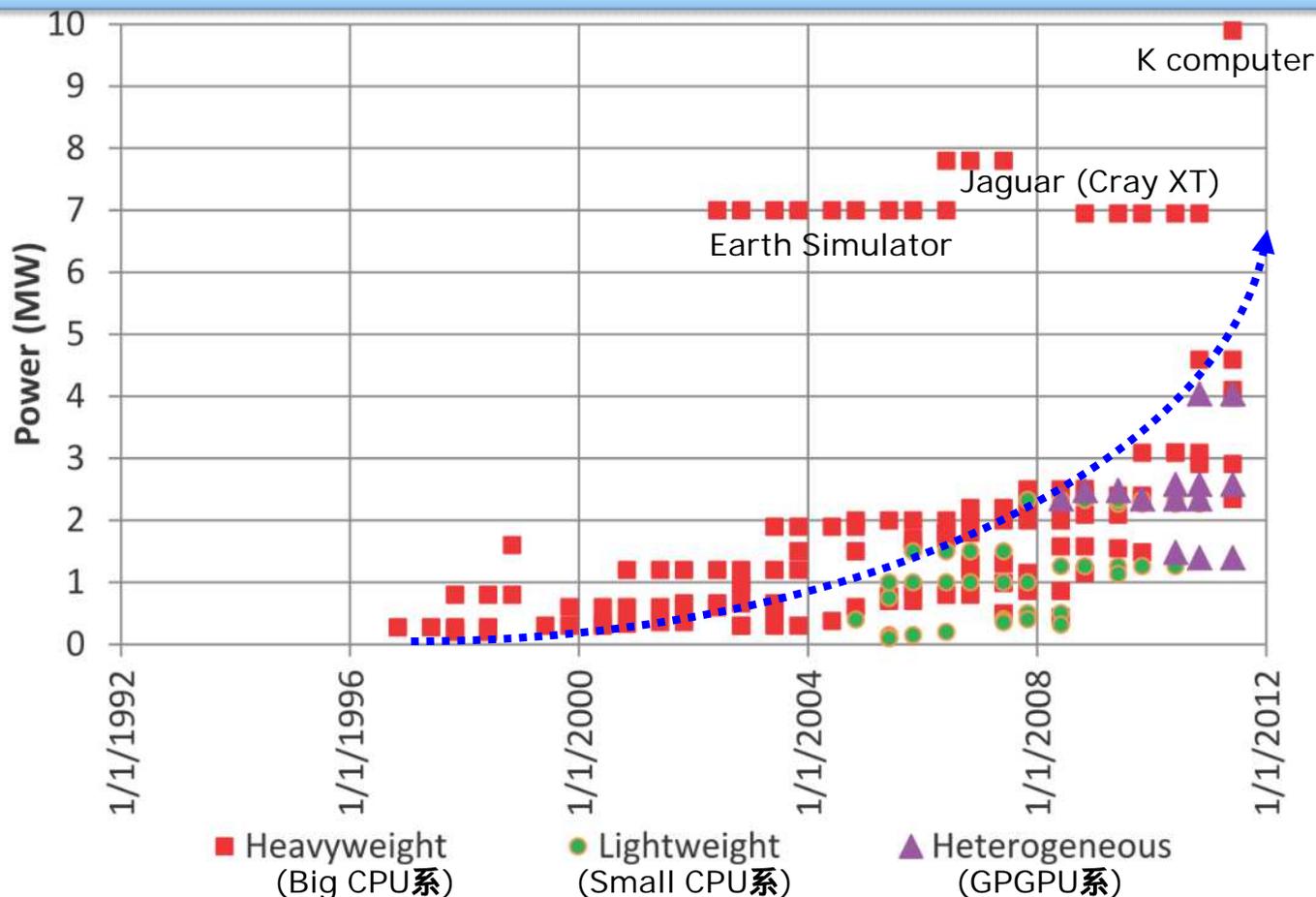
同一コア数(アプリケーション毎)利用時のシステム性能評価(LBNL研究者による)



出典: Olikar et al., "Large-Scale Numerical Simulations on High-End Computational Platforms", chapter in Performance Tuning of Scientific Applications, 2011

パワーウォール

- システム性能はソケット数・ノード数増に大きく依存
- システム規模拡大により、消費電力は増加トレンド
- 現在の技術延長によるExaScale実現は100MWを要すると言われている=電力爆発

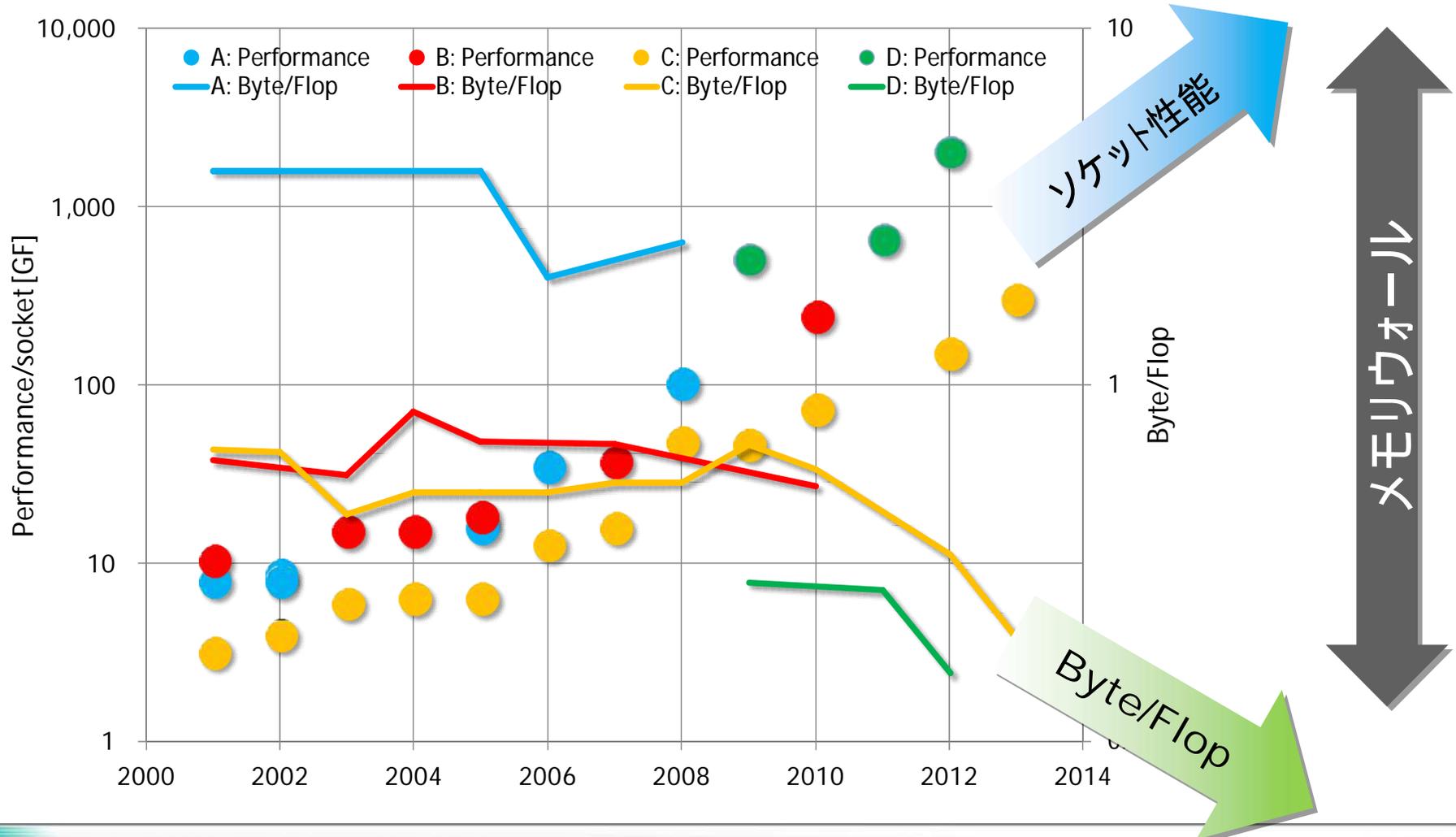


TOP500上位10システムの電力トレンド

出典: Peter et al., "Using the TOP500 to Trace and Project Technology and Architecture Trends", SC11, 2011

プロセッサトレンドとメモリウォール

- ソケット性能はマルチコア化・SIMD拡張等により、ムーアの法則を維持
- メモリ帯域成長率が低いため、近年Byte/Flopが急激に低下



HPCユーザから見たスパコン

■IDC Workshop (ISC11、SC11)におけるIDC調査報告

- ユーザアプリケーションの性能向上頭打ち
 - メニイコア化、低メモリバンド幅、コアあたりのメモリ容量減少等により、多くのHPCアプリケーションは、新しいHPC機導入によるスピードアップが困難な状況 GPGPUに注目が集まった
 - GPGPUは一部のアプリを大幅に高速化するが、アクセラレータの恩恵を受けないコードも多い
- 使いやすさへの要求
 - 将来に渡るコードポータビリティが重視されるため、ほとんどのユーザはマシンに合わせたコード書き換えを望まない
 - HPCユーザが最も望んでいるのは、“システムの使いやすさ”

The Main Benefits of GPGPUs



Many HPC codes aren't seeing a speed up with new hardware systems (due to many-core, lower bandwidth, lower memory/core, etc.)

- So GPUs can offer a speed-up

Solution times can be much faster for the right codes (or portions of codes)

- Doesn't always have to be 30-100x faster
- Often 1.5x is a home run

More peak flops for the money – GPGPUs are flop “booster rockets.”

- Great for running HPL/Top500

© 2011 IDC

Jun-11

2011 Buyer Driving Factors



Areas That HPC Sites Are Willing to Pay a 10% Premium

(Willing to Pay 10% or More Extra)

Attribute:	Percentage Willing To Pay 10% Extra
Better system management/ Ease of use	22.2%
Better interconnects	14.0%
Better architecture	13.8%
Better density, power, cooling	12.2%
Better I/O & storage	10.6%
Larger memory	8.9%
Special purpose hardware	6.8%
Vendor reputation	6.4%
Better service	4.1%

Source: IDC, 2011

© 2011 IDC

Jun-11

出典: “IDC HPC Market Update”, ISC11

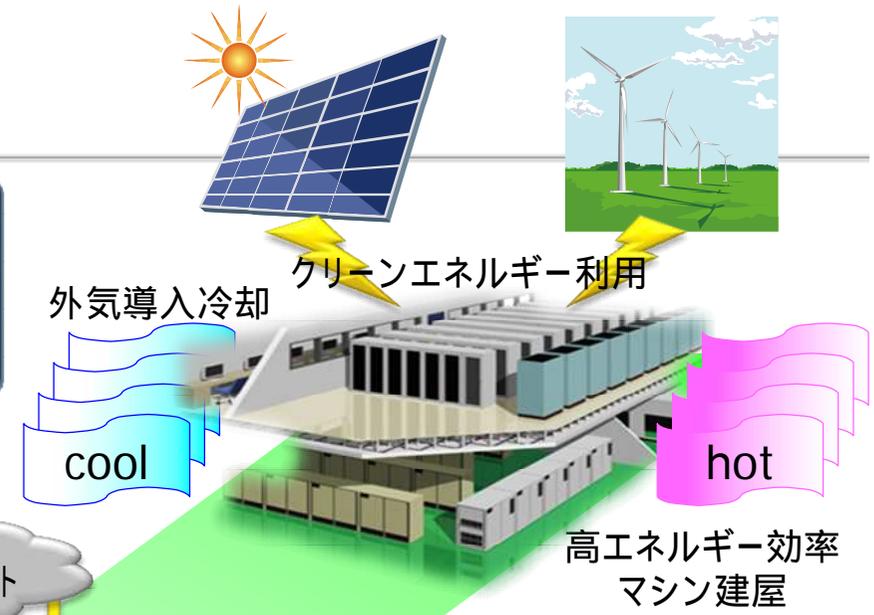
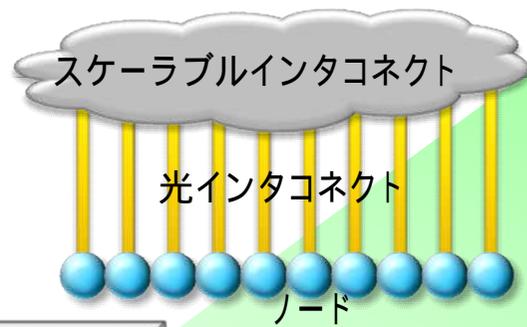
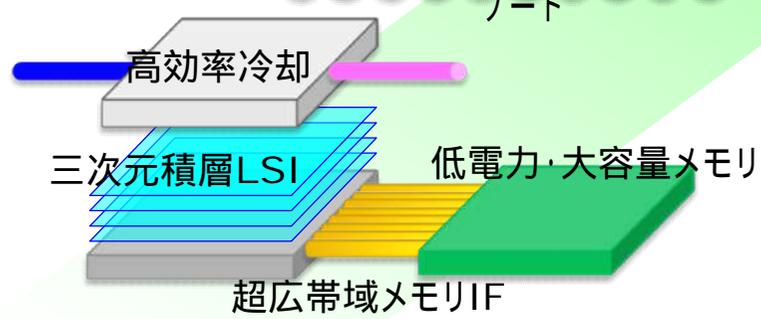
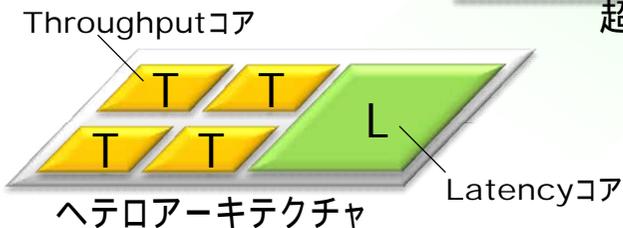
今後のHPCシステム

- アーキテクチャから、マシン建屋までの総合設計により、高実効性能と高電力効率を両立
- 適材適所コンピューティング、ユーザビリティの高いシステムの提供により、生産性を最大化

ノード間インターコネク
アプリケーション特性・規模に
対応できる柔軟性が必要

- なぜ光？
大規模システムでは伝送距離の克服は必須
- トポロジは？
??? (Fat-tree, 3D-torus, etc.)

三次元積層実装
設置面積の極小化
信号伝播遅延抑制
信号伝送電力抑制
Chip間接続数確保
(広帯域伝送)



CPU内コアアーキテクチャ <アプリ&アーキのCo-design>
アプリケーションニーズに合わせ、Throughput重視 or Latency重視のコア
アーキテクチャを組み合わせる(但し、チップ内で組み合わせるのが良いか？
ノードの選択にするのか？ アプリケーション並列粒度にも依存)

Empowered by Innovation

NEC