

研究課題名 組み込みアーキテクチャ協調型実時間 OS

所属研究機関名 北陸先端科学技術大学院大学

研究者氏名 田中 清史

## 研究計画の概要

### 研究の趣旨・目的

多くの組み込みシステムにおいて、機械 / 機器を制御するという意味合いから、汎用システム以上にリアルタイム性が求められる傾向にある。リアルタイム処理は基本ソフトウェア (OS) 側のタスクスケジューリングに大きく依存するが、さらに制御 CPU が外部からの個々の要求へ高速なレスポンスを達成することにより、リアルタイム処理における制約時間に余裕を持たせることが可能となる。組み込みシステムにおける制御 CPU は、機器 / 周辺回路からの割り込みにより要求に応答するのが通常であり、リアルタイム処理の実現のためにはこの割り込みに対する高速な応答機構が求められる。

本研究では上記の要求に応えるべく、組み込みシステムにおけるリアルタイム制御を支援するプロセッサアーキテクチャに基づくプロセッサコアを開発してきた。本プロセッサコアは、割り込みに対する高速な応答を実現するために、組み込み用プロセッサでは過去に例のないマルチコンテキストアーキテクチャを割り込みコンテキストに応用し、また専用命令からの制御によるキャッシュ貫性機構を持つことにより低コスト方式でありながら高速な実行を達成する。本プロセッサコアは組み込みプロセッサとしての高速化機構を特別な命令の実行によって実現しているため、プログラマが機構を有効に利用するためには、標準化されたインタフェースが必要不可欠である。本研究では、組み込みシステムにおいて標準化された仕様である  $\mu$ ITRON4.0 に基づく実時間オペレーティングシステムを研究開発する。 $\mu$ ITRON はハードウェアに対する過度の仮想化を避け、リアルタイム性を実現するためにハードウェア性能を最大限発揮する実装を行うことを可能としている。このことから、 $\mu$ ITRON のインタフェース仕様に従うことで、システムプログラマの負担を増加させることなく新しいプロセッサアーキテクチャの導入が可能であり、本プロセッサアーキテクチャの高速化機構を十分に利用可能となる。

今後組み込みシステムの用途が巨大化および複雑化していくに従い、低コスト / 低消費電力の制約を満たしつつ十分なパフォーマンスを持った組み込みシステムが必要不可欠であることから、組み込みハードウェアの高速化機構を最大限に活用するオペレーティングシステムを研究開発することが本研究の目的である。

### 研究計画の概要

本研究ではまず、リアルタイム処理を達成するための鍵であるスケジューリング方式を検討し確立 / 実装してきた。さらに API によるリアルタイム処理支援機構の呼び出し方式を確立し、実時間オペレーティングシステムとして実装する。同時に実際にリアルタイム処理支援型組み込み用プロセッサを設計および LSI として試作し、それをを用いた評価システムを開発し、開発したオペレーティングシステムの評価を行う。各項目は以下の通りである。

#### 1. 動的スケジューリング方式に関する研究

従来の組み込み OS では静的優先度のみでタスクの実行順序を決定していたのに対し、タスクの締切時刻までの残り時間を考慮した動的優先度を計算し、それを利用したスケジューリング方式を確立する。また、マルチコンテキストアーキテクチャの機能を活かしてタスク切替の高速化を図る。

#### 2. $\mu$ ITRON 仕様の API の実装

スケジューリング機能およびメッセージボックスやメッセージバッファ等の OS 機能を、プロセッサの機構を利用し、かつ  $\mu$ ITRON のインタフェースに従った API として実装する。

#### 3. LSI の試作および OS 機能の検証

軽量ハードウェアによる高速化機構を持つプロセッサを実際の LSI として実現し、開発した組み込み OS を LSI 上で動作させ、機能および有効性の検証を行う。

研究計画の詳細報告

(単位：百万円)

研究項目	所要経費					合計
	13年度	14年度	15年度	16年度	17年度	
1 動的スケジューリング方式に関する研究						
(1)適応型動的スケジューリング法の提案と評価	← 6.0	6.0	1.4 →			13.4
2 .μITRON 仕様の API の実装				←	→	
3 .LSI の試作および OS 機能の検証						
(1)CPU コアの論理設計	← 8.0	9.0 →				17.0
(2)CPU コアの機能検証		← 3.0 →				3.0
(3)LSI 試作			← 17.0 →			17.0
(4)評価システム開発と検証			4.6	←	→	4.6
所要経費(合計) (間接経費を含む)	14	18	23			55

## . 研究成果の概要

### 研究成果の概要

従来の組み込みリアルタイム OS ではシステム稼働前に決定された静的優先度あるいは最悪実行時間のみでスケジューリングが行われていたのに対し、実行タスクの動的要因(予測実行時間、デッドラインまでの余裕時間)および周期タスクの周期を考慮し、スケジューリングミス(デッドラインオーバー)タスクの数を削減する適応型動的スケジューリング方式を提案した。本方式では、タスクの実行は実行回により実行パスの変化およびキャッシュミスなどの要因により所要時間が異なることに着目し、実行毎に過去に使用した予測実行時間と最後に費やした実行時間との加重平均をとることにより、予測実行時間を更新する。さらに、タスクには静的優先度が割り当てられるが、システム稼働時の各タスクのデッドラインまでの余裕時間、すなわちデッドラインまでの時間から予測実行時間を引いた値を考慮して動的に実行優先度を変更する方式を提案した。これらの方式を、本研究で購入したワークステーション上でタスクスケジューリングシミュレータを開発し、多種・多数のタスクセットに対してシミュレーションを行った結果、予測実行時間と動的優先度の更新のための計算オーバーヘッドを導入した場合でも、従来の方式においてスケジューリングミスするタスクのうちの83%~95%のタスクのミスを回避することができることを示した。

本研究がターゲットとしている組み込みアーキテクチャを実現するプロセッサの論理設計をハードウェア記述言語(VHDL)により行った。設計には本研究で購入したワークステーション、回路シミュレータ、および論理合成ツールを使用した。本プロセッサは実行パイプライン、キャッシュ、MMUなどの従来の組み込みCPUが持つ機能を全て有し、さらに高速割込み応答のためのマルチコンテキストアーキテクチャを実現している。また、ソフトウェア開発効率向上のため、既存のSPARC命令セットアーキテクチャにしたがった。14年度までに回路の記述および論理シミュレーションによるバグ修正を行い、中規模のC言語プログラムをコンパイルしたバイナリが論理シミュレーション上で正しく動作することを確認した。また、キャッシュを除去した構成をFPGAを使用して実際に動作させ、正常動作を確認した。今後は動作周波数の向上のための回路の最適化を行い、実際に試作LSIとして実現する予定である。

### 波及効果、発展方向、改善点等

近年ハードウェアシステムの設計および開発において、設計CADツールの発達に伴いシステムをモジュールに分割して設計する傾向にある。この際、過去の設計によるモジュールの再利用がシステムの開発期間の短縮に有効である。本研究は、組み込みシステムにおいて最も共通化が期待できる制御用CPUコアおよびそのCPU上で実行されるオペレーティングシステムをターゲットとしたものであり、この部分をモジュール化することにより多種多様な組み込みシステムへの適用が期待できる。また、研究開発したコアおよびOSをオープンフリーにすることにより、これまでGNUやLinuxなどがソフトウェアの分野で達成してきたことと同じ効果を組み込みシステム産業において達成することを目指す。この際、コアの命令セットに既存のRISCアーキテクチャの命令セットを採用したのは、既存のコンパイラやアセンブラが使用可能となるため、これによりスムーズな普及を期待できることに起因する。また、μITRON仕様の採用についても同様に、世界の組み込みシステム開発をリードする日本国内で最も使用されていることが理由である。

将来は汎用システムにも部分的にFPGAなどの再構成可能素子が組み込まれ、アプリケーションに特化したハードウェア機構をユーザが組み込むことが可能となり、組み込みシステムの用途が大きく広がることが予想される。このことから、本研究の成果が将来の組み込みシステムに向けた中心的な役割を果たすことが期待できる。

現状の設計では、CPUコアにおける内蔵キャッシュなどのハードウェア資源のサイズは固定であり、改善点として将来的にはこれを可変とすることで、開発するシステムの計算能力と消費電力・サイズとのトレードオフを図ることが挙げられる。また、OSのAPI実装においてプログラムインタフェース部分とハードウェア制御コードとが混在しているため、これを切り離すことにより、OS仕様のバージョンアップへ対応を容易にすることが挙げられる。

## . 研究成果発表等の状況

### (1) 研究発表件数

	原著論文による発表	左記以外の誌上発表	口頭発表	合 計
国 内	0 件	3 件	0 件	3 件
国 際	0 件	0 件	0 件	0 件
合 計	0 件	3 件	0 件	3 件

### (2) 特許等出願件数

合計 0 件 (うち国内 0 件、国外 0 件)

### (3) 受賞等

0 件 (うち国内 0 件、国外 0 件)

### (4) 主な原著論文による発表の内訳

\* 発表者氏名:、「発表題目」,文献名,巻(号),頁,(掲載年)の順

国内誌(国内英文誌を含む)

該当なし

国外誌

該当なし

### (5) 主要雑誌への研究成果発表

該当なし

# 組込みアーキテクチャ協調型実時間OS

