

並列化コンパイラ向け共通インフラストラクチャの研究

(研究期間：第 期 平成12年～14年)

研究代表者：中田 育男 (法政大学情報科学部)

研究課題の概要

コンパイラの共通機能モジュールを組み合わせ可能なコンパイラ部品として実現した、新しいコンパイラ方式を容易に実験、評価できるようなコンパイラの共通インフラストラクチャを開発し、並列化コンパイラの開発工程の短縮達成に貢献する。さらに、それに基づく並列化コンパイラを試作し、その有効性を実証する。特に、コンパイラ部品のインタフェースとなる共通の中間表現と、1チップ内での並列性や密結合マルチプロセッサでの並列性を引出す方式を研究し、並列化コンパイラ向け共通インフラストラクチャとして実現する。

(1)総 評

並列化コンパイラ用のプロトタイプが未完成であるため、目標設定・研究成果の各項目ともb評価であるが、研究成果である共通インフラストラクチャの完成度は高く、研究用・教育用さらには産業用としての高い社会波及効果が期待できる。研究担当者も研究運営委員会と相談の上、すでに共通インフラ部分の進展を強調した研究内容とするように第1期研究の計画変更を検討しており、本部分に重点化した研究については、細部もよく検討されており非常に高く評価できる。<総合評価：a>

第1期は上記の視点に則って、研究運営委員会との相談による変更内容を反映させる形で、当初計画からは若干の修正を行った上で、進行すべきである。また、研究成果である共通インフラストラクチャの普及を目指した戦略的な情報発信を行うなど、利用者の拡大の方策を検討すべきである。成果が普及すれば、開発過程の中に本分野の研究者の意見を多く取り入れることが可能となり、アイデアを具現化して次のアイデアを得るというサイクルが加速され、コンパイラ技術の飛躍的発展が期待できる。<今後の進め方：b>

(2)各テーマにおける評価結果

共通インフラストラクチャの研究

まず「複数言語、複数機種との組合せに対応可能な仕様の決定」については、複数言語に対応可能であるとともに入力プログラムの論理構造を表現できる高水準中間表現(HIR, High level Intermediate Representation)と、複数機種に対応可能であるとともに機械語レベル最適化もできる低水準中間表現(LIR, Low level Intermediate Representation)の仕様を定めた。中間表現の作成・参照は、拡張性を高めるため、すべてアクセスソッドを介して行なった。HIRは、多くの手続き型言語に共通する概念を抽出し、それに基づいた属性つき抽象構文木の仕様を定めることにより、高水準言語のレベルでの並列化・最適化変換を行ないやすい表現形式として設定した。LIRは、形式は機種間共通であるが、対象機種に合わせた表現もとれる形の木構造でプログラムを表現する仕様とし、形式的取扱いができるように、そのセマンティクスを表示的意味論により厳密に定義した。また、目的に合わせたコンパイラを容易に構成可能とするドライバ(制御部)を作成した。

また「プロトタイプコンパイラの実現」については、C言語をSparcのアセンブリ言語に変換するコンパイラを実現(全体はJavaで約10万行。このうち、C固有部約14000行、Sparc固有部約22000行、SSA最適化部約12000行)するとともに、Fortranの核部分からHIRへの変換系を試作し、複数言語に対応できることを確かめた。さらに、複数機種への対応容易化のためマシン仕様記述に基づくコード生成の方式案を作成した。

さらに「SSA形式に基づくLIRレベル最適化」としては、LIR上でのSSA形式への変換と逆

変換、SSA形式による最適化の基本部分、SSA形式最適化のインフラとして利用可能な様々な変換機能、をそれぞれ実現した。

以上のように、本サブテーマでは、SSA最適化やSIMD並列化などの新しい方式に対応可能で、Javaによって組合せ可能性を向上させるとともに、複数コードを新規作成した、新しいコンパイラ方式を容易に実験・評価できるような、コンパイラの共通インフラストラクチャの開発について十分な成果を得ており、高く評価できる。今後は、本研究のHIR/LIRの抽象化がコンパイラの共通インフラストラクチャの仕様として十分に過不足ないものであるかどうかを多くの研究者に利用してもらうことで再評価してもらうことと、最適化技術の研究開発・実証実験のための2つの抽象化レベル間の情報交換操作や表現間の情報管理も検討してほしい。

自動並列化の研究

まず、並列化コンパイラの構成方式としては、HIRレベルで実現する方式とし、コンパイラの基本要素となるループの並列化に関して、まず最内側ループの基本並列化変換方式を実現した。ループの各繰り返しを並列に実行するために配列とインダクション変数の解析および領域解析を行い、その結果から並列化変換する方式を設計した。この方式およびOpenMPソースプログラムを出力する機能を実装することで並列プログラムを生成することができた。共通インフラストラクチャ基盤を基にして並列化コンパイラを構成できることを確認した。

また、逐次プログラム表現(HIR)からSMP型並列計算機上で粗粒度並列処理を行う並列プログラム表現(HIR+OpenMP)を自動的に生成するシステムの基本部分を実装した。具体的にはOpenMPコンパイラをSMP型並列計算機およびSMPクラスタ上に移植し、粗粒度並列処理実験環境を構築した。次にSMP型並列計算機上で粗粒度タスクの実行開始条件に基づき、効率的に粗粒度並列処理を行う方式を提案し、逐次プログラム表現(HIR)からSMP型並列計算機上で粗粒度並列処理を行う並列プログラム表現(HIR+OpenMP)を自動的に生成するシステムの試作を進めた。またSMPクラスタ上でのOpenMPとMPIを用いた粗粒度並列処理方式を設計し、同粗粒度並列処理を実現するOpenMPコードを手動により生成し、ベンチマークプログラムを用いて粗粒度並列処理方式の予備的評価を行った。

さらに、Intel x86、PowerPC、SPARCのSIMD命令を含む各命令の機能を詳細に記述し、LIR表現からSIMD命令を生成するシステムのプロトタイプを実現した。具体的には、まずSIMD命令を含むマシン命令を表現するために、LIRに欠けている機能を追加し、SIR(S-expression Intermediate Representation)と名づけた中間表現を設計した。SPARC, x86, PowerPCのそれぞれについて、通常命令とSIMD命令に関し、命令の意味をSIRで詳細に記述し、それらとアセンブリ言語表現を対応付けた、命令記述を作成した。また、命令記述に基づいて、SIRをアセンブリ言語に変換するプログラムを作成した。SIR上で、目標とした最適化方式を使ってマルチメディア向け最適化を行うプログラムのプロトタイプを作成した。基盤部の一部を利用して最適化方式の予備評価を行い、特定のマルチメディアプログラムにおいて5倍以上の速度向上を確認した。

以上のように、本サブテーマでは、並列化コンパイラを構成するために共有すべき構成要素と構成方式を明らかにし、またプロセッサレベル並列化のためにSMP向き並列化およびマルチメディア向き並列化の研究を実施し、基盤部第1版をベースにそのプロトタイプの仕様を決定するなど十分な成果を得ており、高く評価できるが、共通インフラとしての並列化なのかコンパイラ共通インフラの有効性評価のための実験的なものかについては、研究の位置づけを明確化する必要がある。

(3)第 期にあたっての考え方

第 期は、すでに研究担当者側において検討されているように、共通インフラ部分の進展を強調した研究内容とするように、研究計画を当初目標からは若干の修正を行った上で、進行すべきである。

(4) 評価結果

総合	今後の 進め方	1. 進捗状況		2. 目標設定		3. 研究成果			4. 研究体制	
		1. 達成 度	2. 進捗状 況	1. 設 定	2. 最 終	1. 科学価 値	2. 波及 効果	3. 情報 発信	1. 指導 性	2. 連携 性
a	b	a	a	b	b	b	b	b	a	a

並列化コンパイラ向け 共通インフラストラクチャの研究」 (期移行の考え方 :体制移行図)

第 期

第 期

1. 共通インフラストラクチャの研究

(1) 基盤部の実現方式に関する研究

高水準中間表現 (HIR) の研究
 低水準中間表現 (LIR) の研究
 C言語解析部の開発 (終了)
 基本最適化部の開発
 Sparcコード生成部の開発 (終了)

(2) 静的単一代入 (SSA)形式に基づく最適化に関する研究

LIRとSSA形式の変換 / 逆変換の開発 (終了)
 SSA形式による基本最適化の開発

2. 自動並列化の研究

(1) 並列化コンパイラ構成方式の研究

基本並列化部の開発

(2) プロセッサレベル並列化に関する研究

SIMDマルチメディア並列機能に関する研究
 SMP上での疎粒度並列処理方式に関する研究
 VLIW並列化

1. 共通インフラストラクチャの研究

(1) 基盤部の実現方式に関する研究

高水準中間表現 (HIR) の研究
 多言語対応 (Fortran、Java)
 低水準中間表現 (LIR) の研究
 多機種対応 (コード生成部生成)
 高度最適化部の開発

(2) 静的単一代入 (SSA)形式に基づく最適化に関する研究

SSA形式による高度最適化の研究

2. 自動並列化の研究

(1) 並列化コンパイラ構成方式の研究

高度並列化部の開発

(2) プロセッサレベル並列化に関する研究

SIMDマルチメディア並列機能を活かすコンパイラの開発
 SMP上での疎粒度並列処理を実現するコンパイラの開発
 VLIW並列化コンパイラの試作

