

1. 研究実施計画

課題名：多元系酸化物薄膜の原子層制御 MBE 成長とデバイス化技術の研究

研究機関名：独立行政法人 産業技術総合研究所

任期付研究員氏名：右田 真司

(1) 研究の意義、目的、必要性

21 世紀の高度情報化社会では情報処理量の増大のため、より高集積、高速、低消費電力のデバイスが必要とされるが、従来のシリコン集積回路技術の延長だけではこれに対応できず、シリコン集積回路にない機能を持つデバイスの開発が必要不可欠である。

本研究の目的は、多元系酸化物の強誘電性を活用した電子デバイスの研究を先導的に行うことにより、将来の超高集積化メモリ等の実現のための基礎技術を開発することである。また本研究の意義は、このような研究を進めることにより高度情報化社会の構築の基盤となる独創的・革新的な科学技術の開発に資することである。

(2) 概要

強誘電体薄膜及びそれと導電性薄膜とのヘテロ構造を作製するための原子層レベルで制御した分子線エビタキシー(MBE)成長技術を高度化し、この技術を用いて強誘電特性を活用したデバイスの試作と特性評価を行う。

(3) 研究目標

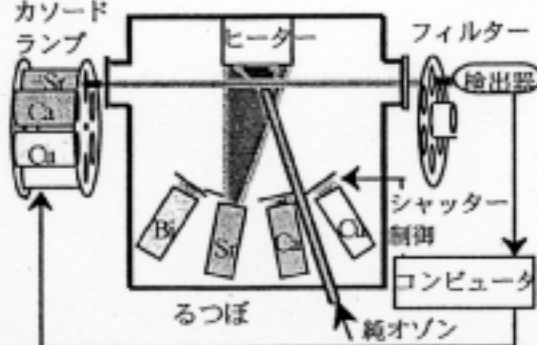
原子層制御 MBE 成長技術によって高品質な強誘電体薄膜さらにヘテロ構造の多層膜を作製し、強誘電体特性を活用した電子デバイス実現のための基盤技術を開発する。

(4) ポンチ絵

原子層制御分子線エビタキシー(MBE)装置

原子吸光法を利用した原子フラックスの測定装置を導入し、原子層成長技術の高度化を実現。

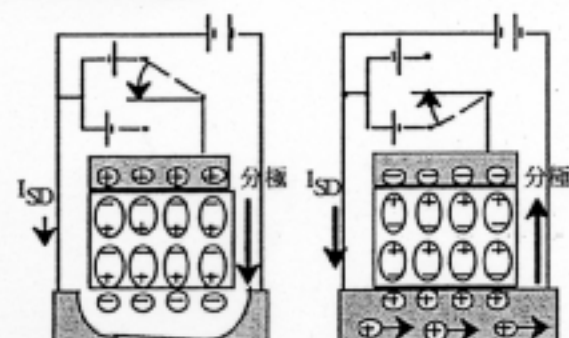
ホロー
カソード
ランプ



多層構造から成る強誘電体デバイスの構造と動作原理

酸化物電極
酸化物
強誘電体
導電性酸化物

特徴：
1. 強誘電体の分極反転によって情報を記憶する。
2. 自発分極を利用するので、バックアップ電源が不要。



2. 研究成果の概要

①研究成果

強誘電体電気分極によって制御される導電体が、シリコン (Si) である場合と酸化物である場合の研究を並行して進めた。酸化物である場合、導電体自身及び導電体/強誘電体界面等でその性質が未知であることが多く実用化にむけては長期的に研究開発することが必要である。これに対し導電体がシリコンである場合、シリコンと多元酸化物を併用するための作製技術に課題が多くあるものの、シリコンを使った集積回路技術は今日のエレクトロニクスの基幹技術であるので、想定される研究開発の期間は、より短期的であると考えられる。

両方の場合ともに、当初実施計画で示した2項目(原子層制御 MBE 技術の高度化、強誘電体デバイスの作製・評価)で構成されるが、ここでは説明を明瞭にするため、(ア)シリコン上デバイス技術の研究と(イ)酸化物導電体上デバイス技術の研究に分けて説明する。

また当初計画では導電体・強誘電体・導電体の3層ヘテロ構造を作製し、長期使用に対する材料の高信頼性を図る予定であったが、Si と強誘電体 $\text{Bi}_4\text{Tb}_3\text{O}_{12}$ の組み合わせ構造の場合、 $\text{Bi}_4\text{Tb}_3\text{O}_{12}$ 上の導電体電極は Pt 等の通常金属でよいことがわかった。むしろ、分極によって導電体の特性を制御するために、Si と $\text{Bi}_4\text{Tb}_3\text{O}_{12}$ の間に適切な絶縁バッファ層を設けた構造を Si を導電体とする場合の研究の主課題とした。

(ア) シリコン上デバイス技術

本研究では、導電体としてシリコンを用い、その電気伝導性を強誘電体の電気分極を利用して変調させるデバイスの研究を行った。強誘電体は結晶方位によって電気特性が異なる性質を有しており、多結晶膜でデバイスを作製した場合、集積回路の中の素子特性にばらつきが発生する。その解決策として我々は、多層ヘテロ構造のエピタキシャル成長技術の研究した。

(a) シリコン上のバッファ層薄膜の成長と評価

強誘電体材料をシリコン上に直接形成すると、両者の界面で相互拡散反応が進行してしまい、良好なデバイスの作製は不可能になる。したがって、強誘電体とシリコンの間にバッファ層を形成し、それぞれの材料の特性を損なわないようにする必要がある。我々はレーザーアブレーション法を用いて、シリコン上にエピタキシャル成長するバッファ層材料の探索とその成長技術の開発を行った。MBE 成膜で培った知見を活用し、MBE と同レベルの高真空環境において原子層レベルの膜厚制御が可能な成長速度で成膜を行い、 $\text{CeO}_2/(\text{Ce}_{1-x}\text{Zr}_x)\text{O}_2$ 構造と $\text{SrTiO}_3/(\text{Ce}_{1-x}\text{Zr}_x)\text{O}_2$ 構造の開発に成功した。

(b) 強誘電体薄膜の成長技術

原子層制御 MBE 法を用いた強誘電体 $\text{Bi}_4\text{Tb}_3\text{O}_{12}$ 薄膜の作製において、Bi の自己停止作用を利用した成長技術を開発した。この成長技術の特徴は、強誘電体相が生成する温度・圧力環境において、Ti 元素に対する Bi 元素の供給量を目的組成よりも過剰に設定しつつ成長を行うことで、蒸発し易い成分である Bi の不足を防ぎ、目的通りの化学組成を有する、高品質な薄膜を生成することにある。従来、多元系材料の薄膜成長において、制御すべき多数のパラメータを最適に調整して高品質な薄膜結晶を生成することは非常に困難な作業とされてきたが、Bi の自己停止作用を利用することで、成膜パラメータが非常に単純化され、原子層レベルの高精度な成膜技術が実現された。

(c) 多層ヘテロ構造のエピタキシャル成長とダイオード特性の評価

上記の成長技術を駆使して、多層ヘテロ構造の作製を行った。 $\text{CeO}_2/(\text{Ce}_{1-x}\text{Zr}_x)\text{O}_2$ 構造をシリコ

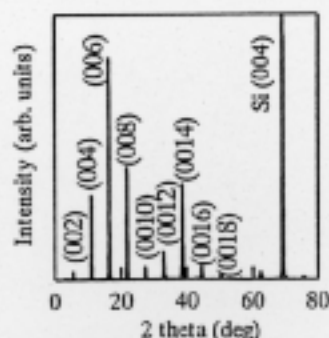


図1 $\text{Bi}_4\text{Tb}_3\text{O}_{12}/\text{CeO}_2/(\text{Ce}_{1-x}\text{Zr}_x)\text{O}_2/\text{Si}$ 構造の X 線回折図。

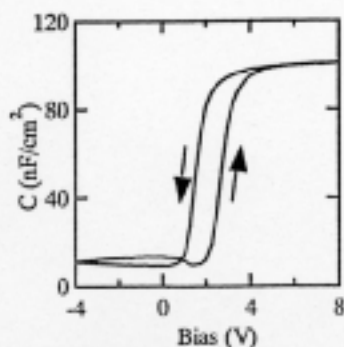


図2 $\text{Bi}_4\text{Tb}_3\text{O}_{12}/\text{CeO}_2/(\text{Ce}_{1-x}\text{Zr}_x)\text{O}_2/\text{Si}$ ダイオード構造の C-V 特性。

ン基板上パフファ層としてその上に $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ を成長した場合、(001)配向でエピタキシャル成長した(図 1)。作製した多層エピタキシャル構造のダイオード特性を図 2 に示す。強誘電体の電気分極に因るヒステリシスが現れている。ヒステリシスの幅がメモリウインドウと呼ばれ、この場合約 1.2 V である。メモリウインドウと膜厚(640 nm)より、抗電界は 9.4 kV/cm と求められる。この値は(001)方位に成長した $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の値として妥当である。

$\text{SrTiO}_3/(\text{Ce}_{1-x}\text{Zr}_x)\text{O}_2$ 層をシリコン基板上パフファ層としてその上に $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ を成長した場合、(117)配向でエピタキシャル成長した(図 3)。このような特殊な配向方位のエピタキシャル成長はこれまで報告例がなく、絶縁パフファ層を含めた高度なエピタキシャル成長技術に裏付けされた、独創性の高い研究成果が得られた。 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 薄膜を 640 nm 厚さ成長して作製した多層ヘテロ構造のダイオード特性を図 4 に示す。強誘電体の電気分極に因る約 3.5 V のメモリウインドウが現れている。メモリウインドウと膜厚から、抗電界は 27 kV/cm と計算される。この値は $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 強誘電体の(100)および(010)方位における抗電界 40 kV/cm から 45° 傾いていた方位の計算値、28 kV/cm と良く一致している。

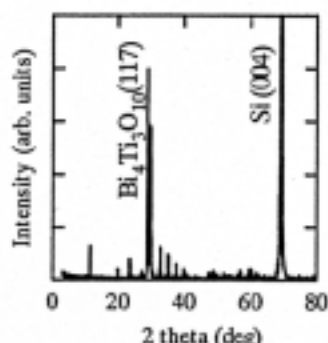


図 3 $\text{Bi}_4\text{Ti}_3\text{O}_{12}/\text{SrTiO}_3/(\text{Ce}_{1-x}\text{Zr}_x)\text{O}_2/\text{Si}$ 構造の X 線回折図。

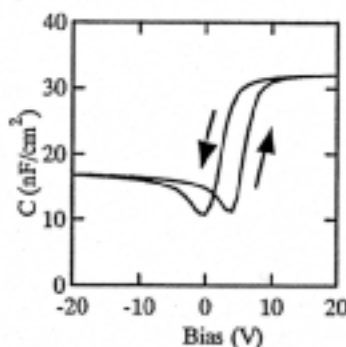


図 4 $\text{Bi}_4\text{Ti}_3\text{O}_{12}/\text{SrTiO}_3/(\text{Ce}_{1-x}\text{Zr}_x)\text{O}_2/\text{Si}$ ダイオード構造の C-V 特性。

(d) シリコン上多層エピタキシャル構造による電界効果型デバイス

$\text{Bi}_4\text{Ti}_3\text{O}_{12}/\text{SrTiO}_3/(\text{Ce}_{1-x}\text{Zr}_x)\text{O}_2/\text{Si}$ 多層エピタキシャル構造に対してシリコン集積回路作製技術を適用して図 5 に示すような電界効果型デバイスを試作した。試作した素子の特性を図 6 に示す。ゲート電圧の掃引に従ってドレイン電流値が一桁以上にわたって変調されておりトランジスタとして動作していることが分かる。さらにゲート電圧の掃引方向によってしきい値電圧が約 1.2 V 変化しており、強誘電体の電気分極によるメモリ動作の確認に成功した。

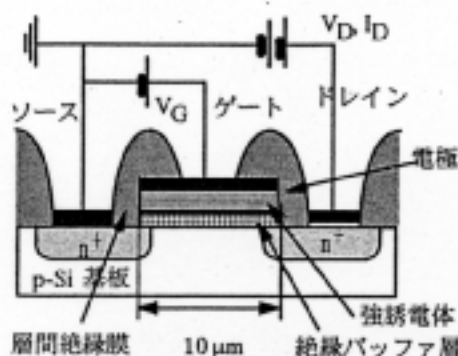


図 5 試作したデバイスの断面図。

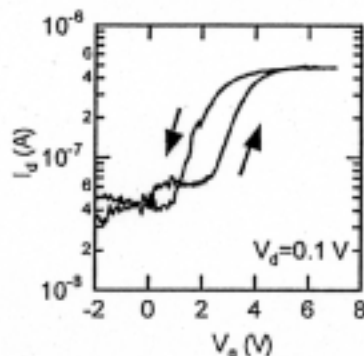


図 6 ゲート部分に $\text{Bi}_4\text{Ti}_3\text{O}_{12}/\text{SrTiO}_3/(\text{Ce}_{1-x}\text{Zr}_x)\text{O}_2$ 構造を用いた電界効果デバイスの I_d - V_g 特性($V_d=0.1$ V)。

(イ) 酸化物導電体上デバイス技術

(1) スピンコート MOD 法による強誘電体 $\text{PbZr}_{0.1}\text{Ti}_{0.9}\text{O}_3$ 薄膜作製

スピンコート MOD(有機金属分解)法は、他の製膜方法に比べて製膜作業が簡便で、設備投資、コストが極めて小さく、工業的に優れた方法である。しかし、スピンコート MOD 法で作製された $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ (PZT) 薄膜は一般に膜質が悪く表面の凹凸が大きいという問題があり、この方法で作製された PZT 薄膜上に超薄膜をヘテロエピ成長させるのは困難であった。

本研究では、これまでのスピンコート MOD 法の成長工程を見直した。その結果、熱プロセスと鉛の仕込み組成量を最適化することにより、PZT 格子(約 0.4nm)の 2.3 個分程度の凹凸しか観察されない、極めて平坦な PZT 薄膜を Nb ドープ $\text{SrTiO}_3(100)$ 単結晶基板上に作製する

ことに成功した。このような分子レベルの平坦性を持つ薄膜であれば、上部に高品質の超薄膜の成長が可能である。

スピコート MOD 法で作製した分子層レベルで平坦な PZT 薄膜の強誘電履歴曲線を測定したところ、 $\pm 20\text{V}$ の印加で約 45mC/cm^2 の飽和分極という良好な強誘電特性を得た。さらに、四軸 X 線回折装置を用いた構造解析により、PZT はエピタキシャル成長していることが確認された。

(2) PZT 薄膜上における $\text{Bi}_2\text{Sn}_2\text{CuO}_7$ 超薄膜のヘテロエピタキシャル成長

本研究では、多元系酸化物の高品質薄膜の成長を目標として原子層制御分子線エピタキシー(MBE)法の開発を行ってきた。原子層制御 MBE 法では、原子吸光法を用いた金属分子線強度のモニタリングにより、組成の厳密制御と原子層レベルでの膜厚の制御を実現できる。本研究では、酸化物導電体の $\text{Bi}_2\text{Sn}_2\text{CuO}_7$ の作製にこの原子層制御 MBE 法を応用した。

$\text{Bi}_2\text{Sn}_2\text{CuO}_7$ は、 $(\text{BiO})_2$ 、 SrO 、 CuO 、 SrO の各層が積層した層状ペロブスカイトと呼ばれる構造をもつ。原子層制御 MBE 法による $\text{Bi}_2\text{Sn}_2\text{CuO}_7$ の成長では、この構造上の特徴を活かした。則ち、 $\text{Bi}_2\text{Sn}_2\text{CuO}_7$ の結晶構造に従って $\text{Bi} \rightarrow \text{Sr} \rightarrow \text{Cu} \rightarrow \text{Sr}$ の順序で金属原料を供給しつつ、極めて強い酸化力をもつ純オゾンガスによって酸素を供給したのである。その結果、 $\text{Bi}_2\text{Sn}_2\text{CuO}_7$ の成長温度を 550°C まで下げることができることを見出した。この 550°C という温度は、下地の PZT の形成温度 650°C よりも 100°C 低い。さらに、 $\text{Bi}_2\text{Sn}_2\text{CuO}_7$ 超薄膜の成長時間は $10\text{--}20$ 分程度と短い。これら条件によって、 $\text{Bi}_2\text{Sn}_2\text{CuO}_7/\text{PZT}$ の界面反応が大幅に抑制されたと考えられる。

作製された $\text{Bi}_2\text{Sn}_2\text{CuO}_7$ 超薄膜は X 線回折および反射高速電子線回折によってエピタキシャル成長していることが確認された。また少なくとも 6nm 以上の膜厚があれば導電性を示すことも示された。これらの結果は原子層 MBE 法を活用することにより、PZT 薄膜上に $\text{Bi}_2\text{Sn}_2\text{CuO}_7$

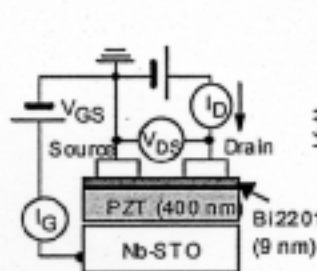


図 7 ペロブスカイト型酸化物の 3 層構造からなる電界効果デバイス。

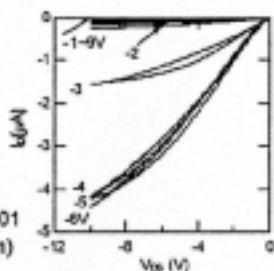


図 8 V_{GS} をパラメータとする I_D - V_{DS} 特性。 V_{GS} を 9 から -6V に変えた。

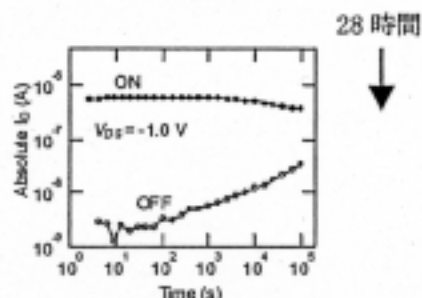


図 9 1×10^5 秒 (約 28 時間) に亘る情報保持特性。

超薄膜の高品質ヘテロエピタキシャル成長が達成されたことを示すものである。

(3) 酸化物導電体薄膜・強誘電体薄膜・導電性基板の 3 層構造の作製とデバイス特性

(1)、(2) に述べた成長技術を活用して、酸化物導電体の $\text{Bi}_2\text{Sn}_2\text{CuO}_7$ ($\text{Bi}2201$) 超薄膜 / PZT 強誘電体薄膜 / Nb ドープ SrTiO_3 導電性基板 (Nb-STO) からなる 3 層構造の電界効果デバイスの作製を行い、デバイス特性の評価を行った。図 7 に示すように Nb-STO はゲート電極、PZT はゲート絶縁膜、 $\text{Bi}2201$ はチャネル層となる。

図 8 にゲート電圧 (V_{GS}) をパラメータとしたドレイン電流 (I_D)-ソース・ドレイン電圧 (V_{DS}) 特性を示す。極めて明瞭に別れた OFF 状態 ($V_{GS} = 9\text{--}2\text{V}$) と ON 状態 ($V_{GS} = -4\text{--}6\text{V}$) が観察されているのが分かる。詳細な解析結果によれば、図 8 に示した I_D - V_{DS} 特性のゲート電圧依存性はゲート絶縁膜の強誘電履歴曲線と良く対応していることがわかった。電界効果の特性を示すパラメータとして、入力電圧 (V_{GS}) の変化に対する出力電圧 (V_{DS}) の変化を示す電圧増幅率がある ($\partial V_{DS} / \partial V_{GS}$ ($I_D = \text{const.}$))。図 8 の特性においては、最大の電圧利得は 9.0 であった。このように、本研究では世界に先駆けて電圧増幅の大きい全酸化物メモリトランジスタの作製に成功した。また、この電界効果デバイスのドレイン電流の ON、OFF 比は約 200 であった。これまでに報告されている全ペロブスカイト型酸化物の電界効果型メモリデバイスの特性評価の結果によれば、電流の ON、OFF 比は最高でもたかだか 4 程度であるので、本研究により飛躍的な特性の向上が達成された。なお、メモリ機能の評価として情報保持時間の測定を行ったところ、約 8 時間という結果を得ている。

さらに本研究では、図 7 において PZT ゲート絶縁膜の膜厚 400nm から 800nm と厚くすることで、1 日以上の保持時間を有する全ペロブスカイト型酸化物の電界効果型メモリデバイスの試作に成功した。図 9 に情報保持特性の測定結果を示す。ON 及び OFF 状態の書き込み電圧はそれぞれ 65 、 65V とし、保持中は常にソース・ゲート間を 0V で短絡している。メモリトランジスタとしての情報保持時間を ON 状態と OFF 状態のドレイン電流の比が 10 以上である時間と定義すれば、保持時間は 1×10^5 秒 (約 28 時間) となる。今回測定された長期の保持時間は、(1) 我々の全酸化物メモリトランジスタでは強誘電層とチャネルとの間にバッファ層が

存在しない構造であること、(2)PZTの膜厚を厚くすることでリーク電流が抑制されたと考えられること、という2つの理由によるものと考えられる。

②波及効果、発展方向、改善点等

(ア) シリコン上デバイス技術

原子層制御 MBE 法および本研究で行ったデバイス化技術は、高度な機能を有するデバイスを開発するための重要な技術として、研究レベルから産業レベルへの発展も見据えて、今後さらに研究開発が進められていくと考えられる。本研究では、エピタキシャル成長に重点を置いて研究を行い、多層エピタキシャル構造から成る強誘電体デバイスの基本構造の作製ならびにデバイス動作の確認に成功した。特に、新規なバッファ層構造とそれを用いた多層エピタキシャル構造の作製において、今後の研究開発に活力を与える、先駆的な研究成果を挙げることができた。

(1) 絶縁バッファ層の成長技術

本研究において我々が開発した絶縁バッファ層は、材料の拡散を抑制し、エピタキシャル成長の下地層として有効に機能する、実用的な構造であることが実証された。しかし、材料探索と成長技術の開発がこれで完了した訳では無く、今後もさらに高性能なバッファ層の作製を目指して、研究を推進する必要がある。

強誘電体デバイスに使用される絶縁バッファ層は、その厚さが数 10 nm から時には数 nm のオーダーで設計される。この程度の厚さの場合には、膜厚が設計値から少しずれただけでも静電容量値が大きく変化し、最終的にはデバイスの特性に大きな影響を及ぼすことになる。したがって、薄膜の厚さを試料全体で均一に、かつ再現性良く制御できる技術が必要になる。原子層レベルで膜厚を調整できるエピタキシャル極薄膜の作製技術は、今後さらに必要性が高まるものと推測される。

絶縁バッファ層の成長における問題点は、絶縁バッファ層とシリコンとの界面に発生する SiO_2 層の存在である。この SiO_2 層はバッファ層の成長が開始した後に発生するものなので、薄膜の結晶性やエピタキシャル成長には影響しないが、比誘電率が 3.9 と小さいためバッファ層を含めた全体の静電容量を低下させる悪影響をもたらす。 SiO_2 層の発生機構の理解と、その抑制技術を開発する必要がある。

(2) 強誘電体薄膜の成長技術

本研究で開発した、原子層制御 MBE 法を高度化した成長技術は、強誘電体の高品質結晶薄膜の生成に大きく貢献している。MBE 法はエピタキシャル成長実現のための先導技術としての重要な役割を今後も担うことになる。

薄膜の作製技術において、成長プロセスの低温化は、界面拡散反応や SiO_2 層の増大を抑制する効果があり、集積回路技術との整合性を確保する上でも重要である。低温成長プロセスの開発が、今後の研究課題の一つとして挙げられる。

(3) 多層ヘテロ構造のエピタキシャル成長技術

本研究では、バッファ層材料を適切に選択することで、その上に成長する強誘電体薄膜のエピタキシャル成長方位を変化できることを示した。強誘電体の電気特性は結晶方位に依存する特徴があり、成長方位を変化できる成長技術は、デバイスの実現を加速するインパクトのある研究成果である。例えば、最近注目を集めている強誘電体として $\text{SrBi}_2\text{Ta}_2\text{O}_9$ がある。この結晶は(001)方位に強誘電性が全く現れないために、従来のエピタキシャル成長技術で(001)配向方位に薄膜を成長した場合には、強誘電体デバイスとして機能しないことが問題であった。ところが、本研究で開発した $\text{SrTiO}_3/\text{CeZrO}_3$ バッファ層を用いると、(001)が 45° に傾いた方位でエピタキシャル成長できることが予測され、高性能なデバイスの実現が可能になる。

シリコン集積回路の作製技術を取り入れて作製したトランジスタにおいて、そのメモリ動作を確認できた。しかしドレイン電流の変調量は理想的な数値よりも小さかった。この原因として、強誘電体膜成長中のシリコン基板ダメージが考えられる。本研究では Bi 自己停止作用を機能させつつ成膜を行ったため、MBE 装置の原子フラックス供給能力が成膜速度を律速してしまい、目的厚さの強誘電体膜が生成するまでの間、シリコン基板を長時間にわたって高温に曝すことになった。この間に予めシリコン基板に組み込んでいたトランジスタ部分の性能が劣化したと考えられる。高品質な強誘電体配向結晶を高速で堆積できる成膜技術を導入することで、シリコン基板へのダメージが低減され、デバイス性能の向上が期待できる。

(イ) 酸化物導電体上デバイス技術

(1) スピンコート MOD 法による強誘電体 $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ 薄膜作製

本研究ではスピンコート MOD 法によって、分子層レベルで平坦な強誘電体 PZT 薄膜の作製した。スピンコート MOD 法という簡便で低コストな方法によって高品質 PZT が得られた意義は大きい。この成果は全ペロブスカイト型酸化物のメモリデバイス開発以外にも、PZT の強誘電性を活用する各種デバイス、例えば焦電性を利用した温度センサや、ガスセンサの低コスト製造への波及が期待できる。

(2) PZT 薄膜上における $\text{Bi}_2\text{SnCuO}_6$ 超薄膜のヘテロエピタキシャル成長

本研究では、原子層制御 MBE 法を用いて、PZT 薄膜上に導電性を有する Bi2201 超薄膜の作製に成功した。ここで $\text{BiSr}_{1-x}\text{Ca}_x\text{O}_{n+1}$ ($n=1,2,3$) で表されるビスマス系層状ペロブスカイト酸化物は高温超電導体として知られている。従って、これら材料と PZT とのヘテロ接合による電界効果デバイスを作製し、低温で動作させることにより、超電導スイッチングデバイスなどの新機能パワーデバイスの開発分野への波及、発展の可能性がある。その一方、今後の課題としては、Bi2201 超薄膜の導電率の向上が挙げられる。今後は、原子層 MBE の成長速度を大きくする等して、さらなる界面の品質向上を図る必要がある。

(3) 酸化物高温超電導体薄膜・強誘電体薄膜・導電性基板の 3 層構造の作製とデバイス特性

本研究では、ペロブスカイト型酸化物の 3 層構造のからなる全酸化物電界効果メモリデバイスの開発を行い、全酸化物電界効果デバイスとしては、世界最高性能電圧の特性実現に成功した。さらに 28 時間に亘る分極保持特性が達成された。本研究によって全酸化物メモリデバイスの動作が実証されたことにより、長期間のメモリ特性をもつ全酸化物メモリデバイス実現に向けての発展に弾みがつくものと期待される。一方解決すべき課題としては、 $\partial I_d / \partial V_{gs}$ ($I_d = \text{const.}$) で定義される伝達コンダクタンスと、情報の書き込み電圧が大きいことである。伝達コンダクタンスを大きくするためには、上記(2)で述べた良好な界面の形成を実現し、場合によってはより大きいキャリア移動度をもつ酸化物材料をチャネル層に用いることも必要かも知れない。また、現在、書き込み電圧が大きい原因として、(1) PZT の大きな分極により Nb ドープ SrTiO₃ 電極の PZT 側の界面が空乏化していること、(2) PZT の膜厚が厚いことが挙げられる。前者については、Nb ドープ SrTiO₃ よりもキャリア密度の大きい材料を用いることが必要と考える。また、後者についてはより絶縁特性を向上させた PZT 薄膜を用いることが必要と思われる。

これらの課題が克服されれば、これまで以上に低消費電力、低圧動作、そして長期の保持特性をもつ全酸化物メモリトランジスタが実現するものと期待できる。