

Exaスケールへの技術課題

プロセッサ技術の観点から

東京大学 情報理工学系研究科 石井康雄

高性能プロセッサの重要性

- ▶ スーパーコンピュータにおいて最重要部品
 - ▶ 「京」の性能はプロセッサによる部分が多い
- ▶ プロセッサ技術は応用範囲が広い
 - ▶ 生活の至るところで応用されている
 - ▶ 例：携帯電話、自動車、金融、天気予報、検索など
- ▶ プロセッサの設計は難しい
 - ▶ 幅広い分野での技術の蓄積が必要
 - ▶ 常に新しい課題と新しい技術

さらに高まる性能要求

- ▶ 将来、スーパーコンピュータは1000万～10億コア
 - ▶ 現在の「京」で約60万コア
 - ▶ 並列化困難部分が性能向上を妨げる

▶ 性能要件の拡大

- ▶ メモリバンド幅
- ▶ 演算器の実行効率
- ▶ FP演算性能(アクセラレータ)
- ▶ 低消費電力
- ▶ 低レイテンシインターコネクト
- ▶ **高性能プロセッサ技術**

地球シミュレータの時代

「京」の時代

Exaへの挑戦

高性能プロセッサ技術

- ▶ 高性能プロセッサは2つの要素技術で実現される
 - ▶ 半導体
 - ▶ マイクロアーキテクチャ
- } 要素技術の統合
- ▶ 半導体(Fab)はグローバル化が進む
 - ▶ 半導体技術での差別化は困難
 - ▶ マイクロアーキテクチャ技術の重要性が増大

スーパーコンピュータで利用される プロセッサを比較

- ▶ Fujitsu SPARC64 VII+ (4 core)
- ▶ Intel Xeon Westmere (6 core)
- ▶ IBM POWER7 (8 core)
- ▶ Fujitsu SPARC64 VIIIfx (8 core)
 - ▶ 「京」のプロセッサ



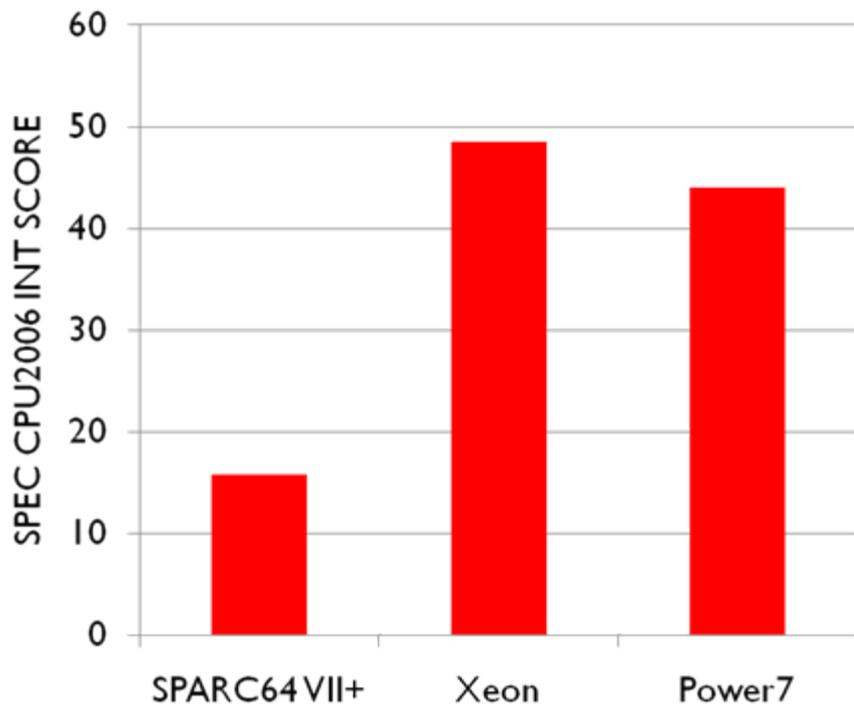
性能諸元

	SPARC64 VII+	Xeon	POWER7	SPARC64 VIIIfx
Process (nm)	65	32	45	45
# of Core	4	6	8	8
Clock (GHz)	3.00	3.46	4.00	2.00
Cache (MB)	12	12	32	6
GFLOPS / Core	12.00	13.84	32.00	16.00
GFLOPS / Chip	48.00	83.04	256.00	128.00
TDP (Watt)	135	130	200	58

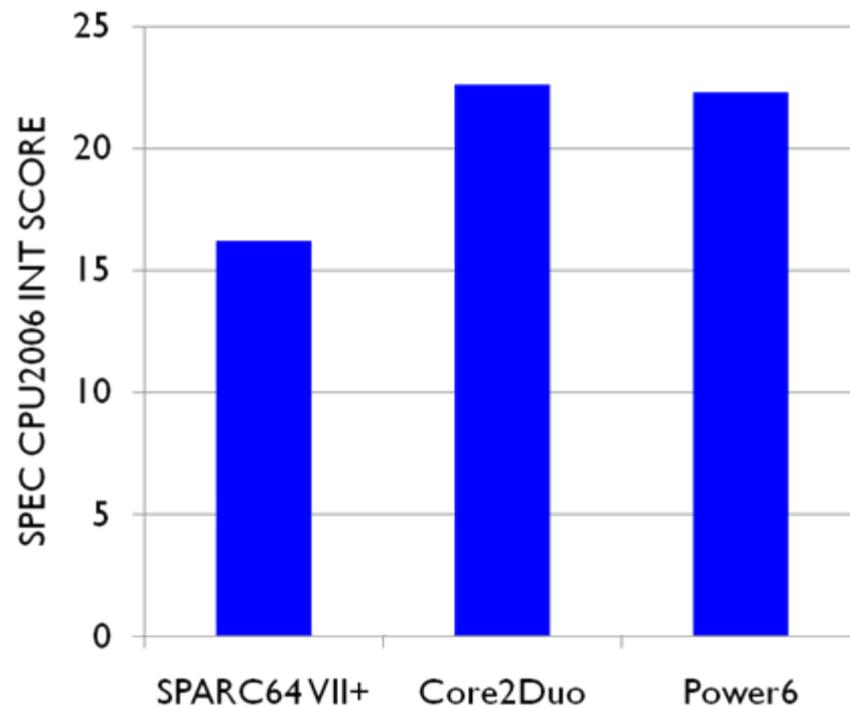
汎用プロセッサとして世界一の省電力性能



実行性能(SPEC CPU2006 INT)



2011年のスコア



65nmプロセスでのスコア

- ▶ 諸元性能を覆す実効性能差

(<http://www.spec.org/cpu2006/results/>より引用)

マイクロアーキテクチャの違いによる性能差

- ▶ 先行命令の実行を「待つ」時間が性能差を生む
 - ▶ 計算機はプログラム中の命令を順番に実行
- ▶ 代表的な「待ち」の要因
 - ▶ 演算器・データパスを他の命令が利用中
 - ▶ メモリから読んだデータが届かない
 - ▶ 次に実行する命令がわからない
- ▶ マイクロアーキテクチャ技術の役割
 - ▶ 「待ち」時間の削減
 - ▶ 命令の実行を効率化
 - ▶ 演算器・メモリ帯域などのハードウェアの利用効率を向上

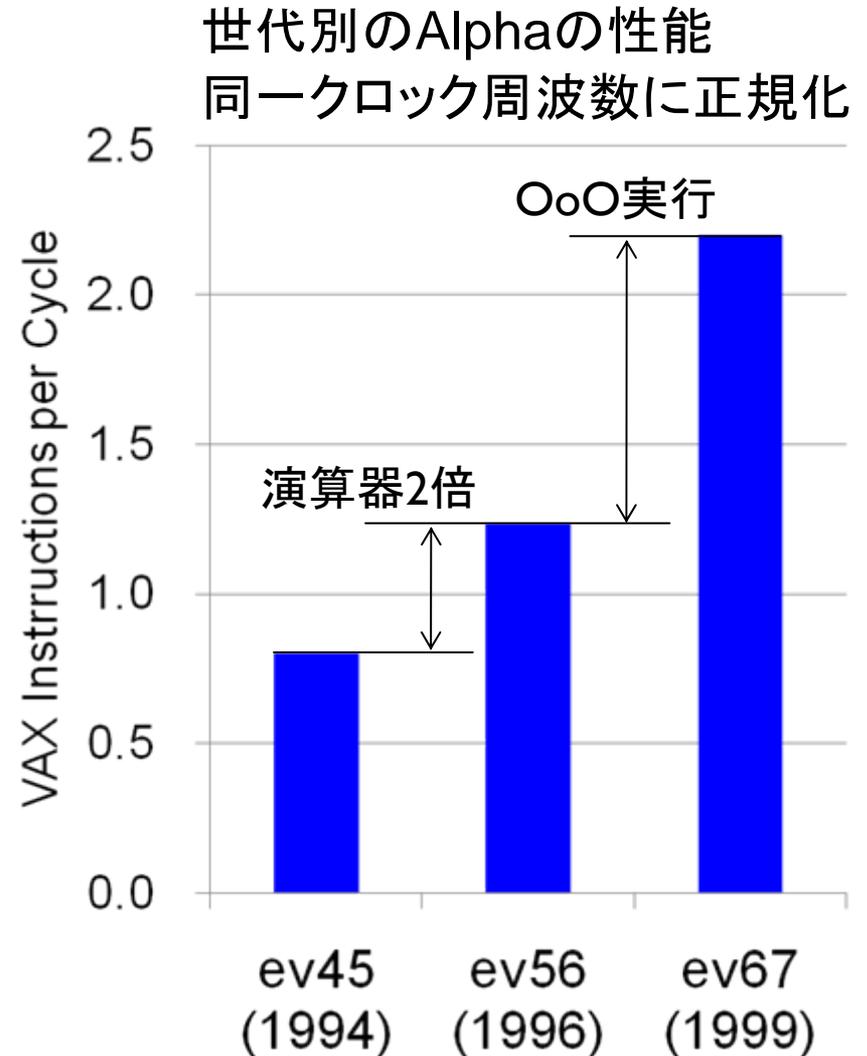
どうやって「待ち」を減らすか？

- ▶ **アウトオブオーダー実行**
 - ▶ 準備ができた仕事から片付ける
- ▶ **メモリ階層**
 - ▶ 将来必要になりそうなものは手元に残しておく
- ▶ **予測技術**
 - ▶ 将来発生しそうな仕事の準備を早めに始める

他にも様々な方式があるがスペースの都合で省略

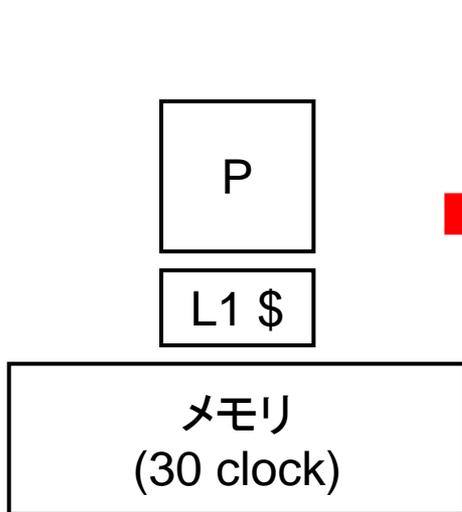
アウトオブオーダー実行(OoO実行)

- ▶ OoOによる実行効率向上は演算器の増設を上回る
 - ▶ Alphaの世代別IPCから
- ▶ 関連する研究
 - ▶ Matrix Scheduler
[Goshima+ 2001]
[Sassone+(intel) 2007]
 - ▶ Optimal Pipeline Depth
[Hartstein+(IBM) 2003]
 - ▶ Register Cache
[Shioya+ 2010]

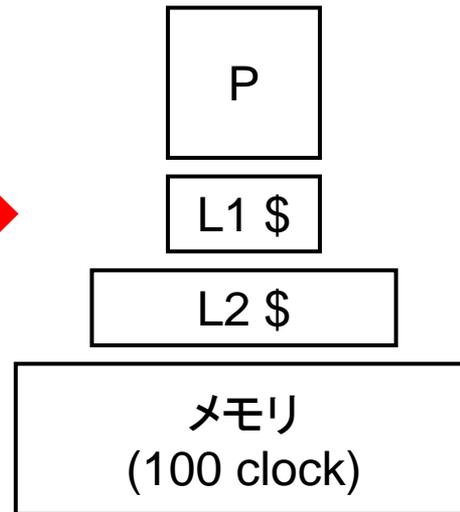


複雑化するメモリ階層

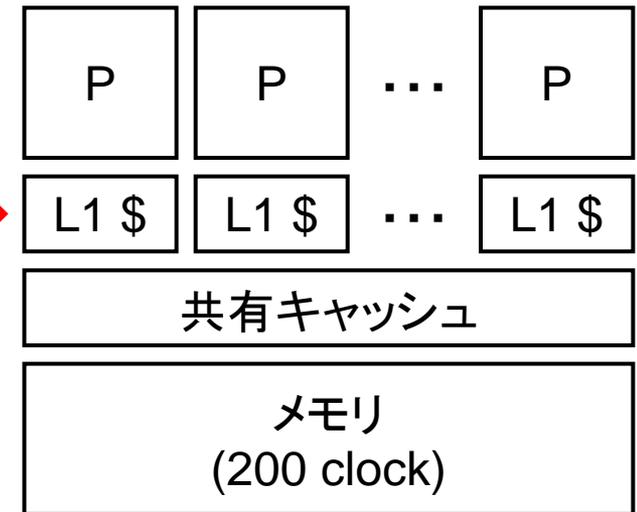
1995年以前



1995年~2005年



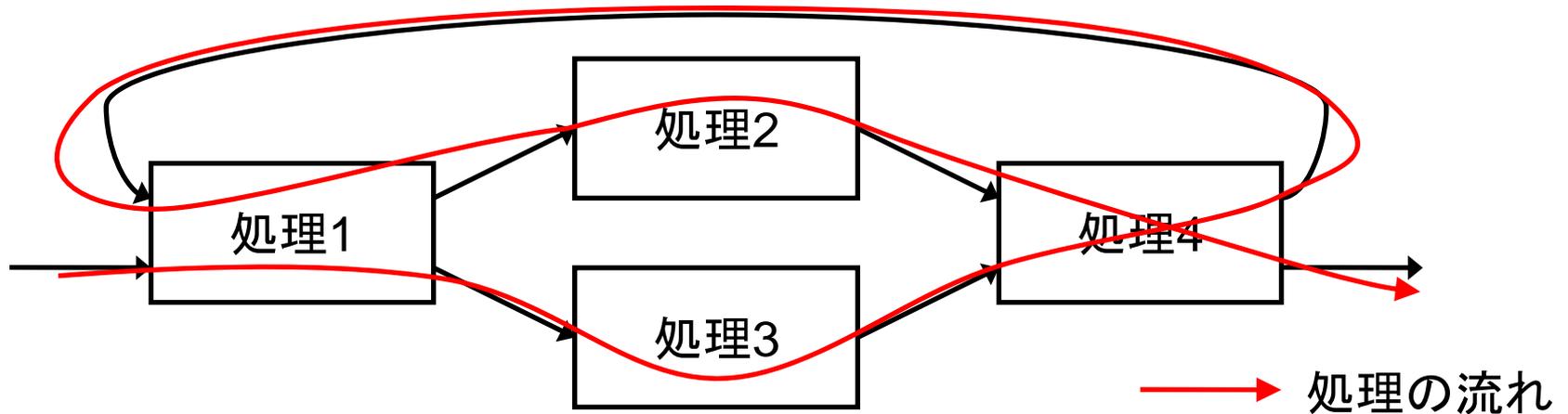
2005年以降



- ▶ キャッシュミス ≡ メモリレイテンシ分の実行停止
 - ▶ キャッシュ置換方式: RRIP[Jaleel+(Intel) 2010], MAIP[Ishii+ 2010]
 - ▶ プリフェッチ方式: ASD[Hur+(IBM) 2006], AMPM[Ishii+ 2010]

分岐予測によるレイテンシ削減

- ▶ 実行パスを予測してレイテンシを削減



- ▶ Bimodal predictor [Ibbett 1972, Smith 1981]
- ▶ 2-level, gshare [Yeh+ 1991, [McFaring\(DEC\) 1993](#)]
- ▶ 2bc-gskewの実用化 [[Seznec+\(IBM Compaq\) 2002](#)]
- ▶ GEHL[Seznec 2004] , TAGE[Seznec+ 2006], FTL++[[Ishii 2011](#)]

今なお追及され続ける要素技術

- ▶ 世界で研究され続けている
 - ▶ JILP Workshop on Computer Architecture Competitions
- ▶ 過去の大会
 - ▶ 分岐予測
 - ▶ プリフェッチ
 - ▶ キャッシュ置換
- ▶ 過去の優勝者
 - ▶ André Seznec (元DEC Architect)
 - ▶ Gao Hongliang (Intel IA-coreの設計者)
 - ▶ Yasuo Ishii (Univ. Tokyo)

まとめ

- ▶ 次々世代スーパーコンピュータの性能要件
 - ▶ 並列化困難部分の高速化
- ▶ 高性能プロセッサ技術
 - ▶ 半導体はグローバル化で差別化困難
 - ▶ マイクロアーキテクチャ技術による高効率化が重要
 - ▶ 多くの技術が追求され続けている
 - ▶ 応用が広く基盤技術として頑張る価値がある
- ▶ (今回は触れなかった)スパコン技術との統合
 - ▶ チップ内ネットワーク、インターコネクト、アクセラレータ
 - ▶ **Exaスケール、そして、Zettaスケールへ**