

性能比較（公開用）

システム名	プロセッサ チップ数	コア数/ チップ	演算速度 /チップ (Gflops)	総演算速 度 (Tflops)	チップ当 たりメモリ 量(GB)	メモリバ ンド幅/ チップ (GB/s)	総メモリ バンド幅 (TB/s) (片方向)	演算速度 あたりメ モリバン ド幅 (B/F) (片方向)	ネット ワークバ ンド幅/ チップ (GB/s) (片方向)	総ネット ワークバ ンド幅 (TB/s) (片方向)	演算速度 あたり ネット ワークバ ンド幅 (B/F)
地球シミュレータ	5120	1	8.0	41	2	32	163.8	4.0	1.5	7.7	0.19
SX-9(東北大)	256	1	102.4	26	64	256	65.5	2.5	4.0	1.0	0.04
FX-1(JAXA)	3392	4	40.0	136	32	40	135.7	1.0	2.0	6.8	0.05
T2K 東大	2048	4	36.8	75	8	10.7	43.8	0.3	2.0	4.1	0.05
IBM RoadRunner(LANL)	6480	4+4 Cell	224.8	1457	16	54.0	350.0	0.2	2.0		0.01
IBM BlueGene/P(Argonne)	73728	4	13.6	1003	2	13.6	1002.7	1.0	2.5	184.3	0.18
Cray XT-5(Jagure)(ORNL)	37544	4	36.8	1382	8	10.7	401.7	0.3	7.6	285.3	0.21
Intel Nehalem-EP Cluster(例)	16384	4	48.0	786	16	25.6	419.4	0.5	2.5	20.5	0.05
Intel Nehalem-EX Cluster(例)	16384	8	76.8	1258	16	25.6	419.4	0.3	2.5	20.5	0.03
BlueGene/Q(Sequoia)	98304	16	204.8	20132	16						
BlueWater	38900	8	256.0	9958		128	4979.2	0.5	33.4	1300.0	0.13
Intel Sandy Bridge Cluster(例)	16384	8	192.0	3146	16	80	1310.7	0.4	8.0	131.1	0.04
Intel Sandy Bridge Cluster(例)	32768	8	192.0	6291	16	80	2621.4	0.4	8.0	262.1	0.04

正確でない可能性のある数値

正確でない推定値

次世代スパコンの1世代前マシン

バイセクションバンド幅 (TB/s) (両方向)	消費電力 (KW)	演算速度 あたり消費電力 (MW/PF)	概算価格 (億円)	演算速度 あたり概算価格 (百万円 /Tflops)	面積 (平米)	演算性能 あたり面積 (平米 /Tflops)	面積あたり 電力 (KW/平米)	全体の 動作開始	備考
7.7	6000	146.5	600	1464.8	1300	31.74	4.62	2002年3月	
1.0	480	18.3	61	234.6	78.4	2.99	6.12	2008年9月	
6.8	1187	8.8	105	77.4	864	6.37	1.37	2009年4月	
4.1	400	5.3	40	53.1	104	1.38	3.85	2008年6月	主パーティションのみ
0.4	2350	1.6	133	9.1	511	0.35	4.60	2008年5月	
3.9	2700	2.7	200	19.9	321	0.32	8.41	2007-2009	
7.6	6000	4.3	200	14.5	409	0.30	14.68	2008年11月	
20.5	3000	3.8	79	10.0	300	0.38	10.00	2009(例)	
20.5	4000	3.2	126	10.0	400	0.32	10.00	2009(例)	
	6000	0.3	200	1.0	318	0.02	18.87	2011	
1300.0	12000	1.2	200	2.0	1858	0.19	6.46	2012	
131.1	3500	1.1	157	5.0	350	0.11	10.00	2011(例)	
262.1	7000	1.1	315	5.0	700	0.11	10.00	2011(例)	

概算価格はプロジェクト総費用

 コンピュータラックの占める面積。

 マシン室全体の面積。BlueWater、BlueWaterプロトタイプが入るとともに、マシン周囲の空間を含む。

性能比較

システム名	プロセッサ チップ数	コア数/ チップ	演算速度 /チップ (Gflops)	総演算速 度 (Tflops)	チップ当 たりメモリ 量(GB)	メモリバ ンド幅/ チップ (GB/s)	総メモリ バンド幅 (TB/s) (片方向)	演算速度 あたりメ モリバン ド幅 (B/F) (片方向)	ネット ワークバ ンド幅/ チップ (GB/s) (片方向)	総ネット ワークバ ンド幅 (TB/s) (片方向)	演算速度 あたり ネット ワークバ ンド幅 (B/F)
地球シミュレータ	5120	1	8.0	41	2	32	163.8	4.0	1.5	7.7	0.19
SX-9(東北大)	256	1	102.4	26	64	256	65.5	2.5	4.0	1.0	0.04
FX-1(JAXA)	3392	4	40.0	136	32	40	135.7	1.0	2.0	6.8	0.05
T2K 東大	2048	4	36.8	75	8	10.7	43.8	0.3	2.0	4.1	0.05
IBM RoadRunner(LANL)	6480	4+4 Cell	224.8	1457	16	54.0	350.0	0.2	2.0		0.01
IBM BlueGene/P(Argonne)	73728	4	13.6	1003	2	13.6	1002.7	1.0	2.5	184.3	0.18
Cray XT-5(Jagure)(ORNL)	37544	4	36.8	1382	8	10.7	401.7	0.3	7.6	285.3	0.21
Intel Nehalem-EP Cluster(例)	16384	4	48.0	786	16	25.6	419.4	0.5	2.5	20.5	0.05
Intel Nehalem-EX Cluster(例)	16384	8	76.8	1258	16	25.6	419.4	0.3	2.5	20.5	0.03
ベクトル部	12288	4	256.0	3146	32	256	3145.7	1.0	8.0	98.3	0.03
スカラ部	88128	8	128.0	11280	16	64	5640.2	0.5	30.0	2643.8	0.23
BlueGene/Q(Sequoia)	98304	16	204.8	20132	16						
BlueWater	38900	8	256.0	9958		128	4979.2	0.5	33.4	1300.0	0.13
Intel Sandy Bridge Cluster(例)	16384	8	192.0	3146	16	80	1310.7	0.4	8.0	131.1	0.04
Intel Sandy Bridge Cluster(例)	32768	8	192.0	6291	16	80	2621.4	0.4	8.0	262.1	0.04

- 正確でない可能性のある数値
- 次世代スーパーコンピュータ
- 正確でない推定値
- 第3回作業部会に理化学研究所から提出されるデータを事前に入手し作成
- 次世代スパコンの1世代前マシン

バイセクションバンド幅 (TB/s) (両方向)	消費電力 (KW)	演算速度 あたり消費電力 (MW/PF)	概算価格 (億円)	演算速度 あたり概算価格 (百万円 /Tflops)	面積 (平米)	演算性能 あたり面積 (平米 /Tflops)	面積あたり 電力 (KW/平米)	全体の 動作開始	備考
7.7	6000	146.5	600	1464.8	1300	31.74	4.62	2002年3月	
1.0	480	18.3	61	234.6	78.4	2.99	6.12	2008年9月	
6.8	1187	8.8	105	77.4	864	6.37	1.37	2009年4月	
4.1	400	5.3	40	53.1	104	1.38	3.85	2008年6月	主パーティションのみ
0.4	2350	1.6	133	9.1	511	0.35	4.60	2008年5月	
3.9	2700	2.7	200	19.9	321	0.32	8.41	2007-2009	
7.6	6000	4.3	200	14.5	409	0.30	14.68	2008年11月	
20.5	3000	3.8	79	10.0	300	0.38	10.00	2009(例)	
20.5	4000	3.2	126	10.0	400	0.32	10.00	2009(例)	
96.0	7000	2.2			1070	0.34	6.54	2012/3	
49.0	16000	1.4			1470	0.13	10.88	2012/3	
	6000	0.3	200	1.0	318	0.02	18.87	2011	
1300.0	12000	1.2	200	2.0	1858	0.19	6.46	2012	
131.1	3500	1.1	157	5.0	350	0.11	10.00	2011(例)	
262.1	7000	1.1	315	5.0	700	0.11	10.00	2011(例)	

概算価格はプロジェクト総費用

コンピュータラックの占める面積。マシン室はベクトル部 1400平米、スカラ部 2100平米前後であると、図から推定される。

マシン室全体の面積。BlueWater、BlueWaterプロトタイプが入るとともに、マシン周囲の空間を含む。

スーパーコンピュータ性能指標について:説明資料

1. 概論

本資料では、国内外スーパーコンピュータを比較するための性能指標に関し、その基準、その数値を達成するために必要な技術などを説明する。

表に記載されている以外の重要指標として、システム重量、とくに単位面積あたり重量、ファイルシステムバンド幅などがあるが、今回の比較指標からは外した。また、最大性能だけではなく、全体システムの実プログラム、とくに行列積(DGEMM)性能、FFT性能、Stream性能は重要項目であるが、すべてのシステムについては性能が得られないため省略した。

2. 重要性能指標の説明

④総演算速度(Tflops) **重要性能指標**。システム全体の演算速度。①×③である。Linpackでは、ネットワーク、メモリ、レジスタが適切に設計されていれば、総演算速度の70-90%がLinpack性能になる。TOP500の第一位システムの大雑把な予想は、

2010年6月 2.5-4 ペタ Flops

2010年11月 3-5 ペタ Flops

2011年6月 7-8 ペタ Flops

2011年11月 10-12 ペタ Flops

2012年6月 12-16 ペタ Flops

競合システムの時期に関しては、別紙次世代スパコンと米国プロジェクトとの比較を参照のこと。

⑧演算速度あたりメモリバンド幅(B/F)(片方向) **重要性能指標**。1演算するために、何メモリバイトをアクセスするかを決める。⑥/③である。スカラ計算機では、キャッシュアクセスの最適化により、メインメモリからのデータ量を小さくできる場合があるが、ベクトル計算機はコンパイラによる細かい最適化が困難であり、特に大きいB/F比が効率的実行には必要である。B/F値に関する判断基準は以下の通りである:

スカラ計算機 0.5 から 1 であれば、メモリアクセスが多いプログラムでも円滑に実行できる
ループ実行の細かい最適化により、キャッシュメモリを活用できることが理由

ベクトル計算機 2 以上あれば、ベクトル計算機としての特長を発揮し、メモリアクセスが多いプログラムを高効率で実行する。ベクトル計算機は、ループ実行がベクトル命令化しているため、スカラ計算機と比較するとデータ再利用性が悪いことが、高い B/F 比が要求される理由である。

⑩演算速度あたりネットワークバンド幅(B/F)(片方向) **重要性能指標**。他のプロセッサとデータを授受する能力を演算速度で正規化したもの。FFT などネットワーク通信の重いアプリケーションの性能向上に重要な意義がある。経験的に、ネットワークバンド幅はメモリバンド幅の8分の1程度あればよい。

性能基準

- 0.01 (B/F) Xeon サーバにギガビットイーサネット級 非常に弱い
- 0.1 (B/F) Xeon サーバに Infiniband DDR 級。普通の強さ。これ以上ネットワークを強くしてもグローバル FFT 以外はなかなか総合性能があがらない。
- 0.5(B/F) メモリとネットワークが同じ強さ。共有メモリシステム級。

⑫バイセクションバンド幅(TB/s)(両方向) 重要性能指標。システム全体をほぼ同じ大きさで2等分した2部分を結ぶネットワークバンド幅(両方向を実現時)。

⑭演算速度あたり消費電力(MW/PF) **重要性能指標**。⑬/④。一般的にみて、使われているテクノロジーの先進性、設計のうまさ消費電力に反映する。現時点では、5MW/PFより少なければ、低電力のシステム、3MWを切れば非常に低電力であると考えられる。5MW/PFは、<http://www.green500.org>の最新リストで、50位、3MWは20位の低消費電力システムである。2011年には、Intelからは32nmのプロセッサがでるため、

- 0.5MW/PF 超低消費電力システム
 - 1.5MW/PF 前後 Intelを用いた低消費電力
 - 2MW/PF 前後 普通のクラスタ
- が性能の目安であろう。

⑯演算速度あたり概算価格(百万円/Tflops) **重要性能指標**。⑮/④。基本的には、プロセッサ、メモリ、インターコネクトおよび立ち上げ用ディスクを含むコストであるが、システムによっては、他の要素のコストを含む場合がある。2011年前後の基準は

- 100 万円/Tflops 超低コストシステム
 - 500 万円/Tflops 標準的 Intel クラスタ
 - 1000 万円/Tflops 高級クラスタ
 - 2000 万円/Tflops スパコン専用機
- と考えられる

⑰演算性能あたり面積(平米/Tflops) 重要性能指標。⑱/④。面積の測定法に曖昧性がある。この指標は、下記の面積あたり電力と、電力あたり重量と、メンテナンス用スペースの取り方で決定される。

- ⑱面積あたり電力(KW/平米) 重要性能指標。単位面積で冷却可能な電力で決まる。標準的な数値は以下の通りである：
- 5以下 普通の空冷で冷却可能。市販サーバをラックに入れる場合など。
 - 7-10 高密度システム。上手に設計された空冷かラック単位水冷、ラック単位空調などで実現可能である。
 - 10-20 超高密度システム。普通の空冷では困難であり、何らかの水冷が必須である。

3. その他性能指標の説明

①プロセッサチップ数 システムを構成するプロセッサチップ数。並列コンピュータの場合、メモリアクセス性能、ネットワーク性能が十分であれば、プロセッサチップ数には大きい意味はない。

②コア数/チップ 1個のプロセッサチップに、いくつプログラムカウンタを持つコアがあるかを示す。演算性能を高める、または消費電力を抑えるためには多コア数の方が一般的には有利である。

③演算速度/チップ(Gflops) 1チップの最大演算速度。演算器を詰め込めば向上するが、複雑な制御構造を持つプログラムを高速化するためには、逆に演算器は少なめにして、前記逐次実行を高速化するマイクロアーキテクチャを用いることが必要である。後者の性能は、たとえば SPEC CPU ベンチマークで評価することが可能である。

⑤チップあたりメモリ量(GB) メモリ量は、アプリケーションに依存するが、チップあたりメモリ量があまりに少ないと、プログラミングに苦勞する場合がある。

⑥メモリバンド幅/チップ(GB/s) チップあたりのメモリRead/Writeバンド幅。ここでは片方向、すなわち Read または Write バンド幅の小さいほうを意味している(ただし、コンピュータによってはRead/Write バンド幅数値を公表していない場合があり、その場合には公表されている数値をそのまま用いる)。

⑦総メモリバンド幅(TB/s)(片方向) 全体のバンド幅。①×⑥。メモリ系が適切に設計してあれば、グローバルな Stream 性能は総メモリバンド幅の 60%から 90%である。

⑨ネットワークバンド幅/チップ(GB/s)(片方向) プロセッサチップと他のプロセッサへの接続バンド幅合計を、入力方向、または出力方向の片方で評価するもの。プロセッサチップとは別にネットワーク接続チップがある場合には、プロセッサチップからネットワーク接続チップへの接続バンド幅と、ネットワーク接続チップから外部へのネットワークバンド幅の総計の小さいほうを数値とした。

⑩総ネットワークバンド幅(TB/s)(片方向) ネットワークのトポロジにより計算法が異なるが、一般的に、ネットワークへの投資額をあらわしていると考えられる。典型的な Non-Blocking ネットワークの場合、①×⑨である。

⑬消費電力(KW) 消費電力には、電源モジュール、冷却装置などは含まない。システムによっては、ディスクやコントローラは含むが、全体の消費電力には大きな差はでない。なお、

・100KW はらくらく。 500KW は普通の施設で何とかなる。1MW は、大きいスーパーコンピュータセンタならば可能、10MW より大きいシステムは例外的である。

⑮概算価格(億円) システムを調達するために必要な金額。概算価格が、ハードウェアだけをカバーする場合と、SE などを含む運営費を含む場合がある。国内システムの場合は落札情報等、国外システムは、プレスリリースなどから概算価格を求めた。

⑰面積(平米) 冷却機や、一次電源設備を除く、機器の設置面積。面積をどのように測るかはあいまいである。

4. 性能比較表作成に用いた参考文献

出典は以下の通りである。

地球シミュレータ

<http://www.jamstec.go.jp/es/jp/es1/system/index.html>

予算などは報道資料を参考にした。

SX-9

東北大川添先生からのデータ。このデータと NEC 技術報告 Vol.61 No.4 の論文を参考にした。

<http://www.nec.co.jp/techrep/ja/journal/g08/n04/g0804mo.html#name3-0>

FX-1

富士通からの発表文書を参考にした。

<http://img.jp.fujitsu.com/downloads/jp/jmag/vol59-5/paper08.pdf>

T2K

東京大学情報基盤センター(兼任)石川裕教授にデータ作成を依頼した。

IBM RoadRunner

IBM 社の Web 資料、

<http://www.idris.fr/data/seminaires/2008-2009/SeminairesIDRIS-LuigiBrochard-Transparents-12Fev09.pdf>

http://www-05.ibm.com/fr/events/campus_paris/Michel_Teyssedre.pdf

IBM BlueGene/P

IBM のプレゼン資料からのデータと

<https://www.cisl.ucar.edu/dir/CAS2K7/Presentations/ThuAM/gara.pdf>

Alan Gara は BlueGene のチーフアーキテクト。詳細な不明点は BlueGene チームの Manager へ質問した。

Cray XT-5(Jaguar)

ORNL のプレゼン資料と、Cray 社の HP を参考にした。細かい技術的ポイント(解釈など)は、XT-5 管理責任者に直接質問した。

<http://www.nccs.gov/jaguar/>

Intel Cluster

Intel 社発表のプロセッサ資料、Mellanox 社発表の Infiniband Network 資料をもとに、価格などは類似システムを参考とした。直接、市販のシステムのデータではないため、内容が適切であることについて、上記石川教授、国立天文台の牧野教授にもダブルチェックを依頼した。直接、Reference が
ない数値には色がついている。

スカラ部

中間評価委員会資料をもとにした。

ベクトル部

中間評価委員会資料をもとにした。

BlueGene/Q[Sequoia]

LLNL,IBM からの 2009 年 2 月 3 日のプレス発表資料を参考にした。LLNL は

<http://nnsa.energy.gov/news/2277.htm>

BlueGene/Q の初期インストレーション時期(2010 年)については

http://www.research.ibm.com/bluegene/presentations/BGWS_11_Challenges.ppt

BlueWater

http://www.theregister.co.uk/2008/07/11/ibm_power7_ncsa/

NCSA のプレゼンテーション資料

http://www.nchc.org.tw/event/2009/hpcasia//program/download.php?CONTENT_ID=8&FILE_ID=16

-

面積は Patascale Computing Facility の HP

<http://www.ncsa.uiuc.edu/BlueWaters/pcf.html>

Intel Sandy Bridge

Intel 社の Home Page, Mellanox 社の EDR Infiniband に関する報道資料を参考にした。

ORNL のマシン

ORNL のプレゼンテーション資料

<http://sos12.epfl.ch/SOS12-geistPDF.pdf>

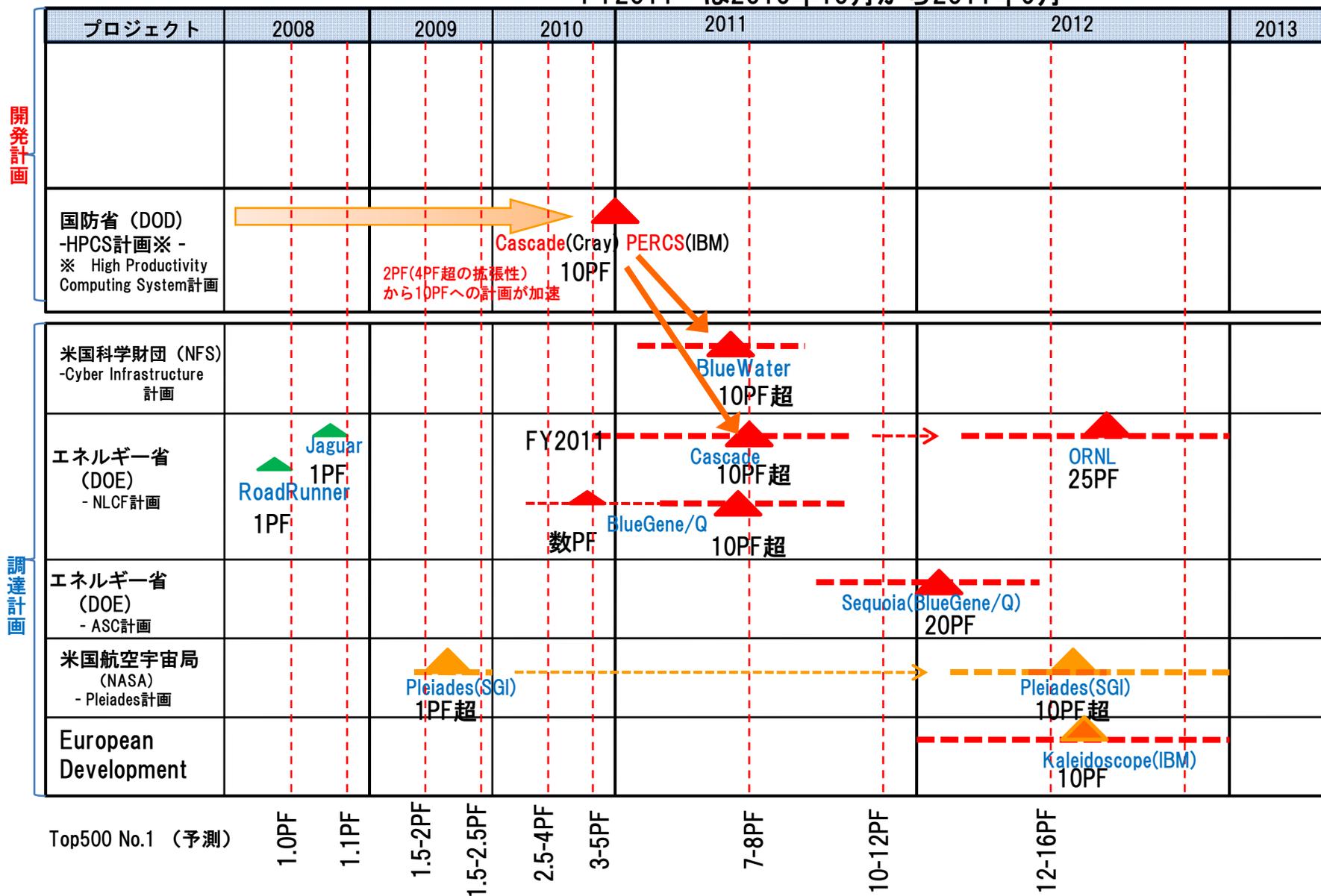
ORNL のスパコン説明資料 (FY2011 に 10PF 納入となっています)

http://www.nccs.gov/wp-content/media/nccs_reports/Petascale_Brochure.pdf

(Cascade と同じ物の増強かもしれません)

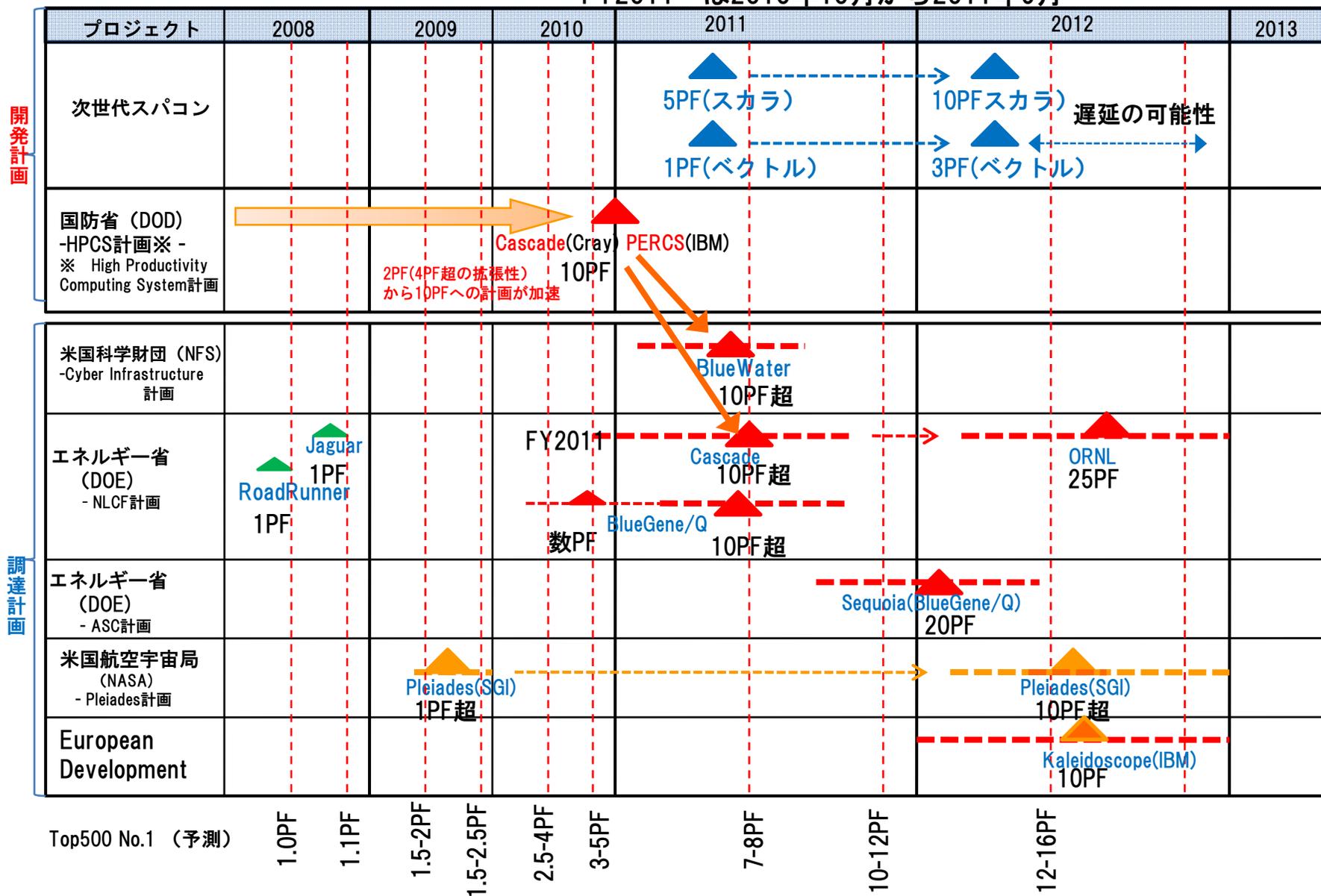
次世代スパコンと米国プロジェクトとの比較 (修正版)

FY2011 は2010年10月から2011年9月



次世代スパコンと米国プロジェクトとの比較 (修正版)

FY2011 は2010年10月から2011年9月



TOP500 の動向予測

1. 概論

次世代スーパーコンピュータができる 2011 年 3 月前後の Top500 の動向を、海外システム調査の結果から予測することを試みました。すべて、可能性の話でどれが現実になるかはわかりませんが、可能性として参考にはなると思います。仮定として、

- ・スパコンメーカーは、現在と変わらない。すなわち、IBM, Cray, SGI, SUN
- ・スパコンが入る研究機関も、現在と変わらない。すなわち、LLNL, LANL, ORNL, ANL, Sandia, NCSA, テキサス大学など。

2. 2010 年 11 月の状況

2010 年 11 月は、BlueWater など HPCS システムが完成する直前の時期にあたる。2010 年 11 月に No.1 を取る可能性があるものは以下の通りである：

(1) BlueGene/Q の初期インストレーション IBM からの公表資料によると、2010 年に小型システムを立ち上げる予定である。過去の例からは、最高性能の半分くらい (BlueGene/L で 70Tflops, BlueGene/P で 450Tflops) です。4Pflops から 5Pflops が一番可能性が高い。

(2) BlueGene/P の最大システム。BlueGene/L でも、BlueGene/P が立ち上がった後、世界一を維持するために、BlueGene/L の規模を拡大した。IBM の発表によると、3 ペタ Flops まで拡張可能であり、3Pflops システムが No.1 である可能性がある。

(3) Jaguar の延長線上の ORNL システム。Baker が立ち上がり、規模を大きくして出てくる可能性がある。Baker は、Jaguar が SeaStar2+ネットワークであることに対し、Black Widow の YARC スイッチを使って、段数を減らすものと予想される。Jaguar の AMD Barcelona チップが、Intel の Nehalem-EP か Nehalem-EX の 32nm バージョンに Upgrade される規模と仮定すると、約 40000 ソケットであり、3 から 5PetaFlops の性能が予測される。なお、最近では Cray 社は Intel 社と協力関係にある。

(4) RoadRunner の新しいバージョン。現在の IBM QC21 が遅い CELL のチップを使っていることに対し、新しい CELL を使ったものが、使われる場合である。(IBM 資料)。Double Precision の計算が 4 倍速くなるので、4Pflops が予測値である。

(5) 中国は、現在 TOP500 で日本より上位に位置しているが (Dawning5000A)、2010 年までに、中国設計の Godsun 3 マルチコアプロセッサを用いて 2 から 3Pflops のシステムを構築予定であるとの情報がある。この情報の確度は高くないが、中国の Top500 における状況から推測すると、2010 年にも日本より上位に位置していると考えられる。その速度は数 Pflops であると考えられる。

以上

次世代スーパーコンピュータシステム性能目標設定の経緯

東京大学情報理工学系研究科 平木 敬
平成 21 年 4 月 22 日

1. はじめに

2009 年 4 月の次世代スーパーコンピュータプロジェクト中間評価作業部会において、プロジェクトの性能目標である 10 ペタフロップスを達成する時期について、委員間で認識が一致していないことがわかった。本資料では、理解を助けるため次世代スーパーコンピュータプロジェクト立ち上げの時期からの経緯を資料に基づいて説明する。

1. 平成 17 年、プロジェクト立ち上げに際しての目標性能設定

次世代スーパーコンピュータプロジェクトは、平成 18 年度予算概算要求で立ち上げられ、平成 17 年 8 月に文部科学省情報科学委員会、次いで総合科学技術会議においてプロジェクト評価が行われた。

平成 17 年 8 月 24 日に開催された第 27 回情報科学委員会資料 7-2-2 では、次世代スーパーコンピュータプロジェクトの性能目標は以下のように示されている：

(3) 有効性

① 指標・参考指標

特に研究開発段階(平成 22 年度まで)の成果については、1) HPC チャレンジ(注)での検証、2) Linpack(注)で 10 ペタ FLOPS(フロップス)を達成しランキングで世界第 1 位を奪取。更に、平成 23 年度以降の成果については、1) 「革新的シミュレーションソフトウェアの研究開発プロジェクト」等で開発されるナノサイエンス、ライフサイエンス、環境・防災、原子力、航空・宇宙等の実問題のアプリケーションでの評価、2) アルゴリズムを限定しない多様性を持つシステムの比較に適したベンチマークテストでの検証。また、平成 24 年度以降の COE 形成・運用評価に当っては、本プロジェクトに参加した人数と参加者の評価も指標とする。(注:ベンチマークテスト)

② 効果の把握の仕方

「国の研究開発評価に関する大綱的指針について」(平成 13 年 11 月)等に基づき、外部専門家・有識者等により、上記指標に基づき、国際動向を勘案した評価を実施する。

③ 得ようとする効果の達成見込みの判断根拠

現在公表されている米国の開発戦略(平成 22~23 年頃に理論性能で 3~4 ペタ FLOPS(フロップス)を達成)を見る限り、平成 23 年 6 月に Linpack ベンチマークテストで 10 ペタ FLOPS(フロップス)を達成すれば、スーパーコンピュータ TOP500 ランキングの世界順位第 1 位を奪還可能。

[以下省略]

引き続き、平成 17 年 9 月から 11 月にかけての総合科学技術会議の評価においては、提出資料である○計算科学技術推進ワーキンググループ第 2 次中間報告(科学技術・学術審議会研究計画・評価分科会情報科学技術委員会)の第 74 ページにおいて、

○研究開発段階(平成 22 年度まで)の評価項目では以下が考えられ

- ・HPC CHALLENGE での性能検証
- ・Linpack ベンチマークテストでの性能検証(10 ペタ FLOPS を達成しランキングで世界第 1 位奪還)

と目標が記載され、2011 年 3 月までに 10 ペタフロップスを達成することが性能目標として規定されてい

た。

上記の提案・評価における状況を要約すると

(1)海外競争システムの状況から、2011年3月に10ペタフロップスを達成すれば、TOP500において、世界一を達成可能と文部科学省は認識していた。

(2)その結果、2011年3月に10ペタフロップスを達成することを性能目標として規定した。

(3)システム構成は、現在のものと異なり、大規模処理計算機部、逐次処理計算機部、特定処理計算加速部(アクセラレータ)の複合構成であった。

2. 平成18年度における状況

平成18年8月3日に開催された情報科学委員会資料である、計算科学技術推進ワーキンググループ報告書「計算科学技術の推進に向けて」(平成18年7月31日)における次世代スーパーコンピュータプロジェクトの概要において

現時点のスケジュール(案)としては、以下のとおりとされている。

- ・平成18年度に、開発体制の立ち上げと共に概念設計を行う。
- ・平成19年度に、具体的な仕様・実装内容の検討を行い、夏頃には、採用する半導体プロセスの決定を行う。
- ・平成19～22年度に設計と評価を行い、平成22年度でシステム性能・機能等が評価され、平成22年度末にシステム運用を開始する。平成23年度には、システムが強化され、年度末には最終的な構成が完成し、強化システムでの運用を開始する。

として、目標性能・機能などは2010年度において評価されると記載されている。

しかしながら、平成18年8月24日に開催された情報科学委員会における資料6-1-2においては、目標性能の記述が変化し、

①指標・参考指標

上記のシミュレーションを実現するためには、次世代スーパーコンピュータの性能が最も重要となる。このため、完成時に世界最高性能を達成すること(平成23年6月のスーパーコンピュータサイトTOP500ランキング第1位、HPC CHALLENGE全28項目中半数以上の項目で最高性能を達成する、等)を、本事業の評価指標とする。

また、運用開始後の評価(COE形成・運用評価)に当っては、本事業に参加した人数と参加者の評価も指標とする。

[以下、省略]

従来、10ペタフロップスを達成する、という文言が世界最高性能を達成する、という相対的文言に変わっている。この評価指標の表現で、平成18年8月から11月に行われた、総合科学技術会議によるフォローアップおよびSABC評価において説明が行われた。(「最先端・高性能汎用スーパーコンピュータの開発利用」指摘事項への対応状況等 平成18年8月21日、第一ページ)

この目標変更に対し、総合科学技術会議から不適切であるとの指摘があり、下記のように目標変更は取り消され、従来からの評価指標により評価が行われた。

平成18年9月11日に文部科学省から総合科学技術会議に提出された回答資料第3ページでは、

指摘事項

④京速計算機の性能目標「Linpack で 10 ペタ FLOPS を達成する」を「完成時に世界最高性能を実現する」に変更するという原案であったが、主たる目標は「世界最高」というような相対的なものでなく、数値的に固定したものにすべきで、そうでないと世界の情勢に左右されて計画が立てられない。また、世界に対して誤ったメッセージを送ることになる

回答

◇ご指摘を踏まえ、性能目標の表現については変更しない。

とあり、従前の性能目標に戻ったことが確認されている。また、平成 18 年 9 月 14 日付けの文部科学省が総合科学技術会議に提出した資料(総合科学技術会議情報通信分野ヒアリング 質問に対する回答(最終版)第6ページ)では、さらに詳細に、平成 22 年度に 10 ペタフロップスを達成することが必要であることが以下のように記載されている:

(3)本プロジェクトで開発するスーパーコンピュータの数値目標とその根拠

○性能目標

- i) Linpackで 10 ペタFLOPSを達成する(平成 23 年 6 月のスーパーコンピュータサイトTOP500でランキング第一位)
- ii) HPC Challenge全 28 項目中、過半数以上の項目で最高性能を達成する。

○根拠:

i) 昨年の時点では、平成23年頃までの米国のスーパーコンピュータプロジェクトにおいて具体的に計画されているものは、DOEのNLCFプロジェクトで平成20年にピーク性能1 ペタFlops, DOD(DARPA)のHPCSプロジェクトで平成22年に実効性能で1 ペタFLOPSである。これらはLINPACK性能で各々0.7ペタFlopsと2-3ペタFlops程度と予想され、10ペタFlopsを達成すれば余裕を持って世界最高性能となると見込まれる。その後、米国では種々の計画が発表されているが、平成22年ごろにLINPACKで10ペタFLOPSを超えると見込まれるものはない。今後とも米国の状況を注視しながら開発を進めていく。

以上まとめると、平成 18 年度に、目標変更が提案されたが、変更内容に問題ありとして、従前の目標に戻り、参考図などの目標数値達成時期からも、2011 年 3 月に 10 ペタフロップスを実現することが、評価指標であることが確認された。

3. 平成 19 年度における性能目標の扱いについて

平成 17 年に実際された総合科学技術会議の事前評価の指摘を踏まえ、理化学研究所は平成 19 年にシステムを汎用性等を重視したアクセラレータを除いたスカラ・ベクトルの複合型汎用構成に変更。当該システム構成変更を受け、システム製造メーカーと協議を行う中で、平成 24 年の完成時に Linpack 10 ペタフロップスを達成する見込みを得た。また、平成 19 年の概念設計評価当時、TOP500 の歴代トップの性能を外挿した値を考慮した上で、平成 23 年 6 月に次世代スパコンが世界第 1 位を獲得することも可能と見込まれた(ただし、平成 23 年 6 月にどの程度の性能で世界第 1 位を獲得するのかということについては明示的に示されなかった)。Linpack 10 ペタフロップス達成及び平成 23 年 6 月のランキング第 1 位の達成が見込まれること、及び性能目標の記述を変えることについての対外的な影響等を考慮し、性能目標の記載について変更は行われなかった。(HPC Challenge に関する目標は変更された)なお、2011 年 3 月に 10 ペタフロップス達成では、2011 年 6 月の TOP500 で第一位となることが困難ではないかとの指摘があった。

4. 平成 20 年度における性能目標の扱いについて

平成 20 年 9 月から実施された総合科学技術会議 SABC 評価ヒアリングにおいても、性能目標に変更は

なかった。特に、Linpack 性能に関しては、文部科学省が提出した「最先端・高性能汎用スーパーコンピュータの利用開発に関わる施策(説明資料)(平成 20 年 9 月 9 日)」第二ページにおいて

・「Linpack 性能 10 ペタ FLOPS を達成する」という性能目標は、他国(米国)において現時点で公表されている開発戦略に鑑みても、完成時点で世界的トップレベルにあるものと考えられる。(「参考資料」P2 参照)

と示され、参考資料 P2 では、次世代スパコンの完成時期が 2010 年度末、性能が 10 ペタ強として図に記載されている。したがって、2011 年 3 月における Linpack 10 ペタフロップスを性能目標とする点是不変であることが確認された。

また、目標性能は最重要な項目であるため、確認のために下記の質問が出され、文部科学省から回答が得られた:

質問4: 目標性能が達成できるか

(4-1) 2011 年 6 月に Linpack で 10Pflops かつ Top500 で No.1、HPCC Award 項目で No.1 という目標性能が達成できるか。その根拠は何か。米国等の動向調査が古いのではないか

(答)

1. 次世代スーパーコンピュータの開発は、2012年の完成を目指して進めることとしており、その性能目標として

- ・LINPACKで10ペタFLOPSを達成する(平成23年6月のスーパーコンピュータサイトTOP500でランキング第1位を奪取。)
- ・HPCC Award 4項目において最高性能を達成することを掲げている。

2. 平成19年度に文部科学省が実施した概念設計評価においては、LINPACK10ペタFLOPSの達成、HPCC Award 4項目における最高性能の達成のいずれについても、理研が提示したシステム構成案によって達成可能であるとの結論が得られた。また、総合科学技術会議においても、「平成17年度に総合科学技術会議において実施した事前評価時点における検討案に比べ、システム性能や消費電力等について大幅に改善することを見込む等、革新性のあるものとなっており、計算速度に関する定量的な性能目標については達成可能であると判断される。」との評価結果がとりまとめられた。現在、理研では、このときに妥当とされたシステム構成の実現に向けて開発を進めているところ。

5. まとめ

上記のように、平成 17 年度から現在までの、Linpack10 ペタフロップス達成、および達成時期に関する状況を、資料に基づいて検討した。検討の結果、平成 19 年のシステム構成変更とともに、10 ペタフロップスの達成時期に変更があったことが示された。

また、現在の目標は、

- ・Linpack で 10 ペタフロップスを達成
- ・平成23年6月の TOP500 においても、第一位を獲得

というものであることが確認された。

なお、現在提出されている開発スケジュールでは、平成23年6月の TOP500 において第1位獲得という目標の達成は困難であることを付記する。

以上