



「高機能・超低消費電力スピンドバイス・ ストレージ基盤技術の開発」

プロジェクトリーダー
大野英男
東北大学電気通信研究所



高機能・超低消費電力スピンドバイス・ストレージ基盤技術の開発(2007～2011年)

スピン(磁気)の不揮発性・高速性・安定性を利用した
次世代の高機能・超低消費電力コンピューティングデバイス・
システムの基盤技術の確立
(東北大学電気通信研究所, 大野英男)

次世代高機能・低消費電力スピンドバイス
基盤技術の開発(大野英男)

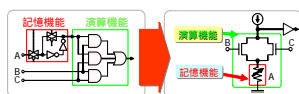
超高速大容量ストレージシステムの
開発(村岡裕明)

・電力/速度比1/1000以下*

集中研方式による
産学連携研究

・消費電力/記録容量比1/20以下**

高速・不揮発性ロジック
インメモリの開発



革新的なナノスピン
材料・素子の創成

テラビット級次世代
垂直記録技術

超高速低消費電力
サブシステム

スピン材料・デバイスの
世界トップの研究開発遂行力



ナノ・スピン実験施設

IT21センター

ナノスピン磁性材料と超微細加工の研究基盤施設



**申請時の電力/容量比と比較

*申請時トレンド外挿値と比較



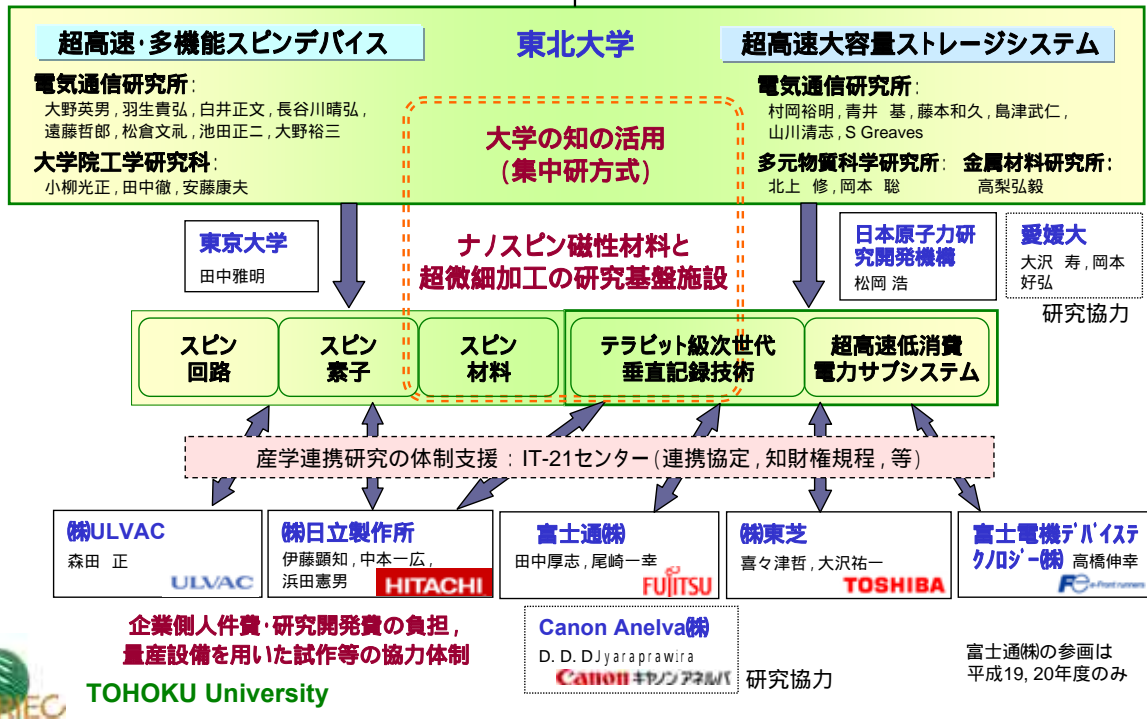
研究開発の実施体制

高機能・超低消費電力スピンドバイス・ストレージ基盤技術の開発
 リーダ: 大野英男

(強いリーダーシップと推進委員会によるステアリング)

← 推進支援

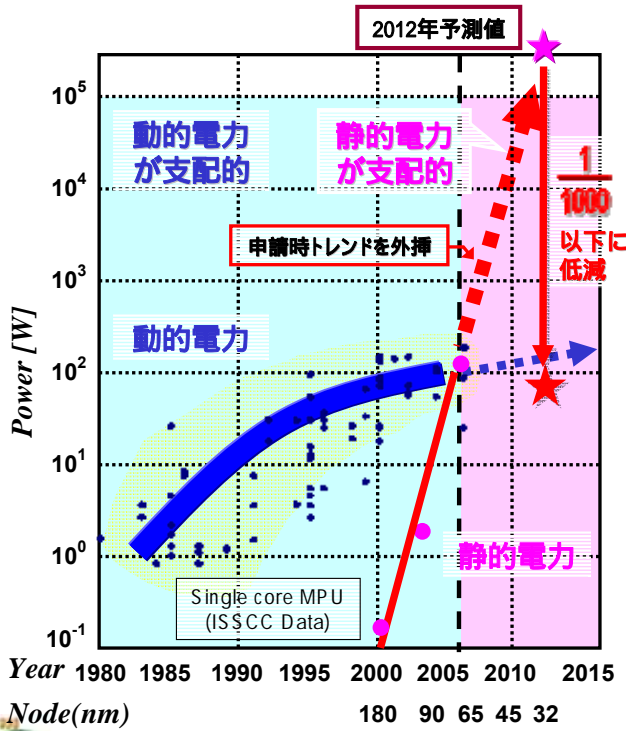
㈱三菱総研
 亀井信一



研究の目標と 進捗状況及び研究開発成果

中間目標・最終目標

集積回路における動的・静的消費電力のトレンド



不揮発性素子で静的電力OFF

(非退避のまま電源オン/オフが可能)

電力・速度比 $\rightarrow \frac{1}{20}$ ($\frac{1}{10}$, 中間目標)

ロジックインメモリで素子数削減

(記憶機能と演算機能をコンパクトに一体化)

電力・速度比 $\rightarrow \times \frac{1}{5}$

同等の集積度をリーク電流の少ない

(ゲート長の長い)トランジスタで実現
(コンパクトに実現できる効果を活用)

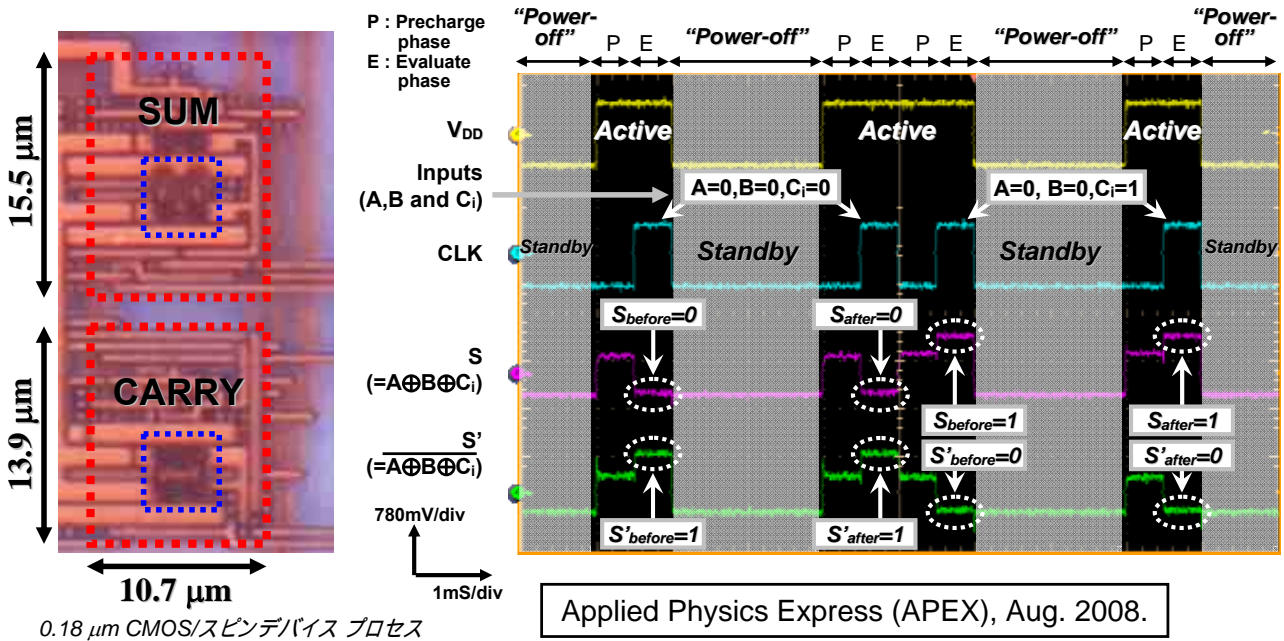
電力・速度比 $\rightarrow \times \frac{1}{10}$

最終目標

$\frac{1}{1000}$

不揮発性素子の特徴	Flash	FRAM	スピンドバイス (TMR素子)
アクセス時間			
非破壊読出し			
書き込み耐性	×		
微細化			

主要成果 : 不揮発性基本演算回路の実現



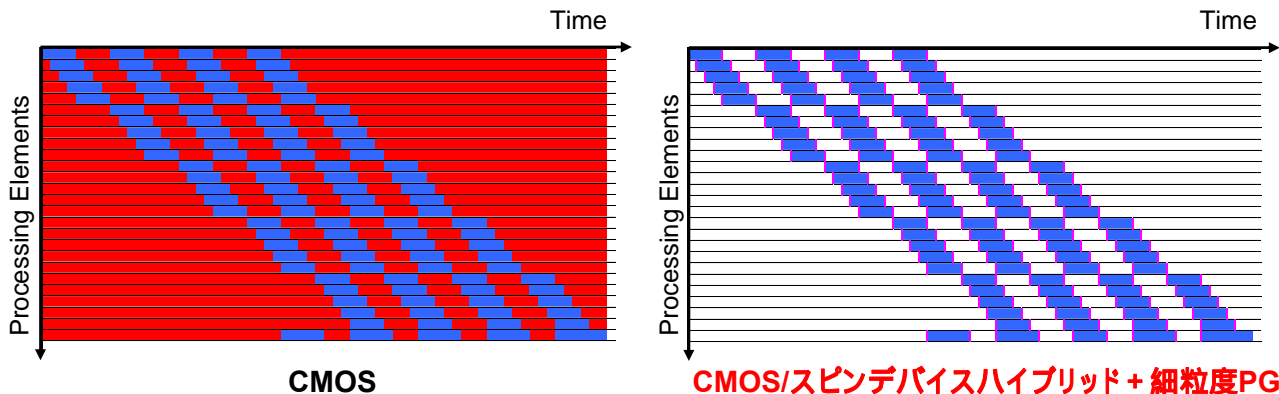
0.18 μm CMOS/スピンドバイス プロセス

Applied Physics Express (APEX), Aug. 2008.

試作チップで電源オン/オフの原理動作を世界で初めて実証

中間目標(電力/速度比1/10の原理検証)達成の展望

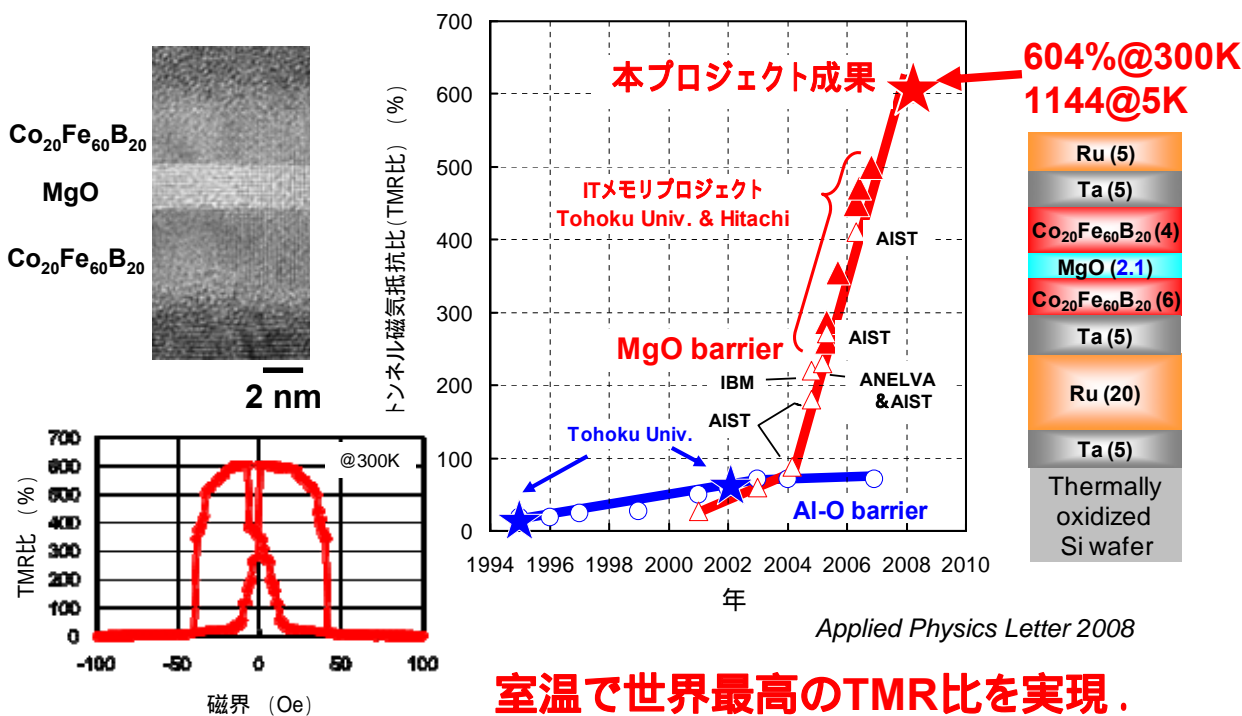
動きベクトル抽出演算(イメージ図)
(参照ウィンドウ: 4x4pixel, サーチエリア: 8x8pixel)



- 演算状態
- 待機状態
- 電源OFF遷移状態
- 電源OFF状態

静的消費電力 動的消費電力の場合
従来CMOS: CMOS/スピンドバイス=1:0.063*
(約16分の1)
*: 実用規模構成(参照ウィンドウ: 8x8pixel, サーチエリア: 32x32pixel)における比較

主要成果 : MgO障壁層を用いたスピンドバイスの高出力化



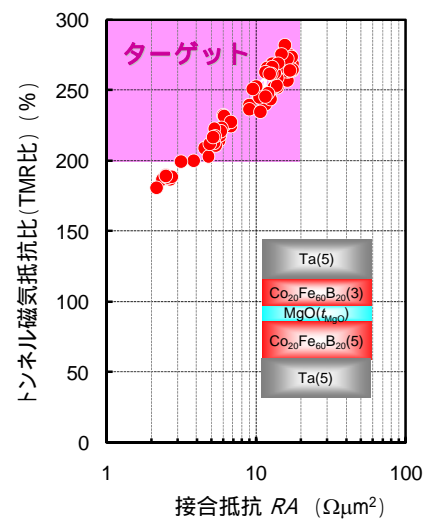
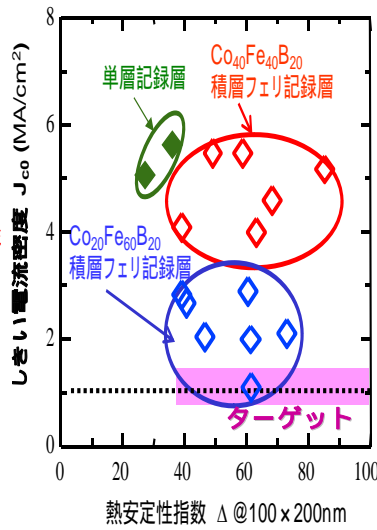
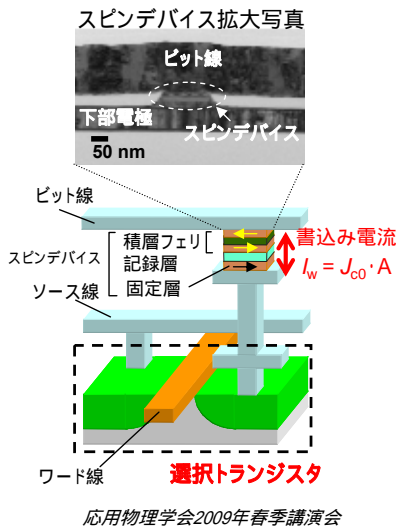
室温で世界最高のTMR比を実現.

➡ 予定より若干先行

主要成果 : スピン回路用スピンドバイスの開発

積層フェリスピンドバイスのスピン注入磁化反転

低抵抗高出カスピンドバイス技術



・ $\text{Co}_{20}\text{Fe}_{60}\text{B}_{20}$ 積層フェリ記録層を用いたサイズ $100 \times 200 \text{nm}$ のスピンドバイスで、しきい電流密度 1 MA/cm^2 、熱安定性指数 **60** を実証。
 ・本技術をスピンド回路試作に適用し、動作を確認。

実用領域の接合抵抗 RA で **200% 以上の TMR 比** を実現。

両技術の融合により、 $\text{TMR 比} > 200\%$ 、しきい電流密度 $< 1 \text{ MA/cm}^2$ を達成見込み。

ほぼ予定通り進捗



2) 超高速大容量ストレージシステムの開発

研究開発の目標

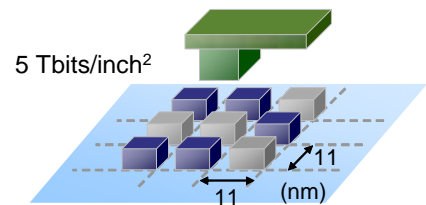
ストレージシステムの消費電力/容量比を $1/20$ 以下に

1) HDDの必要台数を1/10に削減

(記録密度をプロジェクト申請時の10倍以上に)

テラビット級次世代垂直記録技術

- ・記録方式・システム
- ・媒体・ヘッド



2) 性能を落さずに消費電力を1/2以下

(新しい省電力サブシステム)

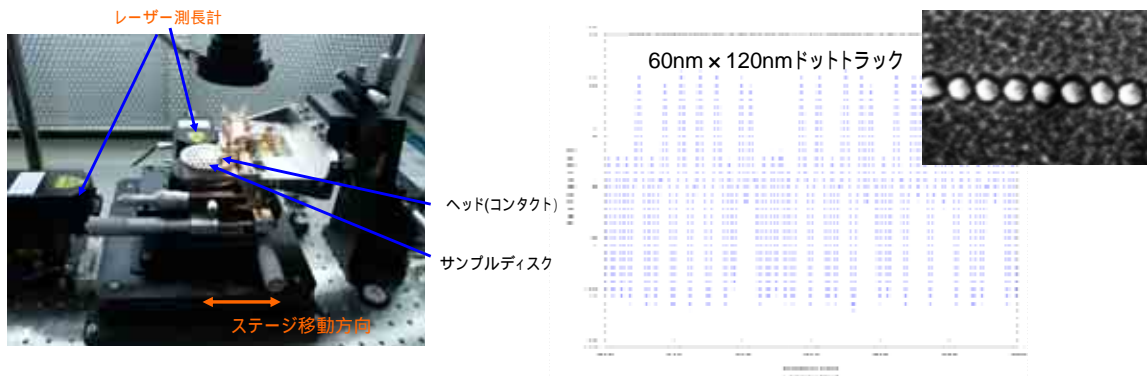
超高速低消費電力ストレージサブシステム

- ・省電力アーキテクチャ
- ・アクセス予知技術



2) 超高速大容量ストレージシステムの開発

主要成果 : 記録方式の検討



実験検証に用いるスタティックテスタ(左)と,再生波形の例(右)

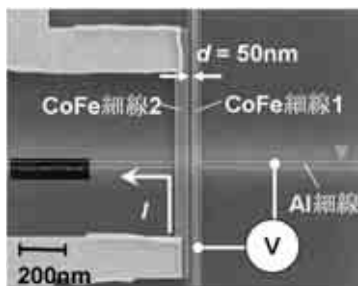
- ・ 2Tbits/inch²の記録方式の提案(中間目標): シミュレーションによる方式設計は終了, 記録再生特性の実験検証を残す.
 - ・ 5Tbits/inch²(最終目標)に向けた解析を開始
- ほぼ予定通りに進捗



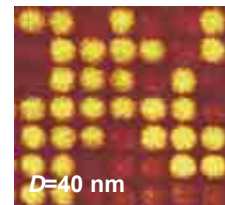
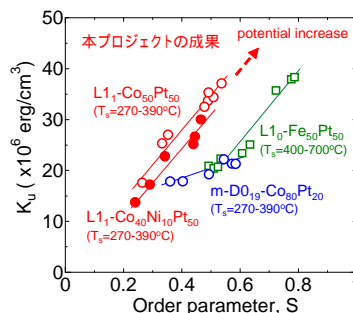
2) 超高速大容量ストレージシステムの開発

主要成果 : ヘッド・媒体の要素技術開発

ナノドットに信号を高精度・高感度に記録再生するデバイス要素技術
ナノドットのスピンを保持する高性能材料の探査と,ドットの基礎物性



超微細構造非局所素子(左, アルミナ障壁)



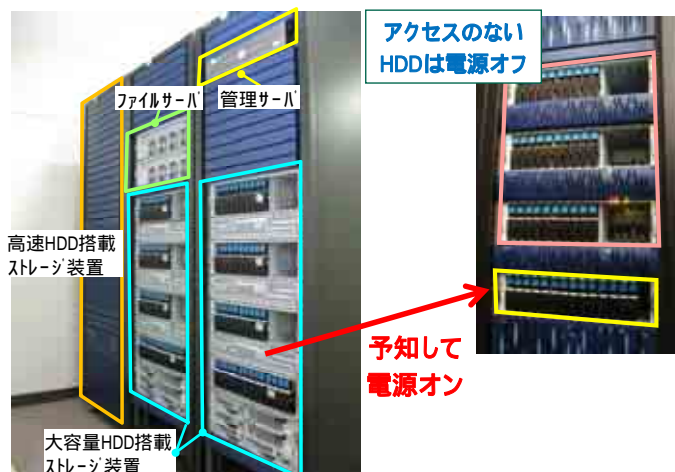
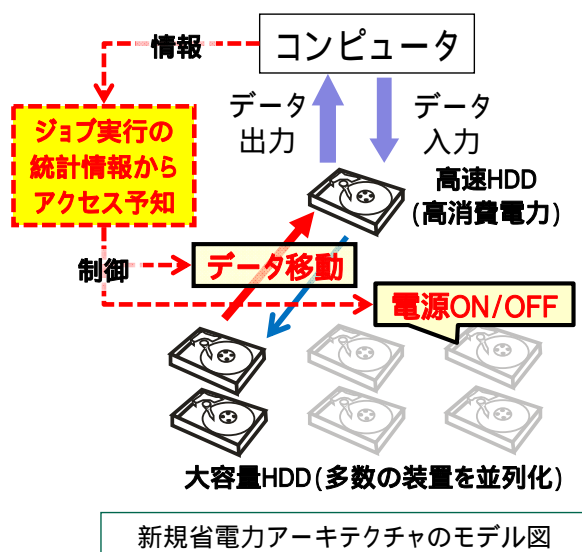
低温で形成可能なL₁材料(赤)の,従来材料(緑)を超える磁気異方性ポテンシャルとドットの基礎物性

- ・ スピン蓄積効果による世界最高出力の導出(高感度化) (超微細構造非局所素子)
 - ・ 新しい高磁気異方性(媒体用)材料の開発に世界で初めて成功 (L_{1_1} 型Co基規則合金膜)
- 基本デバイス開発・材料開発は予定より若干先行 (材料は, NEDOプロジェクトへの成果の受け渡しを並行して実施)



2) 超高速大容量ストレージシステムの開発

主要成果 : 新規省電力超高速サブシステム



試作したサブシステムとその電源制御

- ・ 試作サブシステム(容量64TB)上での一次省電力検証完了
- ・ 実用的な容量1PBで消費電力1/2以下に削減の見込み
(省電力検証結果に基づく、新省電力アーキテクチャの消費エネルギー試算)

⇒ ほぼ予定通り進展



TOHOKU University

13

研究開発の成果・進捗状況

独創性・優位性

- ・ 本プロジェクトの中核技術である“スピントロニクス”は革新的技術として選定された
(革新的技術創造戦略, 第75回総合科学技術会議, 平成20年5月19日)。
- ・ 世界的に見ても独創的かつ最先端のスピントロニクスの成果
(世界最高のトンネル磁気抵抗比, ハーフメタルTMR素子開発, …)
- ・ 世界初ロジック系スピントロニクス技術の基本回路の動作実証成功
- ・ 高密度垂直記録方式の先行開発と新規省電力アーキテクチャ
- ・ 海外では官民一体となった激しい技術的追い上げ
(米国の半導体研究組合, DARPA, ISIC, グルノーブルのSPINTEC・MINATEC, 等)



TOHOKU University

14

研究開発体制

- ・ **産学連携協定, 知的財産権取扱規定, 等の締結** (平成19年10月1日)
(効率的な実施体制と知財権の保護, 集中研方式による大学の知の活用)
- ・ **推進委員会によるステアリング**
(プロジェクトのPDCAと, 参画各機関の連携・調整を効果的に実施)
- ・ **定期的な公開シンポジウムと進捗評価委員会の開催**
- ・ **経産省プロジェクトと研究成果を共有, 成果の受け渡し体制を保有**
「スピントロニクス不揮発性機能技術プロジェクト」
「グリーンITプロジェクト」
- ・ **経済産業省のスピントロニクス関連事業と共同で情報発信**
(平成20年10月28日に共同シンポジウム開催, 大手町サンケイプラザ)

成果の利活用

- ・ **学会発表, 特許出願, 新聞発表, 等**

		平成21年5月1日	
国際会議等 招待講演数	67	特許出願数	13
国際会議 一般講演数	116	新聞発表	5
学術論文数	79	受賞	11

- ・ **企業が中心となって実施しているNEDO(経済産業省)のプロジェクトとの密接な連携および円滑な成果の引渡しによる事業化促進**

スピントロニクス新材料・微細加工技術・素子等) ⇄ NEDO「スピントロニクス不揮発性機能技術プロジェクト」

ストレージ(媒体・ヘッドの新材料・基本素子, 等) ⇄ NEDOグリーンITプロジェクト「超高密度ナノビット磁気記録技術の開発」

- ・ **共同実施企業において製品化できる設備・体制を保有**

- ・ 日本を代表する情報通信・家電メーカー
- ・ 基本素子の製造機器の事業化

人材育成

- ・平成21年度までの3カ年で、ポストクのべ12(人・年)、大学院学生のべ128(人・年)が研究開発に参加。
- ・産学の研究者の集中研方式を採用し、ポストクと大学院生1人に対し、1人の産学研究者の割合で密度の高い人材育成を実施。
- ・基礎(大学の知)から応用(企業における量産技術)までの一連の研究開発に従事することで、即戦力としての実践能力を養成。
- ・また、ほぼ全てが、スピンドバイス・磁気記録関連の企業へ就職しており、後期課程進学者を含め当該分野のリーダーとして活躍。

平成21年度の人員

大学研究職員	38名
企業派遣研究員	10名
ポストク	4名
大学院学生	43名



5カ年の年次計画に対する進捗状況

	19年度	20年度	21年度	22年度	23年度	
1.次世代高機能・低消費電力スピンドバイス基盤技術の開発 1)ナノスピンドバイスに関する研究	ナノスピンドバイス材料の創成・物性探索		世界最高水準のTMR比 49x45nm ² で安定	微細化・最適化	世界最高水準の集積化TMR比 30x30nm ² で安定	
	微細加工(反応性エッチング)技術				<65nm量産加工技術	
	強磁性半導体材料・物性探索		磁性半導体3端子デバイス		磁性半導体論理回路	
	2)スピンドバイスに関する研究		TMR素子用半導体回路技術	GHzセル動作を原理検証		1GHzアレイ動作を原理検証
	3)スピンドバイス回路に関する研究		スピンドバイス回路用TMR素子作製 高速・低電流スピンドバイス注入磁化反転	素子単体でTMR比 >200%, <10 ⁶ A/cm ²	微細化・最適化	<1nsの高速・安定 <10 ⁶ A/cm ² 低電流書込
			基本演算回路設計・原理検証	電力/速度比 1/10を原理検証	中規模回路設計 原理検証 リコンフィギュラブル プロセッサ設計・試作	電力/速度比 1/1000を原理検証
2.超高速大容量ストレージシステム 1)テラビット級未来型垂直記録技術	記録方式・システム検討		2Tbpsi実証のための記録方式の提案	信号品質向上	5Tbpsiの要素技術提案	
	媒体・ヘッド等の要素技術開発			微細化 素子の高性能化		
	2)超高速低消費電力サブシステム		ストレージサブシステムの方式実証(小規模試作)			転送速度1TB/sの要素技術提案 現状の1/20の消費電力/記憶容量
	方式・システム設計			システム性能向上		
		計測・評価手法の検討		負荷試験		

